

## Мемристорная логика в цифровой схемотехнике

*А.А. Кулакова, Е.Б. Лукьяненко*

*Южный федеральный университет, г. Таганрог, Россия*

*anastasya.staryh@mail.ru*

Для развития рынка современной микроэлектроники требуются методы, позволяющие непрерывно увеличивать производительность, энергоэффективность полупроводниковых изделий и одновременно уменьшать занимаемую минимальную площадь кристалла с сохранением его функциональности. Поэтому интеграция энергонезависимых элементов – мемристоров – и КМОП-технологии и создание методов синтеза цифровых схем с мемристорными функциональными узлами – мемристорная логика (МеМОП-логика) – являются актуальными задачами. В работе предложен блочный метод синтеза гибридных МеМОП-схем, использующий карты минтермов, что позволяет одновременно синтезировать МеМОП-схему и оптимизировать ее. Приведены примеры синтеза комбинационной (Исключающее ИЛИ) и последовательностной ( $RS$ -триггера) схем. Рассмотрены существующие и новые варианты решений задач синтеза комбинационных и последовательностных интегральных схем с мемристорами. Показано, что средняя рассеиваемая мощность  $RS$ -триггера составляет 7,7 мкВт для стандартной логики и 2,2 мкВт для логики на мемристорах. Потребляемая мощность схемы Исключающее ИЛИ равна 13 мкВт для стандартной логики и 9,2 мкВт для логики на мемристорах.

**Ключевые слова:** МеМОП-логика; логический синтез; оптимизация схем; гибридные схемы;  $RS$ -триггер; схема Исключающее ИЛИ; потребляемая мощность; моделирование

**Для цитирования:** Кулакова А.А., Лукьяненко Е.Б. Мемристорная логика в цифровой схемотехнике // Изв. вузов. Электроника. 2020. Т. 25. № 4. С. 330–338. DOI: 10.24151/1561-5405-2020-25-4-330-338

## Memristor Logic in Digital Circuitry

A.A. Kulakova, E.B. Lukyanenko

*Southern Federal University, Taganrog, Russia*

*anastasya.staryh@mail.ru*

**Abstract.** Methods are required that can continuously increase the productivity and energy efficiency of semiconductor products and at the same time reduce the occupied minimum crystal area while maintaining its functionality to develop the growth rate of the modern microelectronics market. Therefore, at present, the tasks of integrating non-volatile elements - memristors into the well-known CMOS technology (complementary metal-oxide-semiconductor structure), of creating synthesis methods for the mentioned technology with memristor functional units (MeMOP-logic) are very relevant. A block method for the synthesis of hybrid MeMOS circuits has been presented. This method uses minterm maps, which allows synthesizing the MeMOS circuit and its optimization. The method has been presented on examples of the synthesis of combinational (XOR gate) and sequential (RS-trigger) circuits. The present work is devoted to the review of existing and the proposal of new options for solving synthesis problems of combinational and sequential integrated circuits with memristors. It has been shown that the average power dissipation of the RS-trigger is 7.7 mW for standard logic and 2.2 mW for logic on memristors. The power consumption of the circuit Excluding OR equal to 13 mW for standard logic and 9.2 mW for logic on memristors.

**Keywords:** MeMOS-logic; logic synthesis; circuit optimization; hybrid circuits; RS-trigger; XOR gate; power consumption; simulation

**For citation:** Kulakova A.A., Lukyanenko E.B. Memristor logic in digital circuitry. *Proc. Univ. Electronics*, 2020, vol. 25, no. 4, pp. 330–338. DOI: 10.24151/1561-5405-2020-25-4-330-338

**Введение.** Миниатюризация элементной базы на основе КМОП-технологий в ближайшее время станет невозможной, поскольку технологический прогресс изготовления полупроводниковых изделий и материалов вплотную подошел к атомарному порогу, когда начинают действовать принципы запрета Паули, неопределенности Гейзенберга и другие фундаментальные положения квантовой физики. Также проблемой, ограничивающей масштабирование КМОП-транзисторов, является ток утечки.

На сегодняшний день существуют два варианта решения проблемы миниатюризации чипа. Первый вариант – уменьшение размеров КМОП-элементов за счет улучшения технологии создания ИС. Предложенные изменения на основе транзисторов с вертикальным затвором (FinFET) продлевают срок существования КМОП-технологии, но не приводят к значительному прорыву. Второй вариант – разработка новой элементной базы для построения гибридных ИС. Ведущие исследовательские центры в последние 5–6 лет в ходе работ, направленных на создание новой архитектуры ЭВМ, пришли к выводу о перспективности использования элементной базы на основе мемристов. Для создания такой элементной базы предлагается применять либо одни мемристоры, либо

совместно КМОП-транзисторы с мемристорами [1–6]. Последние совместимы с КМОП-технологией, имеют малые размеры по сравнению с транзисторами, характеризуются энергонезависимостью и неограниченным временем хранения информации.

**Виды гибридной логики.** Синтез схем с использованием мемристоров может осуществляться несколькими методами [7–10]. Мемристорная стандартизованная логика (Memristor Ratioed Logic, MRL) совместима с КМОП-технологией [9]. Подобно КМОП, для этой логики состояния логического «0» и логической «1» определены уровнем напряжения на выходе схемы. Логика с использованием только мемристоров (Memristor Aided Logic, MAGIC) [7] и импликационная логика (Material Implication Logic, IMPLY) [8] – это две логики, использующие только мемристоры для проектирования кроссбар-архитектур. Для этих двух методов в отличие от MRL логические значения на выходах схем определяются мемристивностью выходного мемристора, что затрудняет объединение этих методов с современной технологией проектирования СБИС. В настоящее время метод синтеза гибридных схем (MRL) является наиболее перспективным для практического использования с целью создания гибридных схем с мемристорными функциональными узлами (MeМОП-схем) [11].

Мемристор является четвертым элементом в электрической цепи наряду с индуктивностью, конденсатором и резистором [12]. Мемристор представляет собой резистор с долговременной памятью, который под воздействием разнополярного приложенного напряжения изменяет сопротивление в десятки раз. Если приложить напряжение положительной полярности к выводу мемристора, изображенному на рис.1 в виде утолщенной линии, то мемристор принимает низкоомное состояние. При перемене полярности напряжения мемристор переключается в высокоомное состояние. Типичные значения сопротивлений мемристора следующие:  $R_{on} = 10 \text{ кОм}$ ,  $R_{off} = 1 \text{ МОм}$ .

**Логические вентили для гибридной MeМОП-логики.** В цифровой схемотехнике комбинационные и последовательностные схемы создаются с помощью элементов булевой алгебры: И, ИЛИ, НЕ. Данные элементы позволяют создавать достаточно сложную цифровую схему. Схема элемента И на мемристорах и его таблица истинности показаны на рис.1.

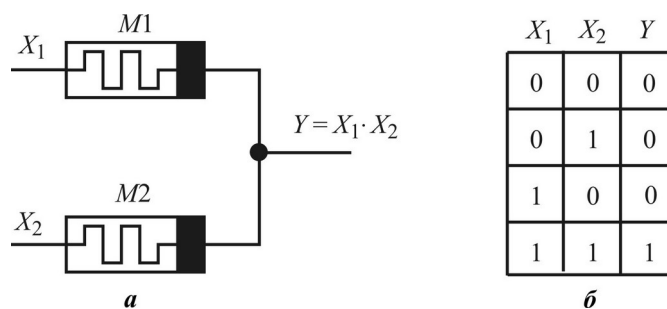


Рис.1. Схема элемента И на мемристорах M1 и M2 (а) и его таблица истинности (б)

Fig.1. Circuits of AND on memristors (a) and the truth table of this element (b)

Рассмотрим работу логического элемента И на мемристорах. Если входные сигналы  $X_1$  и  $X_2$  равны логическому «0», то независимо от состояния мемристоров на выходе  $Y$  будет логический «0». Если  $X_1 = X_2 = 1$ , то независимо от состояний мемристоров на выходе  $Y$  будет логическая «1». При  $X_1 = 1$ ,  $X_2 = 0$  мемристор  $M1$  будет стремиться к высокоомному состоянию, а мемристор  $M2$  – к низкоомному, на выходе  $Y$  установится логический «0». При  $X_1 = 0$  и  $X_2 = 1$  мемристор  $M2$  будет переключаться в высокоомное

состояние, а мемристор  $M1$  – в низкоомное, на выходе установится логический «0». Исследования состояний схемы элемента И на мемристорах показывают их совпадение с таблицей истинности этого элемента.

Рассмотрим реализацию логического элемента ИЛИ на мемристорах (рис.2). Как и для элемента И, при входных сигналах, равных логическому «0» или логической «1», на выходе  $Y$  установится или логический «0», или логическая «1» соответственно. Аналогично элементу И можно показать, что при входных сигналах  $X_1 = 0, X_2 = 1$  на выходе будет логическая «1», а при  $X_1 = 1, X_2 = 0$  на выходе также установится логическая «1». Таким образом, функционирование схемы элемента ИЛИ соответствует его таблице истинности.

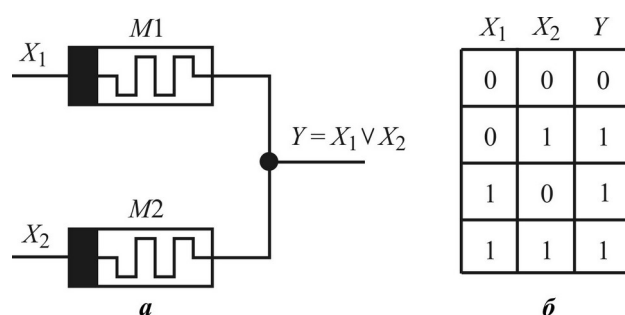


Рис.2. Схема элемента ИЛИ на мемристорах (а) и его таблица истинности (б)

Fig.2. Circuits of OR on memristors (a) and the truth table of this element (b)

Логический элемент НЕ не реализуется на одних мемристорах, поэтому используется инвертор на КМОП-транзисторах.

Поскольку мемристоры имеют достаточно высокоомные состояния, то соединять эти элементы непосредственно друг с другом без буферных каскадов некорректно. В качестве буфера используется инвертор. На рис.3, 4 показаны мемристорные логические элементы И-НЕ, ИЛИ-НЕ с инвертором на выходе и их таблицы истинности. Эти элементы можно использовать для построения комбинационных и последовательностных цифровых схем.

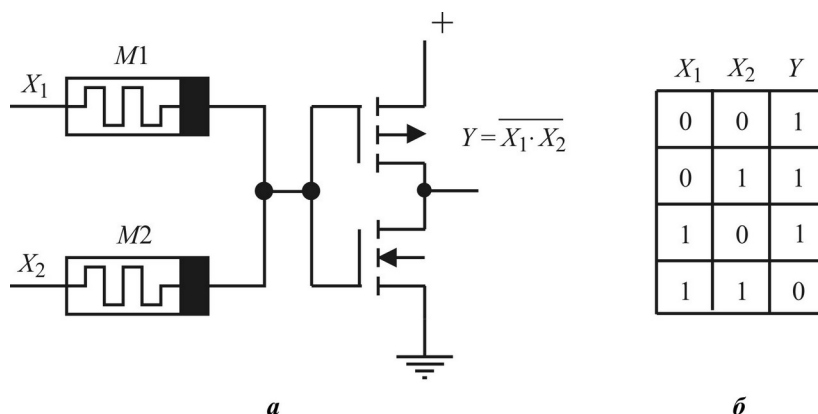


Рис.3. Схема элемента И-НЕ на МеМОП-логике (а) и его таблица истинности (б)

Fig.3. Circuits of NAND on MeMOP-logic (a) and the truth table of this element (b)

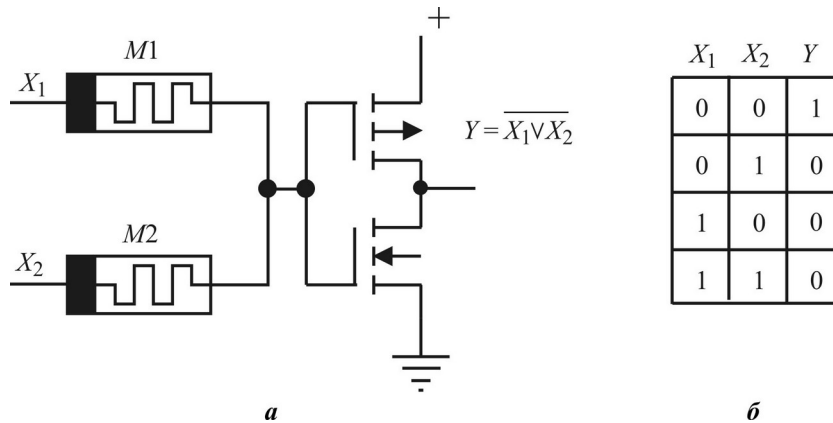


Рис.4. Схема элемента ИЛИ-НЕ на МеМОП-логике (а) и его таблица истинности (б)  
Fig.4. Circuits of NOR on MeMOP-logic (a) and the truth table of this element (b)

**Модели мемристорных элементов И, ИЛИ.** Для исследования различных схем на основе МеМОП-логики необходимо использовать модели мемристорных элементов. Если на данном этапе не учитывать инерционные свойства мемристоров и проверять схемы на функционирование и рассеиваемую мощность, то, применяя элементную базу САПР OrCAD, можно реализовать мемристорные схемы элементов И, ИЛИ на ключах, имеющих два выходных состояния: включено (низкоомное) и выключено (высокоомное) (рис.5).

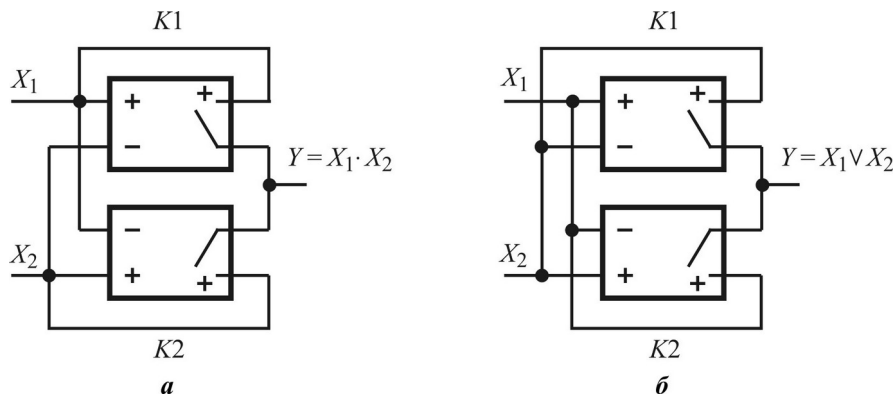


Рис.5. Модели мемристорных элементов: а – И; б – ИЛИ  
Fig.5. Models of memristor elements: a – AND, б – OR

Входные сигналы  $X_1$ ,  $X_2$  подаются на входы ключей, имеющих противоположную полярность. Таким образом, при  $X_1 \neq X_2$  обеспечиваются противоположные состояния ключей  $K1$ ,  $K2$ : замкнуто и разомкнуто. Входные сигналы прикладываются к последовательно включенным выходным сопротивлениям ключей, поэтому выходное напряжение  $Y$  зависит от параметров сигналов  $X_1$ ,  $X_2$ .

Выбраны следующие параметры ключей: напряжение замыкания ключа  $V_{on} = 0$  В; напряжение размыкания ключа  $V_{off} = 1,8$  В; сопротивление замкнутого ключа  $R_{on} = 10$  кОм; сопротивление разомкнутого ключа  $R_{off} = 1$  МОм. Сопротивления ключей соответствуют сопротивлениям мемристоров в низкоомном или высокоомном состоянии.

**Комбинационная схема Исключающее ИЛИ на МеМОП-логике.** В качестве примера рассмотрим синтез комбинационной и последовательностной схем, выполненных на МеМОП-логике. Уравнение схемы Исключающее ИЛИ имеет вид

$$a \oplus b = a\bar{b} + \bar{a}b.$$

Взяв двойную инверсию от правой части выражения, получим

$$a \oplus b = \overline{\overline{a \cdot b} \cdot \overline{a \cdot \overline{b}}}$$

По данной формуле синтезируем схему Иключающее ИЛИ на мемристорах с использованием элемента И-НЕ (рис.6).

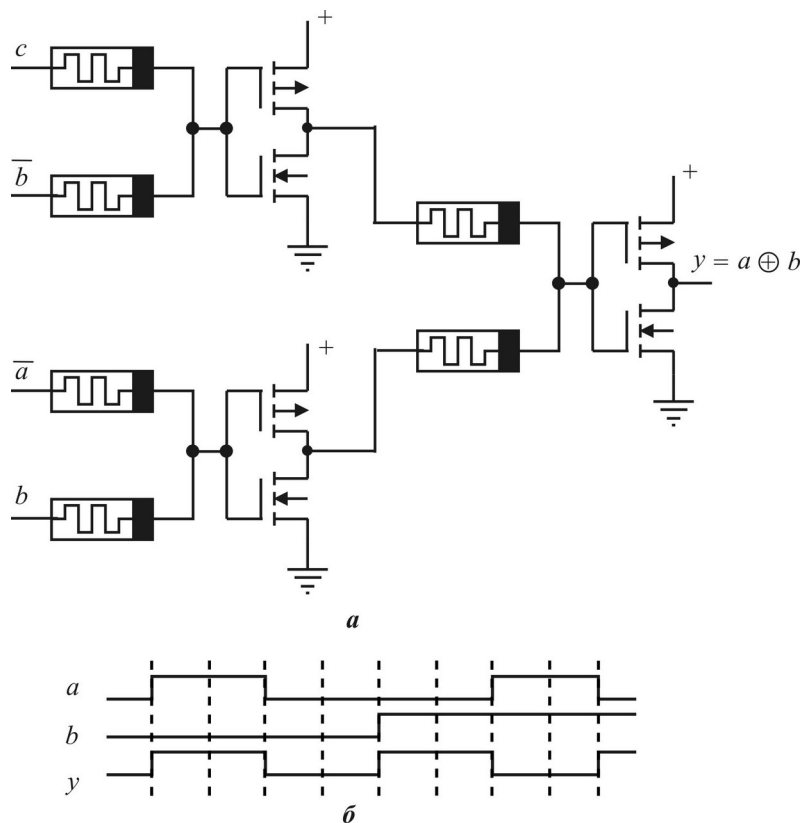


Рис.6. Схема Иключающее ИЛИ на МеМОП-логике (а) и график ее работы (б)  
Fig.6. Circuits of XOR on MeMOP-logic (a) and work shedule of this element (b)

Исследование схемы проведено путем математического моделирования в САПР OrCAD. Для инверторов использованы модели КМОП-транзисторов четвертого поколения (BSIM4), а также 0,18-мкм технология. Напряжение питания выбрано равным 1,8 В. Длительность каждого состояния равна 10 нс. График на рис.6,б показывает, что функционирование элемента Иключающее ИЛИ соответствует его таблице истинности. Измеренная мощность комбинационной схемы составляет 7,7 мкВт.

**RS-триггер с прямыми входами на МеМОП-логике.** Метод синтеза гибридных схем (MRL) предполагает построение схем путем замены элементов И-НЕ и ИЛИ-НЕ в стандартной логике на мемристорные элементы. Рассмотрим метод синтеза гибридных схем с помощью таблицы истинности и карт Карно. Сначала получим оптимизированное уравнение RS-триггера. Таблица истинности RS-триггера имеет вид

$S$	$R$	$Q^{n+1}$
0	0	$Q$
0	1	0
1	0	1
1	1	н/о*

\*Неопределенное состояние

Тогда уравнение триггера, записанное в виде суммы минтермов, имеет вид

$$Q^{n+1} = \bar{S} \bar{R} Q + S \bar{R}.$$

Минимизируя данное уравнение с помощью карт Карно, получаем

$$Q^{n+1} = \bar{R}(Q + S).$$

Взяв двойную инверсию, находим уравнение  $RS$ -триггера, выраженное через функции ИЛИ-НЕ:

$$Q^{n+1} = \overline{R + (\overline{Q + S})}.$$

Схема на мемристорах, синтезированная по полученному уравнению, приведена на рис.7. График работы  $RS$ -триггера совпадает с таблицей истинности. Рассеиваемая мощность равна 2,2 мкВт.

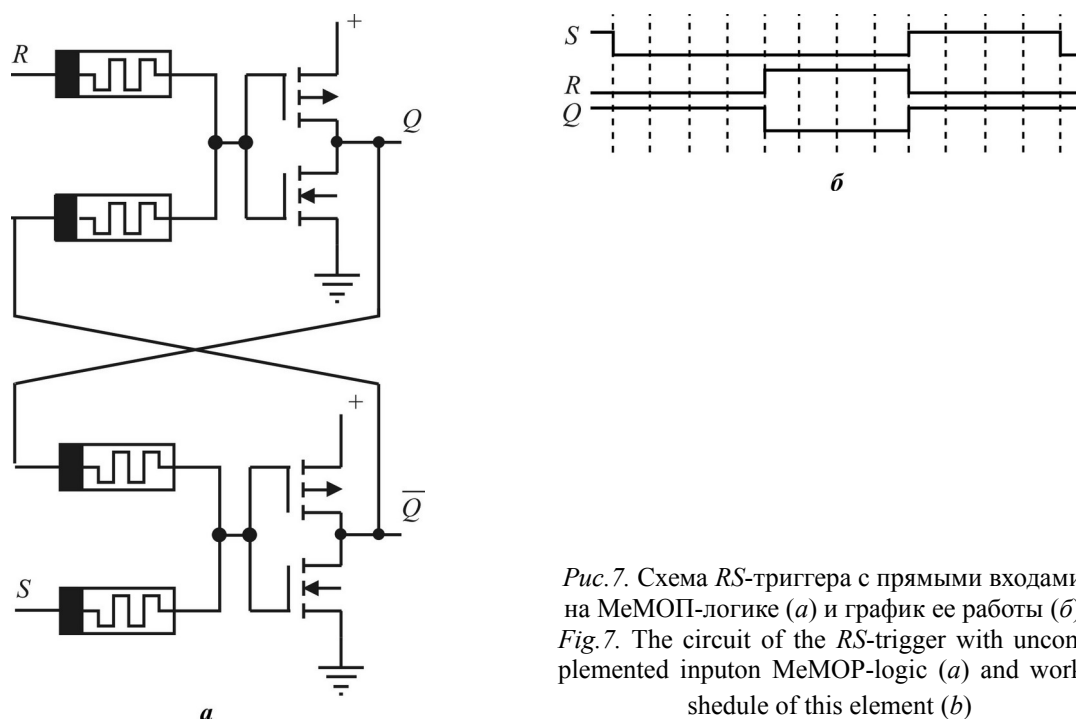


Рис.7. Схема  $RS$ -триггера с прямыми входами на МеМОП-логике (а) и график ее работы (б)  
Fig.7. The circuit of the  $RS$ -trigger with uncomplemented inputon MeMOP-logic (a) and work shedule of this element (b)

**Закключение.** Оптимальным решением в схемотехнике МеМОП-схем является применение элементов И-НЕ, ИЛИ-НЕ, в которых элемент НЕ выполнен на КМОП-транзисторах, а схемы элементов И, ИЛИ – на мемристорах. Для синтеза схем на МеМОП-логике предлагается использовать блочный метод.

Моделирование схем Иключающее ИЛИ и  $RS$ -триггера с прямыми входами показало, что средняя рассеиваемая мощность  $RS$ -триггера составляет 7,7 мкВт для стандартной логики и 2,2 мкВт для логики на мемристорах. Потребляемая мощность схемы Иключающее ИЛИ равна 13 мкВт для стандартной логики и 9,2 мкВт для логики на мемристорах.

### Литература

1. International Technology Roadmap for Semiconductors, Executive Summary, ITRS, 2011. URL: <http://www.itrs.net/Links/2011ITRS/2011Chapters/2011ExecSum.pdf> (дата обращения: 10.04.2020).
2. Cho K., Lee S.-J., Eshraghian K. Memristor-CMOS logic and digital computational components // Microelectronics Journal. 2015. Vol. 46. No. 3. P. 214–220.



3. Кулакова А.А., Лукьяненко Е.Б. Схемотехника D-триггеров – основных элементов заказных последовательностных СБИС // Нано- и микросистемная техника. 2019. Т. 21. №7. С. 422–429.
4. Sharma Gaurav, Lava Bhargava. CMOS-memristor inverter circuit design and analysis using Cadence Virtuoso // 2016 International Conference on Recent Advances and Innovations in Engineering. 2016. P. 1–5.
5. Sasi A., Amirsoleimani A. Hybrid memristor-CMOS based linear feedback shift register design // IEEE International Conference on Electronics, Circuits and Systems (Batumi, 2017). 2017. P. 62–65.
6. Lalchhandama F., Gopal B. An improved approach for the synthesis of Boolean functions using memristor based IMPLY and INVERSE-IMPLY gates // IEEE Computer Society Annual Symposium on VLSI (Pittsburgh, 2016). 2016. P. 319–324.
7. MAGIC-memristor aided LoGIC / S. Kvatinsky, D. Belousov, S. Liman et al. // IEEE Transactions on Circuits and Systems II: Express Briefs. 2014. Vol. 61. No. 11. P. 895–899.
8. Memristor-based material implication (imply) logic: Design principles and methodologies / S. Kvatinsky, N. Wald, G. Satat, et al. // IEEE Transactions on Very Large Scale Integration. 2013. Vol. 22. No. 10. P. 2054–2066. DOI: 10.1109/TVLSI.2013.2282132
9. MRL – Memristor Ratioed Logic / S. Kvatinsky, N. Wald, G. Satat et al. // Proceedings of the International Cellular Nanoscale Networks and their Applications. August 2012. P. 1–6.
10. Guckert L., Swartzlander E.E. MAD gates – memristor logic design using driver circuitry // IEEE Transactions on Circuits and Systems II: Express Briefs. Feb. 2017. Vol. 64. No. 2. P. 171–175.
11. Teimoory M., Amirsoleimani A., Ahmadi A., Ahmadi M. A hybrid memristor-CMOS multiplier design based on memristive universal logic gates // 2017 IEEE 60th International Midwest Symposium on Circuits and Systems. Boston, MA, 2017. P. 1422–1425.
12. Chua L.O., Memristor The missing circuit element // IEEE Trans. Circuit Theory. 1971. No. 18. P. 507–519.

Поступила в редакцию 14.04.2020 г.; после доработки 23.04.2020 г.; принята к публикации 16.06.2020 г.

**Кулакова Анастасия Алексеевна** – кандидат технических наук, младший научный сотрудник Инжинирингового центра приборостроения, радио- и микроэлектроники Южного федерального университета (Россия, 347922, г. Таганрог, ул. Шевченко, 2), anastasya.staryh@mail.ru

**Лукьяненко Евгений Борисович** – кандидат технических наук, доцент Южного федерального университета (Россия, 347922, г. Таганрог, ул. Шевченко, 2), luk101010@mail.ru

## References

1. International Technology Roadmap for Semiconductors, Executive Summary, ITRS, 2011. Available at: <http://www.itrs.net/Links/2011ITRS/2011Chapters/2011ExecSum.pdf> (accessed: 10.04.2020).
2. Cho K., Lee S.-J., Eshraghian K. Memristor-CMOS logic and digital computational components. *Microelectronics Journal*. 2015, vol. 46, no. 3, pp. 214–220.
3. Kulakova A.A., Lukyanenko E.B. Circuitry of D-flip-flops – basic elements of the sequential VLSI. *Nano- i mikrosistemnaya tekhnika = Nano- and Microsystems Technology*, 2019, vol. 21, no. 7, pp. 422–429. (in Russian).
4. Sharma Gaurav, Lava Bhargava. CMOS-memristor inverter circuit design and analysis using Cadence Virtuoso. *2016 International Conference on Recent Advances and Innovations in Engineering*. 2016, pp. 1–5.
5. Sasi A., Amirsoleimani A., Ahmadi A., Ahmadi M. Hybrid memristor-CMOS based linear feedback shift register design. *2017 24th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*. Batumi, 2017, pp. 62–65.
6. Lalchhandama F., Gopal B. An improved approach for the synthesis of Boolean functions using memristor based IMPLY and INVERSE-IMPLY gates. *IEEE Computer Society Annual Symposium on VLSI (ISVLSI)*. Pittsburgh, 2016, pp. 319–324.
7. Kvatinsky S., Belousov D., Liman S., Satat G., Wald N., Friedman E.G., Kolodny A., Weiser U.C. MAGIC-memristor aided LoGIC. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2014, vol. 61, no. 11, pp. 895–899.



8. Kvatinsky S., Wald N., Satat G., Friedman E.G., Kolodny A., Weiser U.C. Memristor-based material implication (IMPLY) logic: design principles and methodologies. *IEEE Transactions on Very Large Scale Integration (VLSI)*, 2013, vol. 22, no. 10, pp. 2054–2066. DOI: 10.1109/TVLSI.2013.2282132
9. Kvatinsky S., Wald N., Satat G., Friedman E.G., Kolodny A., Weiser U.C. MRL – memristor ratioed logic. *Proceedings of the International Cellular Nanoscale Networks and their Applications*. August 2012, pp. 1–6.
10. Guckert L., Swartzlander E.E. MAD Gates-memristor logic design using driver circuitry. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2017, vol. 64, no. 2, pp. 171–175.
11. Teimoory M., Amirsoleimani A., Ahmadi A., Ahmadi M. A hybrid memristor-CMOS multiplier design based on memristive universal logic gates. *2017 IEEE 60th International Midwest Symposium on Circuits and Systems (MWSCAS)*, Boston, MA, 2017, pp. 1422–1425.
12. Chua L.O. Memristor? The missing circuit element. *IEEE Trans. Circuit Theory*, 1971, no. 18, pp. 507–519.
13. Pickett M.D., Strukov D.B., Borghetti J.L., Yang J.J., Snider G.S., Stewart D.R., Williams R.S. Stanley. Switching dynamics in titanium dioxide memristive devices. *Journal of Applied Physics*, 2009, vol. 106, iss. 7, pp. 074508–074508-6.

Received 14.04.2020; Revised 23.04.2020; Accepted 16.06.2020.

**Information about the authors:**

**Anastasia A. Kulakova** – Cand. Sci. (Eng.), Junior Research Scientist of the Engineering Center of Instrument Making, Radio- and Microelectronics, Southern Federal University (Russia, 347922, Taganrog, Shevchenko st., 2), anastasya.staryh@mail.ru

**Yevgeniy B. Lukyanenko** – Cand. Sci. (Eng.), Assoc. Prof., Southern Federal University (Russia, 347922, Taganrog, Shevchenko st., 2), luk101010@mail.ru

**Информация для читателей журнала  
«Известия высших учебных заведений. Электроника»**

С тематическими указателями статей за 1996 - 2019 гг.,  
аннотациями и содержанием последних номеров на русском  
и английском языках можно ознакомиться на сайте:

**<http://ivuz-e.ru>**