

УДК 621.382+621.396.6

DOI: 10.24151/1561-5405-2017-22-4-402-406

**DICE КМОП КНИ-триггер,
устойчивый к воздействию тяжелых заряженных частиц
для применения в приемных трактах**

В.П. Тимошенков, И.А. Фатеев

*Национальный исследовательский университет «МИЭТ»,
г. Москва, Россия*

fateev@mri-progress.ru

В интегральных КМОП-схемах под действием космической радиации происходят различного рода нарушения функционирования. Частицы высокой энергии при взаимодействии с материалом полупроводника вносят неравновесный заряд, способный вызывать импульсы тока и напряжения на логических выводах внутренних схем. При дальнейшем распространении импульсы могут привести к раз-

© В.П. Тимошенков, И.А. Фатеев, 2017

ным видам одиночных событий. Один из вариантов борьбы с одиночными событиями – использование специальных ячеек с повышенной стойкостью к воздействию тяжелых заряженных частиц.

Представлен новый вариант сбоеустойчивого триггера на основе DICE для использования в приемных трактах бортовой аппаратуры. Одна из особенностей приемных трактов – наличие большого числа конфигурационных регистров. Изменения данных в регистрах происходят крайне редко, что позволяет использовать в них предлагаемый вариант триггера. Получен критерий для применения данного триггера. Продемонстрированы теоретические расчеты показателей стойкости к воздействию тяжелых заряженных частиц по сравнению со стандартным DICE-триггером. Представлен физический уровень предлагаемого триггера.

Данный триггер имеет сходные показатели устойчивости к воздействию тяжелых заряженных частиц космического пространства относительно стандартного DICE-триггера. При этом предлагаемый триггер имеет выигрыш по площади ~ 20%, что может дать около 10% уменьшения площади приемного тракта.

Ключевые слова: DICE; ТЗЧ; сбоеустойчивость; master-slave-триггер.

Для цитирования: Тимошенко В.П., Фатеев И.А. DICE КМОП КНИ-триггер, устойчивый к воздействию тяжелых заряженных частиц для применения в приемных трактах // Изв. вузов. Электроника. – 2017. – Т. 22. – № 4. – С. 402–406. DOI: 10.214151/1561-5405-2017-22-4-402-406.

DICE Flip Flop Trigger Tolerant to Effect of Heavy Charged Particles

V.P. Timoshenkov, I.A. Fateev

National Research University of Electronic Technology, Moscow, Russia

fateev@mri-progress.ru

Rapidly progressing space systems demand designing reliable electronic devices. In the presence of space radiation different types of malfunctions could happen in the ICs. The high energy particles collide with semiconductor material and deposit charge, which might cause current/voltage impulses on the logic outputs of cells. These current/voltage impulses could lead to single effects. One of approaches to suppress single events is using special trigger cells hardened against heavy ions.

In this work a new flip flop trigger, based on DICE, has been presented. This proposed trigger is intended to be used for input tracks onboard apparatus. One of the specific features of input tracks is a big number of configuration registers. The data change in those register is extremely rare, hereby proposed trigger could be used here. Also, the application criterion for proposed trigger has been obtained. The calculations demonstrate comparison reliability for the proposed flip flop trigger and the standard one have been presented. Finally the physical level was given.

In this paper the new flip flop trigger was presented. This trigger is specially aimed for input tracks. The proposed trigger has shown similar reliability with the standard one, but has 20 % less area. This area reduction could lead to area reduction of input track up to 10 %.

Keywords: DICE; heavy ion; faults tolerance; master-slave flip flop.

For citation: Timoshenkov V.P., Fateev I.A. DICE Flip Flop Trigger Tolerant to Effect of Heavy Charged Particles // Proc. of universities. Electronics. – 2017. – Vol. 22. – No. 4. – P. 402–406. DOI: 10.214151/1561-5405-2017-22-4-402-406

Развитие космических систем навигации, телевидения, телекоммуникации, связи и другого специального назначения требует внедрения новых подходов к проектированию и изготовлению высоконадежной электронной компонентной базы, устойчивой к воздействию факторов космического пространства. К одному из таких факторов относятся частицы высокой энергии, которые, пролетая через чувствительные области интегральных микросхем, могут вызывать различного рода сбои и отказы в бортовой космической аппаратуре и привести к временной потере ее функционирования [1].

Неотъемлемая часть бортовой аппаратуры – входные тракты, принимающие сигналы от разных источников. Приемные тракты имеют ряд особенностей. Рассмотрим специфику работы входных трактов, как цифровых, так и аналоговых. Обычно они имеют набор конфигурационных регистров, чтобы задать различные рабочие параметры. Причем запись данных в регистры происходит крайне редко. Так, сигнал GPS имеет функцию модуляции 1 мс при рабочих частотах приемников в десятки мегагерц [2]. Таким образом, период обращения может достигать миллионов тактов.

В современных условиях разработчики схем стремятся к уменьшению энергопотребления, в частности используют блокировку тактового сигнала (clock gating) [3]. Принцип работы clock gating-ячейки заключается в блокировании тактового сигнала регистра в моменты, когда записи данных не происходит. Тактовый сигнал для конфигурационных регистров подается только при конфигурировании, а все остальное время остается в «0».

Цель работы – разработка сбоеустойчивого триггера с блокировкой тактового сигнала. Разработке сбоеустойчивых узлов СОЗУ посвящено большое количество работ, в том числе [4,5], хотя ячейки для специальных вычислителей и приемных трактов также требуют внимания со стороны разработчиков и модификации.

Рассмотрим структуру современного master-slave-триггера [6]. Триггер состоит из двух «защелок». Для триггера, работающего по переднему фронту, справедливо следующее: при тактовом сигнале, равном «0», данные с входа D записываются в переднюю защелку, а при тактовом сигнале, равном «1», данные из передней защелки проходят в заднюю защелку и появляются на выходе. Легко заметить, что при блокировке тактового сигнала данные практически все время хранятся в задней защелке. В передней защелке они находятся на протяжении половины периода тактового сигнала. Таким образом, использование двух защелок на базе DICE [7] неоправданно ввиду большой площади. В настоящей работе предлагается модификация триггера с передней стандартной защелкой с 8 транзисторами, а с задней – на базе DICE (рис.1.)

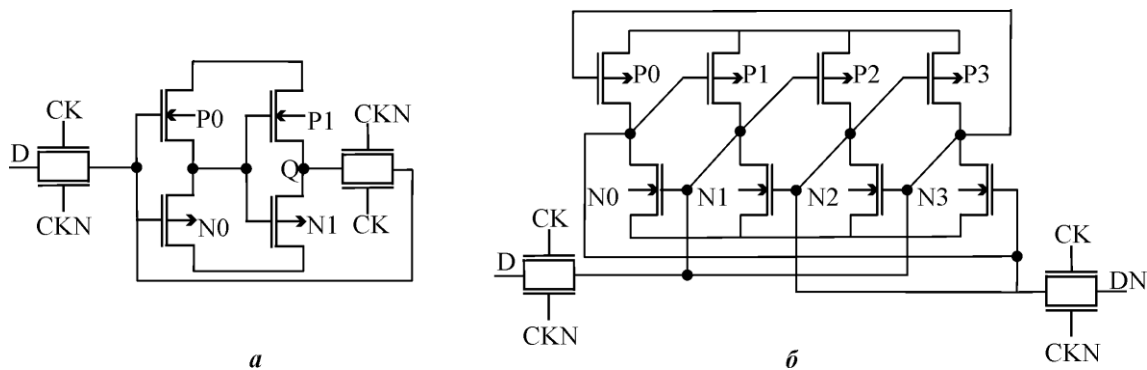


Рис.1. Электрическая схема передней стандартной защелки с 8 транзисторами (а) и задней защелки на базе DICE (б)

Fig.1. Front standard 8 transistors latch (a), back DICE based latch (b)

Сравним частоту возникновения сбоев данного триггера и DICE-триггера. Частота возникновения сбоев определяется формулой $\nu = N/t$, где N – количество сбоев за время t [1].

Введем вероятности потери данных Q_d и Q_p за время T , равное половине такта синхронизации для DICE- и предлагаемого триггера соответственно. Тогда для DICE-триггера посчитаем количество сбоев: $N_d = Q_d MT$, где M – количество интервалов T за время t ; T равен половине такта тактовой частоты.

Тогда для предлагаемого триггера количество событий можно выразить формулой:

$$N_p = Q_d (M - 1)T + Q_p T. \quad (1)$$

Для сравнения вероятностей потери данных введем коэффициент:

$$m = Q_p / Q_d. \quad (2)$$

Используя (1) и (2), выражение для N_p принимает вид

$$N_p = Q_d (M - 1)T + m Q_d T. \quad (3)$$

Тогда относительную частоту сбоев можно выразить формулой

$$\gamma = \frac{N_d}{N_p} = \frac{M}{(M - 1) + m}. \quad (4)$$

Из (4) следует, что при $M \gg m$ частоты сбоев предлагаемого и DICE-триггера сопоставимы (рис.2). Таким образом, критерий применимости предлагаемого триггера – наличие блокировки тактового сигнала и крайне редкое изменение данных в регистре.

На основе сделанного вывода разработана электрическая схема предложенного триггера, проведено моделирование, построена топология и охарактеризованы параметры по КНИ-технологии 200 нм [8]. Полученная площадь данного триггера составила 147,136 мкм² ($X = 24,32$ мкм, $Y = 6,05$ мкм). Площадь стандартного DICE-триггера по этой технологии – 178,112 мкм² ($X = 29,44$ мкм, $Y = 6,05$ мкм). Выигрыш по площади ~20%.

Так, для приемного тракта навигационного сигнала количество триггеров, соответствующих описанному критерию, достигает 60 %, и можно ожидать суммарного снижения площади порядка 10%.

Итак, предложенный вариант сбоеустойчивого триггера учитывает особенности функционирования и условия работы. Результаты вычислений показывают сопоставимость параметров устойчивости к одиночным событиям. Выработан критерий применимости предложенного триггера. Новый триггер имеет выигрыш по площади 20 % относительно стандартного DICE-триггера.

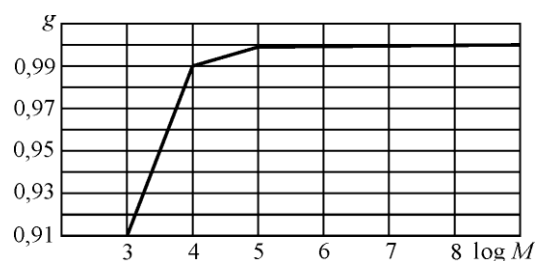


Рис.2. Относительная частота сбоев предложенного варианта триггера от $\log M$ при $m = 100$
Fig.2. Relative failure rate for proposed flip-flop trigger from $\log M$ at $m = 100$

Литература

1. **Таперо К.И., Улимов В.Н., Членов А.М.** Радиационные эффекты в кремниевых интегральных схемах космического применения. – М.: БИНОМ, Лаборатория знаний, 2012. – 304 с.
2. ГЛОНАСС. Принципы построения и функционирования / **Р.В. Бакитько, Е.Н. Болденков, Н.Т.Булавский и др.** Изд. 4-е. – М.: Радиотехника, 2010. – 800 с.
3. **Mahurshi A.** Understanding your power profile from RTL to gate-level implementation. – URL: <https://www.synopsys.com/Company/Publications/SynopsysInsight/Pages/Art2-reduceadvsynthesis-IssQ4-11.aspx?cmp=Insight-I4-2011-Art2> (дата обращения: 21.02.2017).
4. Сравнительный анализ сбоеустойчивости ячеек 65 нм КМОП СОЗУ / **М.С. Горбунов, П.С. Долотов, А.А. Антонов и др.** // Вопросы атомной науки и техники. – 2014. – Вып. 3. – С. 47–55.
5. **Долотов П.С., Горбунов М.С., Бобков С.Г.** Моделирование сбоеустойчивости основных узлов статического ОЗУ, выполненного по технологии объемного кремния 65 нм // Вопросы атомной науки и техники. – 2013. Вып. 2. – С. 54–61.
6. Neutron- and proton-induced single event upsets for D- and DICE-flip/flop designs at a 40 nm technology node / **T. Loveless, S. Jagannathan, T. Reece et al.** // IEEE trans. on nuclear science. – 2011. – Vol. 58. – No. 3. – P. 1008–1014.
7. **Calin T., Nicolaidis M., Velazco R.** Upset hardened memory design for submicron CMOS technology // IEEE Trans. on Nuclear Science, – 1996. – Vol. 43. – Iss. 6. – Part 1. – P. 2874–2878.

8. **Nordyk S.** RF SOI process design kit leverages PSP-SOI model. – URL: <http://www.edn.com/electronics-products/other/4439517/RF-SOI-process-design-kit-leverages-PSP-SOI-model> (дата обращения: 21.02.2017).

Поступило 28.02.2017 г.; принято к публикации 25.04.2017 г.

Тимошенко Валерий Петрович – доктор технических наук, профессор кафедры интегральной электроники и микросистем Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, д. 1), valeri04@hotmail.com

Фатеев Иван Александрович – аспирант кафедры интегральной электроники и микросистем Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, д. 1), fateev@mri-progress.ru

References

1. Tapero K.I., Ulimov V.N., Chlenov A.M. *Radiatsionnye ehffekty v kremnievykh integral'nykh skhemakh kosmicheskogo primeneniya*. Moscow, BINOM. Laboratoriya znaniy, 2012. 304 p. (In Russian).
2. Bakit'ko R.V., Boldenkov E.N., Bulavskij N.T. et al. *GLONASS. Printsipy postroeniya i funktsionirovaniya*. Izd. 4. Moscow, Radiotekhnika, 2010. 800 p. (In Russian).
3. <https://www.synopsys.com/Company/Publications/SynopsysInsight/Pages/Art2-reduceadvsynthesis-IssQ4-11.aspx?cmp=Insight-I4-2011-Art2> (accessed: 21.02.2017).
4. Gorbunov M.S., Dolotov P.S., Antonov A.A., Zebrev G.I., Emel'yanov V.V., Boruzhdina A.B., Petrov A.G., Ulanova A.V. *Sravnitel'nyj analiz sboustojchivosti yacheek 65 nm KMOP SOZU* [Comparative analysis of failure tolerance of 65 nanometers cells of CMOS scratch pad memory]. *Voprosy atomnoj nauki i tekhniki – Problems of atomic science and technology*, 2014, iss. 3, pp. 47–55. (In Russian).
5. Dolotov P.S., Gorbunov M.S., Bobkov S.G. *Modelirovanie sboustojchivosti osnovnykh uzlov staticheskogo OZU, vypolnennogo po tekhnologii ob"emnogo kremniya 65 nm* [Simulation of failure tolerance of the main units of static RAM made on technology of bulk silicon of 65 nanometers]. *Voprosy atomnoj nauki i tekhniki – Problems of atomic science and technology*, 2013, iss. 2, pp. 54–61. (In Russian).
6. Loveless T., Jagannathan S., Reece T., et al. Neutron- and Proton-Induced Single Event Upsets for D- and DICE-Flip/Flop Designs at a 40 nm Technology Node. *IEEE Transactions on Nuclear Science*, 2011, vol. 58, no. 3, pp. 1008–1014.
7. Calin T., Nicolaiis M., and Velazco R. Upset hardened memory design for submicron CMOS technology. *Nuclear Science, IEEE Transactions on*, 1996, vol. 43, iss. 6, pt. 1, pp. 2874–2878.
8. <http://www.edn.com/electronics-products/other/4439517/RF-SOI-process-design-kit-leverages-PSP-SOI-model> (accessed: 21.02.2017).

Submitted 28.02.2017; accepted 25.04.2017.

Timoshenkov Valeri P. – doctor of engineering science, professor of the Integrated Electronics and Microsystems Department, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1). valeri04@hotmail.com

Fateev Ivan A. – PhD student of the Integrated Electronics and Microsystems Department, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1). fateev@mri-progress.ru