

СХЕМОТЕХНИКА И ПРОЕКТИРОВАНИЕ CIRCUIT ENGINEERING AND DESIGN

УДК 621.3.049.771.14:621.3.062

DOI: 10.24151/1561-5405-2017-22-4-369-378

Алгоритмы логико-топологического синтеза библиотечных элементов и блоков с регулярной структурой для технологических норм проектирования 32 нм

С.В. Гаврилов¹, Е.С. Карева^{1,2}, Д.И. Рыжова^{1,2}

¹Институт проблем проектирования в микроэлектронике
Российской академии наук, г. Москва, Россия

²Национальный исследовательский университет «МИЭТ»,
г. Москва, Россия

sergey_g@ippm.ru

Переход на уровень нанометровых технологий с размером транзистора 32 нм и ниже приводит к формированию нового направления в микроэлектронике – проектирование на основе транзисторов с вертикальным затвором (FinFET). При уменьшении размеров транзисторов до 32 нм и ниже применение FinFET-технологии становится одним из немногих способов повышения быстродействия и снижения потребляемой мощности. Данное направление меняет маршрут проектирования и требует разработки новых подходов как в логическом, так и в топологическом проектировании. Традиционный подход к проектированию микроэлектронных систем основывается на независимом решении задач логического и топологического проектирования. Однако совмещение логического и топологического синтеза приводит к значительному увеличению размерности задачи, что, в свою очередь, сказывается на времени проектирования.

Разработаны алгоритмы логического анализа и синтеза микроэлектронных схем с FinFET-технологией при совместном решении проблем логического и топологического синтеза. Проблема сокращения размерности задачи решена путем введения ограничений на топологическую реализацию при совмещении логического и топологического синтеза. Ограничения осуществляются за счет разработки и использования регулярного топологического шаблона с фиксированной топологией в нижних слоях.

Предложенный подход позволяет уменьшить количество правил проектирования в сотни тысяч раз (в зависимости от сложности схемы) по сравнению с нерегулярными структурами, а применение IG FinFET-транзисторов обеспечивает лучшие характеристики по быстродействию и мощности по сравнению со стандартной КМОП-технологией.

Ключевые слова: комплементарная структура металл–оксид–полупроводник (КМОП); сверхбольшие интегральные схемы (СБИС); транзистор с вертикальным затвором (FinFET); логический синтез; топологический синтез; последовательно-параллельный ориентированный граф без циклов (SP-DAG); компоненты, связанные по постоянному току (DCCC).

Для цитирования: Гаврилов С.В., Карева Е.С., Рыжова Д.И. Алгоритмы логико-топологического синтеза библиотечных элементов и блоков с регулярной структурой для технологических норм проектирования 32 нм // Изв. вузов. Электроника. – 2017. – Т. 22. – № 4. – С. 369–378. DOI: 10.21415/1561-5405-2017-22-4-369-378

Algorithms of Logical and Physical Synthesis of Library Elements with Regular Structure for Design Rules 32 nm

S.V. Gavrilov¹, E.S. Kareva^{1,2}, D.I. Ryzhova^{1,2}

¹*Institute for Design Problems in Microelectronics of the Russian Academy of Sciences, Moscow, Russia*

²*National Research University of Electronic Technology, Moscow, Russia*

sergey_g@ippm.ru

The transition to the level of the nanometer technologies leads to the new field in nanoelectronics, specifically the design based on the CMOS technology with 3D structure of the transistor. With decrease the size of transistors up to 32 nm and lower the application of FinFET technology becomes one of few methods to increase speed and to decrease the power consumption. This direction changes the design route and requires the development of new approaches, both in the logical and topological design. The traditional approach is based on the independent solution of the problems on the logical and physical levels. However, the combination of the logical and topological synthesis results in a significant increase of the problem dimension, which, in its turn, affects the designing time.

The algorithm of the logical analysis and synthesis of microchip circuits with application of the FinFET technology while simultaneous solving the problems of the logical and topological synthesis has been developed. It has been offered to introduce the restrictions for the topological realization in simultaneous solving the problems of the logical and topological synthesis. The restrictions have been obtained from the regular topological template with a fixed layout in the lower layers.

The proposed approach allows a hundreds to thousands times reduction of the design rules number, and the application of the IG FinFET transistors provides the best speed and power performances compared to the standard CMOS technology.

Keywords: complementary metal-oxide-semiconductor (CMOS); very large-scale integrated circuit (VLSI); Fin Field Effect Transistor (FinFET); logical synthesis; physical synthesis; serial-parallel directed acyclic graph (SP-DAG); Direct Current Connected (DCCC).

For citation: Gavrilov S.V., Kareva E.S., Ryzhova D.I. Algorithms of Logical and Physical Synthesis of Library Elements with Regular Structure for Design Rules 32 nm // Proc. of Universities. Electronics. – 2017. – Vol. 22. – No. 4. – P. 369–378. DOI: 10.21415/1561-5405-2017-22-4-369-378

Введение. При переходе на уровень нанометровых технологий с размером транзистора 32 нм и ниже возникает ряд принципиально новых проблем проектирования, не решенных в существующих САПР СБИС. К числу таких проблем можно отнести синтез схем и топологий для КМОП-технологий с трехмерной структурой транзистора. Так, с увеличением степени интеграции современных микроэлектронных систем и уменьшением технологических размеров базовых элементов усложняются технологические нормы и увеличивается число правил проектирования. При заказном и полузаказном проектировании схем соблюдение полного набора таких правил и ограничений в автоматическом режиме становится сложновыполнимой задачей. Выходом из сложившейся ситуации является переход к регулярным структурам в нижних слоях топологии. Регулярность FinFET-структур не только упрощает верификацию топологии, но и позволяет разработать согласованное решение проблем синтеза логики и топологии схемы на логико-временном уровне анализа, а также предварительно оценить характеристики библиотечных элементов и блоков.

Исторически регулярность топологии в нижних слоях связывают с так называемой технологией базовых матричных кристаллов с predetermined набором библиотечных элементов. Применение аналогичного подхода при проектировании заказных сложнофункциональных блоков позволяет значительно упростить проверку правил проектирования при разработке общего вида топологии. Например, в работах компании Intel для соблюдения требований регулярности в системах автоматизированного проектирования заказных микросхем предлагается подход к проектированию регулярных топологических структур с использованием конструкции специального типа – так называемого транзисторного шаблона [1]. Транзисторный шаблон определяется как промежуточная конструкция между транзистором и стандартной ячейкой.

Цель настоящей работы – развитие идеи использования регулярности топологических структур в системах автоматизированного проектирования заказных микросхем.

Технология FinFET. FinFET-транзисторы – новое направление в проектировании микросхем. За счет использования трехмерного затвора транзистора в форме плавника повышается эффективная ширина затвора при той же площади логической ячейки. Известны три основные конструкции FinFET-структур [2, 3]:

- SG (Shorted Gate) или TG (Tri-gate) FinFET – затворы транзистора соединены друг с другом;
- IG (Independent Gate) или DG (Double-Gate) FinFET – затворы транзистора независимы (на каждый затвор подается свой сигнал);
- LP (Low Power) FinFET – второй затвор (back-gate) транзистора подключен к обратнo-смещенному напряжению для уменьшения статической мощности.

На рис.1,*a* приведена простая структура SG FinFET-транзистора, состоящая из плавника (fin) – области диффузии для стока и истока, которая окружена затвором. Физические размеры транзистора описываются высотой плавника h_{fin} , толщиной плавника (или кремния) T_{Si} и длиной канала L_{fin} [4].

Так как верхняя часть затвора отделена от плавника сравнительно толстым слоем оксида, вклад этой части затвора в работу транзистора можно не учитывать. У такого транзистора длина канала L_{fin} , а ширина

$$W_{min} \approx 2h_{FIN}. \quad (1)$$

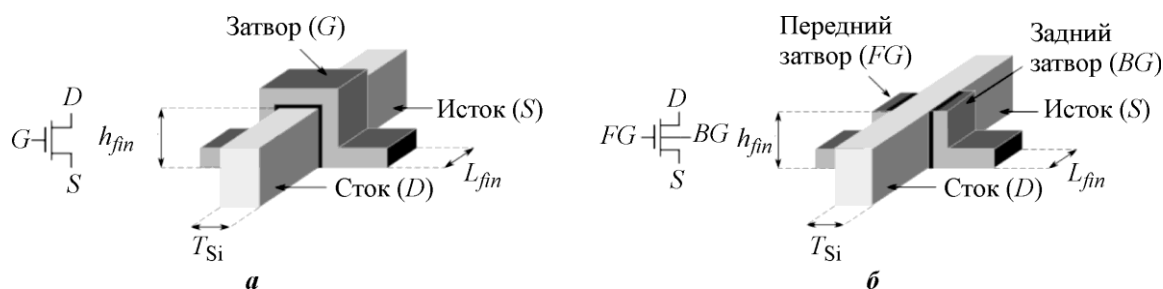


Рис.1. Структуры SG-FinFET-транзистора (а) и IG-FinFET-транзистора (б)

Fig.1. The structure of the SG-FinFET (a) and (b) IG-FinFET transistors

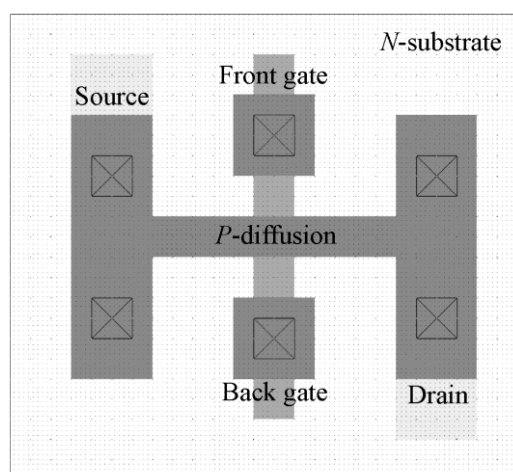


Рис.2. Топология IG FinFET-транзистора p-типа

Fig.2. Layout of a p-type IG FinFET transistors

Структуру IG FinFET-транзистора (рис.1,б) можно получить путем удаления верхней части затвора обычного SG FinFET-транзистора [5]. Затворы IG FinFET-транзистора независимы, что позволяет использовать один из затворов (back gate) для обратного смещения транзистора. Это дает возможность управлять пороговым напряжением транзистора и тем самым понижать токи утечки и задержки транзистора [6]. Часто второй затвор подключают к самому низкому (или высокому) потенциалу для получения маломощных схем – LP FinFET. Независимость затворов IG FinFET-структур также дает возможность образовать параллельно подключенные транзисторы, ширина каждого из которых $W_{\min} = h_{\text{fin}}$. На рис. 2 приведена топология одного IG FinFET-транзистора p-типа.

Если соединить затворы IG FinFET-транзистора, можно получить транзистор с шириной W_{\min} согласно формуле (1). Однако это приведет к увеличению площади транзистора, так как контакт ко второму затвору требует определенного места и соблюдения правил проектирования.

Минимальная ширина FinFET-транзисторов равна W_{\min} , из чего следует, что для получения ширины W , которая больше, чем W_{\min} , нужно подключить N_{fin} транзисторов параллельно:

$$N_{\text{fin}} = W / W_{\min}.$$

Так как N_{fin} – целое число, то получается, что ширина транзистора кратна W_{\min} .

Постановка задачи автоматизированного создания регулярной топологии FinFET-структур. При каждом переходе к новым технологическим процессам усиливается влияние правил проектирования. Однородная топология позволяет уменьшить число правил, которые необходимо соблюдать при проектировании, так как выполнение большей части правил и ограничений уже предусмотрено при разработке топологии.

Для технологии 22 нм и менее из-за специфики конструкции FinFET-транзистора не только слои поликремния, но и слои диффузии должны быть на равномерной сетке [7, 8]. Это связано с тем, что эффективная ширина транзистора ограничена геометрическими размерами затворов и шагом между ними. Для таких технологических процессов единственным возможным подходом остается использование строго регулярной топологии в базовых слоях.

Предлагается подход к построению схем с регулярной топологией на основе SP-графа, который кроме описания логики схемы [9, 10] также представляет модель ее транзисторного описания на уровне топологии. Корневым вершинам такого SP-графа соответствуют выходы, а листьям – входы цифровой схемы. Схема представлена как совокупность двух поддеревьев путей, которые соответствуют установке значений логического «0» и логической «1» на выходе. Листья графа представляют собой затворы p -МОП-транзисторов (обозначены с отрицанием) и n -МОП-транзисторов (обозначены без отрицания). При этом SP-графы для цепей земли (pull-down, PD) и питания (pull-up, PU) описываются отдельно [11].

Для описания топологической структуры схемы используется более широкий набор функций конъюнкции и дизъюнкции. Задача описания функций на уровне топологии усложняется необходимостью выполнения условия взаимной однозначности между топологией и графовым деревом, что приводит к некоторым ограничениям способов описания. Для обеспечения указанной однозначности выбирается направление размещения транзисторов внутри топологии (слева направо или справа налево) [12]. Таким образом, функция конъюнкции разделяется на конъюнкцию направо или налево, функция дизъюнкции – на дизъюнкцию направо или налево (рис. 3).

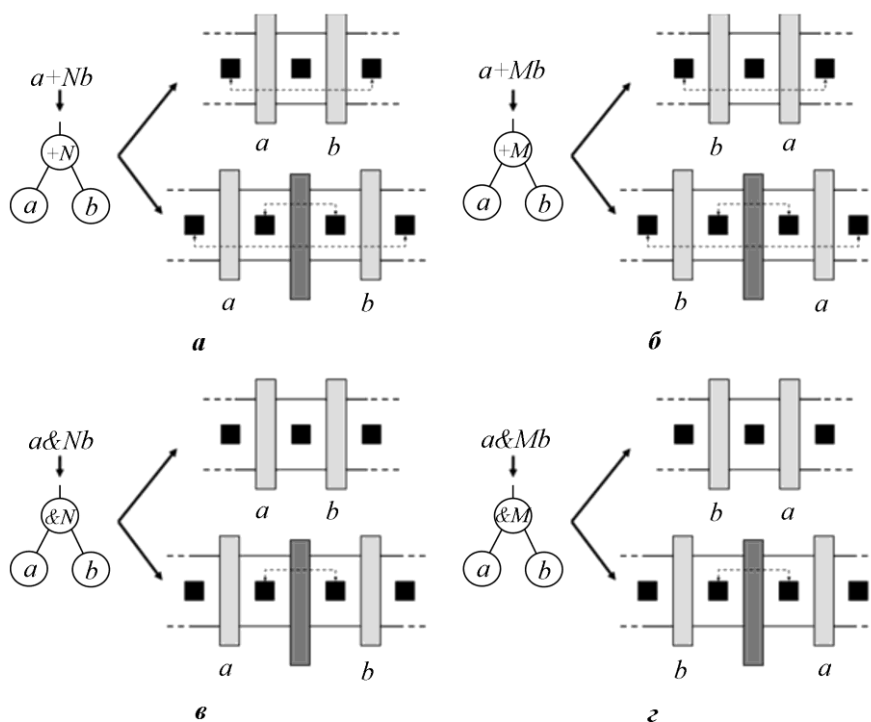


Рис.3. Набор функций для описания топологической структуры: a – дизъюнкция в направлении N ; b – дизъюнкция в направлении M ; c – конъюнкция в направлении N ; d – конъюнкция в направлении M

Fig.3. A set of functions for describing the layout structure: a – disjunction in the N direction; b – disjunction in the M direction; c – conjunction in the N direction; d – conjunction in the M direction

Предлагается выбрать одно нормальное направление и противоположное ему направление. Так, если порядок транзисторов в топологии соответствует выбранному направлению, то к оператору добавляется индекс N (normal), если порядок противоположный – индекс M (mirror). Также выбирается нормальное направление размещения каждого отдельного транзистора (направление от истока к стоку) и обозначается латин-

ской буквой N , противоположное направление (от стока к истоку) индексируется латинской буквой M . Такая модификация SP-графа называется SP-NM-графом [13, 14].

Отметим, что если внутри вентиля в PU- и PD-цепях направления функций должны быть одинаковыми, то направление каждого транзистора может меняться, а иногда должно меняться. Если транзисторы внутри шаблона подключены параллельно (дизъюнкция), то направление входов должно меняться так, чтобы сток подключился к стоку или исток к истоку. В случае последовательного соединения направление не меняется, т.е. сток подключается к истоку, или наоборот. С помощью выбора направления каждого транзистора внутри шаблона можно оптимизировать топологию с точки зрения трассировки, площади и контроля задержек по входам [15].

Алгоритм генерации регулярной топологии IG FinFET-структур. Рассмотрим алгоритм построения теоретико-графовой модели (SP-NM-графа) и топологии для логического элемента И-ИЛИ-НЕ21 (AOI21). Алгоритм включает следующие основные шаги.

Шаг 1. Вывод формулы логической функции элемента:

$$f = \overline{(A \cdot B) + C}.$$

Шаг 2. Описание логической функции для PU- и PD-цепи:

$$\text{PU: } f = ((\bar{A}_1 + \bar{A}_2) + \bar{B}) \& \bar{C},$$

$$\text{PD: } f = \overline{((A_1 + A_2) \& B) + C}.$$

На этом этапе определяется порядок следования функциональных затворов в топологии (рис. 4).

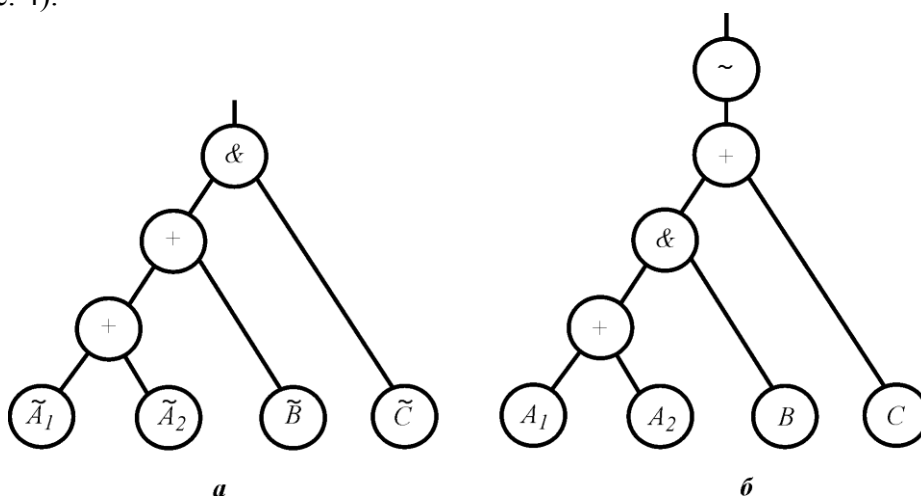


Рис.4. SP-DAG схемы И-ИЛИ-НЕ21 для PD-цепи (а) и для PU-цепи (б)

Fig.4. SP-DAG of AOI21 circuit: a – for the PD chain; b – for the PU chain

В PU-части графа аргументы будут с отрицанием, а на выходе не будет отрицания, в PD-части, наоборот, аргументы будут без отрицания, а на выходе – с отрицанием. Как можно заметить, один из входов дублируется. Происходит это из-за того, что в шаблоне топологии два функциональных затвора и топология вентиля должна ложиться на целое число таких шаблонов. Итак, в случае нечетного количества входов в вентиле нужно дублировать один из них, т.е. параллельно подключать транзисторы. Как правило, дублируется тот вход, который ближе всего стоит к шинам питания и земли в PU- и PD-частях.

Шаг 3. Выбор направления логических функций:

$$\text{PU: } f = ((\bar{A}_1[+_N]\bar{A}_2)[+_N]\bar{B})[\&_N]\bar{C},$$

$$\text{PD: } f = \overline{((A_1[+_N]A_2)[\&_N]B)[+_N]C}.$$

Шаг 4. Выбор направления каждого транзистора (рис. 5):

$$\text{PU: } f = ((\bar{A}_{1N}[+_N]\bar{A}_{2M})[+_N]\bar{B}_N)[\&_N]\bar{C}_N,$$

$$\text{PD: } f = \overline{((A_{1N}[+_N]A_{2M})[\&_N]B_N)[+_N]C_M}.$$

Шаг 5. Получение топологии из графа (рис. 6).

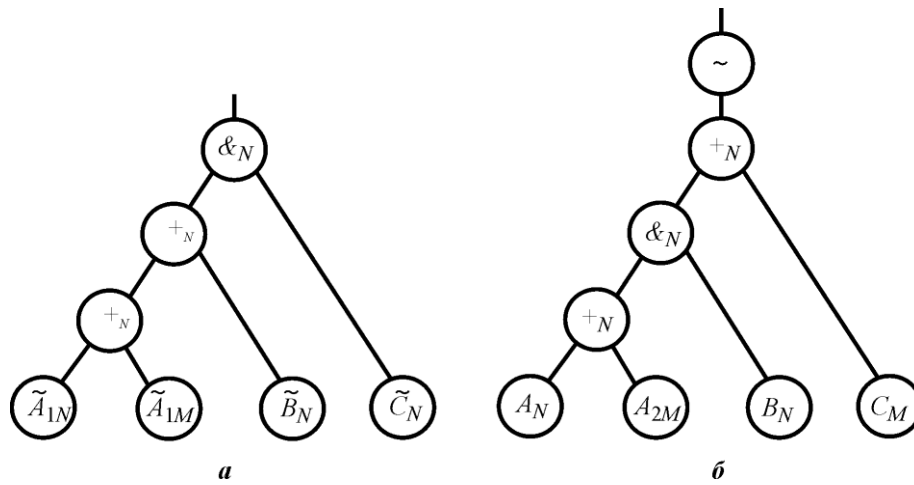


Рис.5. Полная аннотация графа для PU-цепи (а) и PD-цепи (б)
Fig.5. Full graph annotation for power (a) and ground (b) chains

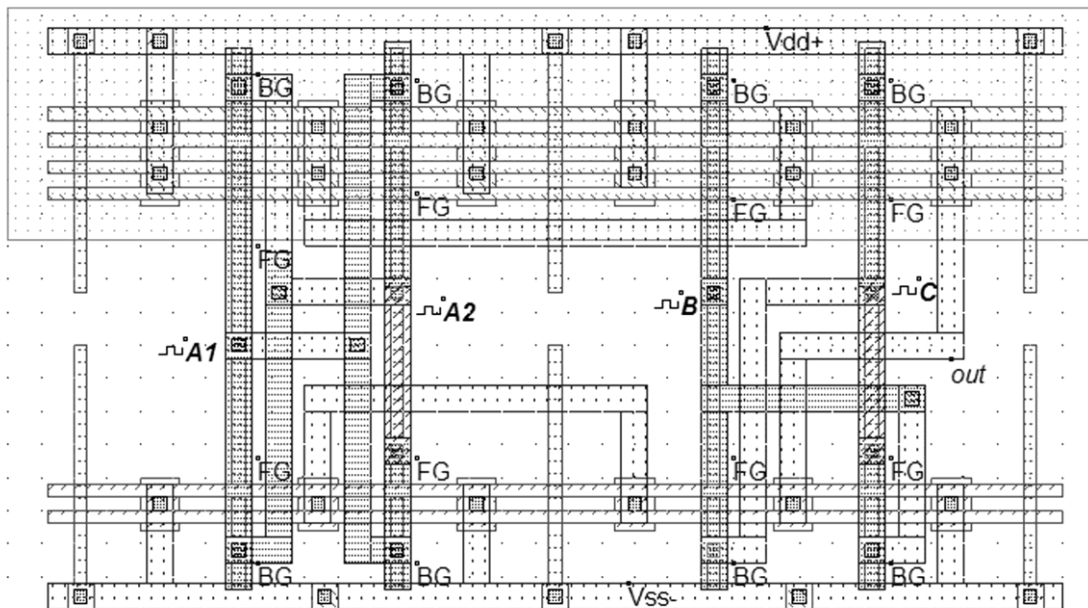


Рис.6. Регулярная топология полученной из SP-NM-графа схемы И-ИЛИ-НЕ21
Fig.6. The regular layout of the AOI21 circuit obtained from the SP-NM graph

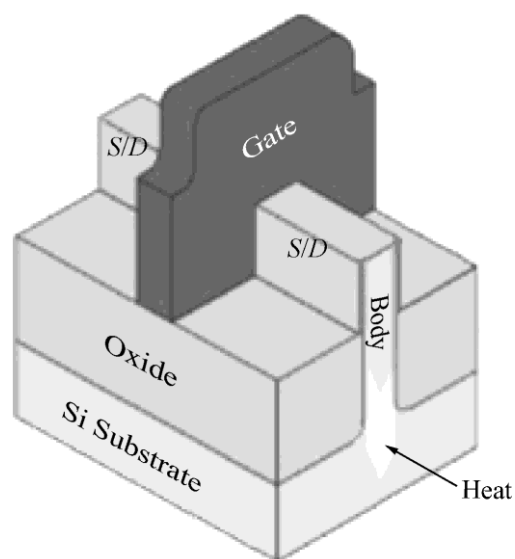


Рис. 7. Трехмерная структура объемного FinFET-транзистора

Fig. 7. Three-dimensional structure of FinFET-transistor

На рис. 6 количество полос диффузии не соответствует количеству плавников. Только одна из четырех полос диффузии для p -канальных транзисторов и одна из двух полос диффузии для n -канальных транзисторов имеют разрывы, которые и играют роль плавника, т.е. делят один затвор на два. Таким образом, каждый из IG FinFET-транзисторов, используемых в топологии, имеет по два затвора: передний (FG) и задний (BG).

Трехмерная структура объемного FinFET-транзистора с указанием слоев приведена на рис. 7.

Закключение. Предложенный алгоритм логико-топологического синтеза библиотечных элементов и блоков с FinFET-технологией на основе модели компонент в форме графа вложенности последовательно-параллельных структур (SP-граф) с незави-

симым анализом цепей земли (pull-down) и питания (pull-up) позволяет проектировать регулярные топологические структуры. Использование таких структур уменьшает количество правил проектирования по сравнению с нерегулярными структурами, а применение IG FinFET-транзисторов обеспечивает улучшение быстродействия и мощности по сравнению со стандартной КМОП-технологией.

В дальнейшем планируется адаптировать разработанный алгоритм для анализа и синтеза СБИС с технологическими нормами проектирования 32 нм и ниже при совместном решении задач логического и топологического синтеза.

Работа выполнена при финансовой поддержке РФФИ (проект № 16-07-00609 А).

Литература

1. Талалай М.С., Трушин К.В., Венгер О.В. Логический синтез булевой функции для проектирования интегральных схем на транзисторных шаблонах // Информационные технологии. – 2012. – № 6. – С. 2–11.
2. Jha N., Chen D. Nanoelectronic circuit design // Springer Science+Business Media, LLC. – 2011. – P. 23–54.
3. King T.-J. FinFETs for nanoscale CMOS digital integrated circuits // IEEE/ACM International Conference on Computer-Aided Design. – 2005. – P. 207–210.
4. Huang X., Lee W.-C., Kuo C., Hisamoto D. Sub 50-nm FinFET: PFET // Technical Digital IEDM. – 1999. – P. 67 – 70.
5. Liu Y., Matsukawa T., Endo K., Masahara M. Cointegration of high-performance tied-gate three-terminal FinFETs and variable threshold-voltage independent-gate four-terminal FinFETs with asymmetric gate-oxide thicknesses // IEEE Electron Device Letters. – 2007. – Vol. 28. – No. 6. – P. 517–519.
6. Agostinelli M., Alioto M., Esseni D., Selmi L. Leakage-delay tradeoff in FinFET logic circuits: a comparative analysis with bulk technology // IEEE Transactions on Very Large Scale Integrated Circuits. – 2010. – Vol. 18. – No. 2. – P. 232–245.
7. Kushwah R., Chauhan M., Shrivastava P., Akashe Sh. Modeling and simulation of FinFET circuits with predictive technology models // Radioelectronics and Communications Systems. – 2014. – Vol. 57. – No. 12. – P. 553–558.

8. **Meinhardt C., Reis R.** FinFET basic cells evaluation for regular layouts// IEEE Fourth Latin American Symposium on Circuits and Systems (LASCAS). – 2013. – P. 1–4.
9. **Bryant R. E.** Boolean analysis of MOS circuits // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. – 2006. – Vol. 6. – No. 4. – P. 634–649.
10. **Стемковский А.Л., Гаврилов С.В., Каграманян Э.Р.** Методы логико-временного анализа заказных блоков СБИС // Изв. вузов. Электроника. – 2008. – № 5. – С. 41–50.
11. **Гаврилов С.В., Иванова Г.А., Манукян А.А.** Новые проблемы логико-топологического синтеза заказных сложно-функциональных блоков и методы их решения // Информационные технологии. – 2014. – № 8. – С. 44–50.
12. **Гаврилов С.В., Иванова Г.А., Стемковский А.Л.** Теоретико-графовая модель сложнофункциональных блоков для КМОП технологий с трехмерной структурой транзистора // Известия ЮФУ. Технические науки. – 2014. – № 7 (156). – С. 58–66.
13. **Гаврилов С.В., Иванова Г.А., Волобуев П.С.** Актуальные проблемы автоматизации логико-топологического проектирования библиотечных элементов и блоков СБИС для нанометровых технологий // Вестник Рязанского государственного радиотехнического университета. – 2014. – № 4. – Ч. 1. – С. 69–77.
14. **Гаврилов С.В., Жукова Т.Д., Иванова Г.А., Рыжова Д.И.** Методы логико-временного проектирования библиотечных элементов и блоков СБИС для перспективных технологий с вертикальным затвором транзистора // VII Всеросс. научн.-техн. конф. «Проблемы разработки перспективных микро- и наноэлектронных систем – 2016». – Ч. 1. – М.: Рупаб+, 2016. – С. 56–63.
15. A technique of ASIC peak current estimation based on the resolution method / **T.V. Garbulina, S.V. Gavrilov, A.V. Korshunov et al.** // IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering. – 2017. – P. 67–70.

Поступила 28.02.2017 г.; принята к публикации 25.04.2017 г.

Гаврилов Сергей Витальевич – доктор технических наук, профессор, заведующий отделом САПР Института проблем проектирования в микроэлектронике Российской академии наук (Россия, 124365, г. Москва, г. Зеленоград, Советская ул., д. 3), sergey_g@ippm.ru

Карева Елена Сергеевна – бакалавр кафедры проектирования и конструирования интегральных микросхем Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, д. 1), стажер-исследователь Института проблем проектирования в микроэлектронике Российской академии наук (Россия, 124365, г. Москва, г. Зеленоград, Советская ул., д. 3), kareva_e@ippm.ru

Рыжова Дарья Игоревна – аспирант кафедры проектирования и конструирования интегральных микросхем Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, д. 1), младший научный сотрудник Института проблем проектирования в микроэлектронике Российской академии наук (Россия, 124365, г. Москва, г. Зеленоград, Советская ул., д. 3), ryzhova_d@ippm.ru

References

1. Talalaj M.S., Trushin K.V., Venger O.V. Logicheskij sintez bulevoj funktsii dlya proektirovaniya integral'nykh skhem na tranzistornykh shablonakh [Logical synthesis of Boolean function for the design of integrated circuits on transistor templates]. *Informatsionnye tekhnologii – Information technologies*, 2012, no. 6, pp. 2–11. (In Russian).
2. Jha N., Chen D. Nanoelectronic Circuit Design. *Springer Science+Business Media*. LLC, 2011, pp. 23–54.
3. King T.-J. FinFETs for Nanoscale CMOS Digital Integrated Circuits. *IEEE. ACM International Conference on Computer-Aided Design*, 2005, pp. 207–210.
4. Huang X., Lee W.-C., Kuo C., Hisamoto D. Sub 50-nm FinFET: PFET. *Technical Digital IEDM*, 1999, pp. 67–70.

5. Liu Y., Matsukawa T., Endo K., Masahara M. Cointegration of high-performance tied-gate three-terminal FinFETs and variable threshold-voltage independent-gate four-terminal FinFETs with asymmetric gate-oxide thicknesses. *IEEE Electron Device Letters*, 2007, vol. 28, no. 6, pp. 517–519.
6. Agostinelli M., Alioto M., Esseni D., Selmi L. Leakage-delay tradeoff in FinFET logic circuits: A comparative analysis with bulk technology. *IEEE Transactions on Very Large Scale Integrated Circuits*, 2010, vol. 18, no. 2, pp. 232–245.
7. Kushwah R., Chauhan M., Shrivastava P., Akashe Sh. Modeling and Simulation of FinFET Circuits with Predictive Technology Models. *Radioelectronics and Communications Systems*, 2014, vol. 57, no. 12, pp. 553–558.
8. Meinhardt C., Reis R. FinFET Basic Cells Evaluation for Regular Layouts. *IEEE Fourth Latin American Symposium on Circuits and Systems (LASCAS)*, 2013, pp. 1–4.
9. Bryant R.E. Boolean Analysis of MOS Circuits. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2006, vol. 6, no. 4, pp. 634–649.
10. Stempkovskij A.L., Gavrilov S.V., Kagramanyan E.H.R. Metody logiko-vremennogo analiza zakaznykh blokov SBIS [Methods of logical and timing analysis of custom VLSI blocks]. *Izvestiya vuzov. Elektronika – Proceedings of universities. Electronics*, 2008, no. 5, pp. 41–50. (In Russian).
11. Gavrilov S.V., Ivanova G.A., Manukyan A.A. Novye problemy logiko-topologicheskogo sinteza zakaznykh slozhno-funktsional'nykh blokov i metody ikh resheniya [New problems and methods of logical and physical synthesis of customized IP blocks]. *Informatsionnye tekhnologii – Information technologies*, 2014, no. 8, pp. 44–50. (In Russian).
12. Gavrilov S.V., Ivanova G.A., Stempkovskij A.L. Teoretiko-grafovaya model' slozhno-funktsional'nykh blokov dlya KMOP tekhnologiy s trekhmernoj strukturoj tranzistora [A theoretical-graph model of IP blocks for CMOS technologies with a three-dimensional structure of a transistor]. *Izvestiya YUFU. Tekhnicheskie nauki – Izvestiya SFedU. Engineering sciences*, 2014, no. 7(156), pp. 58–66. (In Russian).
13. Gavrilov S.V., Ivanova G.A., Volobuev P.S. Aktual'nye problemy avtomatizatsii logiko-topologicheskogo proektirovaniya biblioteknykh ehlementov i blokov SBIS dlya nanometrovykh tekhnologij [Actual problems of automation of logical and physical design of library elements and VLSI blocks for nanometer technologies]. *Vestnik Ryazanskogo gosudarstvennogo radiotekhnicheskogo universiteta*, 2014, no. 4, pt.1, pp. 69–77. (In Russian).
14. Gavrilov S.V., Zhukova T.D., Ivanova G.A., Ryzhova D.I. Metody logiko-vremennogo proektirovaniya biblioteknykh ehlementov i blokov SBIS dlya perspektivnykh tekhnologij s vertikal'nym zatvorom tranzistora [Methods of logical and timing design of library elements and VLSI blocks for advanced technologies with vertical gate of the transistor]. *VII Vserossiyskaya nauchno-tekhnicheskaya konferentsiya «Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem – 2016»* [All-Russia Science&Technology Conference «Problems of Advanced Micro- and Nanoelectronic Systems Development - 2016»]. Zelenograd, RuPab+, 2016, pt. 1, pp. 56–63. (In Russian).
15. Garbulina T.V., Gavrilov S.V., Korshunov A.V., Ryzhova D.I., Volobuev P.S. A Technique of ASIC Peak Current Estimation Based on the Resolution Method. *IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering*, 2017, pp. 67–70.

Submitted 28.02.2017; accepted 25.04.2017.

Gavrilov Sergey V. – doctor of engineering, professor, head of department, Institute for Design Problems In Microelectronics of Russian Academy of Sciences (Russia, 124365, Moscow, Zelenograd, Sovetskaya st., 3), sergey_g@ippm.ru

Kareva Elena S. – bachelor of the Integrated Circuits Design Department, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), intern researcher, Institute for Design Problems in Microelectronics of Russian Academy of Sciences (Russia, 124365, Moscow, Zelenograd, Sovetskaya st., 3), kareva_e@ippm.ru

Ryzhova Daria I. – PhD student of the Integrated Circuits Design Department, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), junior research scientist, Institute for Design Problems in Microelectronics of Russian Academy of Sciences (Russia, 124365, Moscow, Zelenograd, Sovetskaya st., 3), ryzhova_d@ippm.ru