

ТЕХНОЛОГИЧЕСКИЕ ПРОЦЕССЫ И МАРШРУТЫ TECHNOLOGICAL PROCESSES AND ROUTES

УДК 621.382

DOI: 10.24151/1561-5405-2017-22-4-305-321

Обзор

Мемристорные структуры для микро- и наноэлектроники. Физика и технология

А.Н. Белов, А.А. Перевалов, В.И. Шевяков

*Национальный исследовательский университет «МИЭТ»,
г. Москва, Россия*

shev@dsd.miee.ru

Развитые технологии КМОП-структур и энергонезависимая память на их основе столкнутся с фундаментальными ограничениями уже в 2018–2020 гг. В настоящее время проводится интенсивный поиск приборов на основе новых физических принципов, которые потенциально будут иметь более высокую степень интеграции. В качестве таких приборов предлагается использовать мемристоры.

Представлен обзор литературы, посвященной последним разработкам в области создания мемристорных структур, а также массивам на их основе. Детально рассмотрены материалы, технологии создания и физические принципы функционирования мемристорных структур, а также современные технологии создания массивов этих структур. Представлены три наиболее перспективные направления развития мемристоров на основе халькогенидов, оксидов металлов и твердых электролитов.

Обзор будет полезен исследователям и специалистам в области создания кремниевой энергонезависимой памяти.

Ключевые слова: мемристорные структуры; интегральные схемы; халькогениды; оксиды металлов; твердые электролиты.

Для цитирования: Белов А.Н., Перевалов А.А., Шевяков В.И. Мемристорные структуры для микро- и наноэлектроники. Физика и технология. Обзор // Изв. вузов. Электроника. – 2017. – Т. 22. – № 4. – С. 305–321. DOI: 10.24151/1561-5405-2017-22-4-305-321

Review

Physics-Technological Fabrication of Memresistors for Micro- and Nanoelectronics

A.N. Belov, A.A. Perevalov, V.I. Shevyakov

National Research University of Electronic Technology, Moscow, Russia

shev@dsd.miee.ru

The developed technologies of CMOS structures and nonvolatile memory based on them will encounter the fundamental limits already in 2018–2020. Currently, an intensive research is being executed for obtaining the new devices based on new physical principles, which, potentially, will have more scaling possibilities. As such devices the memresistors have been proposed to be used.

A review of up-to-date literature, devoted to recent developments in the area of creating the memresistor structures, as well as the arrays based on them, has been presented. The materials, manufacture technologies and physical principles of the memresistor structures functioning, as well as current technologies of creating the arrays of these structures have been in detail considered. The most perspective fields in development of the memresistors based on chalcogenides, metal oxides, fast ion conductors have been presented.

Keywords: memresistive structures; integral circuits; chalcogenides; metal oxides; fast ion conductors.

For citation: Belov A.N., Perevalov A.A., Shevyakov V.I. Physics-Technological Fabrication of Memresistors for Micro- and Nanoelectronics. Review // Proc. of Universities. Electronics. – 2017. – Vol. 22. – No. 4. – P. 305–321. DOI: 10.214151/1561-5405-2017-22-4-305-321.

Введение. Анализ перспективы развития КМОП-технологии и, следовательно, создания приборов на их основе, например NAND Flash (флеш-память) и DRAM (Dynamic Random Access Memory), показал, что уже в 2018–2020 гг. возникнут фундаментальные ограничения [1]. В настоящее время в твердотельной электронике при построении современных типов памяти широко используются новые физические принципы. Одним из перспективных объектов исследований являются мемристоры (от англ. memory resistor) – все энергонезависимые двухполюсные запоминающие устройства, основанные на переключении сопротивления [2]. Новый тип энергонезависимой памяти, основанный на применении мемристорных структур, появился в тот момент, когда возникли проблемы масштабирования, что подтолкнуло исследователей к поиску альтернативных решений.

Впервые понятие «мемристор» ввел Леон Чуа в работе [3], где предположил наличие четвертого пассивного элемента в теории электрических цепей наряду с резистором, сопротивлением и конденсатором, который бы связывал магнитный поток и заряд. Первый лабораторный образец мемристора был создан в 2008 г. в исследовательской лаборатории Hewlett-Packard. Полученное устройство сохранило концепт теоретической модели, однако повторяло не все ее свойства [4]. В 2011 г. Леон Чуа расширил определение мемристоров, и в него вошли уже известные ранее приборы на основе фазовых переходов, а также MRAM (Magnetoresistive Random-access Memory) и FRAM (Ferroelectric Random-access Memory).

На сегодняшний день большой интерес представляют ИС на основе таких мемристорных структур, как ReRAM (Resistive Random-access Memory) и PCM (Phase Change Memory) [5].

Как видно из рис.1, емкость на кристалл у ReRAM приближается к флеш-памяти, а скорость записи-считывания информации у ReRAM на несколько порядков выше. Существенный подъем производительности и плотности получила и PCM.

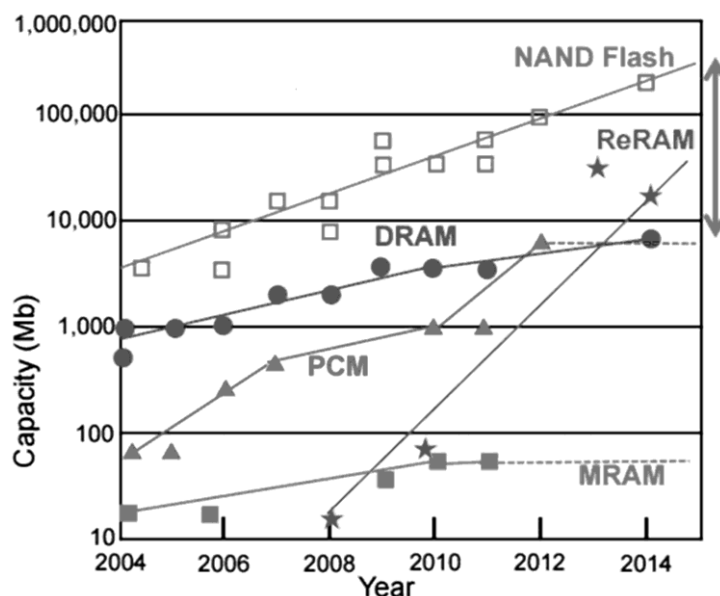


Рис.1. Состояние области энергонезависимой памяти [5]

Fig.1. Nonvolatile memory field condition [5]

В настоящей работе представлен обзор современной литературы, посвященной последним разработкам в области создания мемристорных структур и массивам на их основе. Показаны перспективные материалы и технологии создания мемристорных структур.

Мемристоры на основе халькогенидов. Халькогениды – бинарные химические соединения халькогенов с металлами. Под действием электрического тока они могут изменять свое фазовое состояние. Большое различие между значениями электрического сопротивления в поликристаллической и аморфной фазах позволяет использовать халькогенид в качестве материала мемристора. Халькогенид достаточно быстро переходит из аморфного состояния в поликристаллическое и обратно в результате нагрева и последующего охлаждения. Программирование элемента памяти происходит путем подачи электрического импульса соответствующей амплитуды и длительности. На рис.2 приведена схематичная температурно-временная зависимость программирования состояния халькогенида.

Состояние RESET (логический «0»), соответствующее высокому сопротивлению образца, создается путем подачи короткого по времени импульса с высокой амплитудой, достаточного для плавления материала

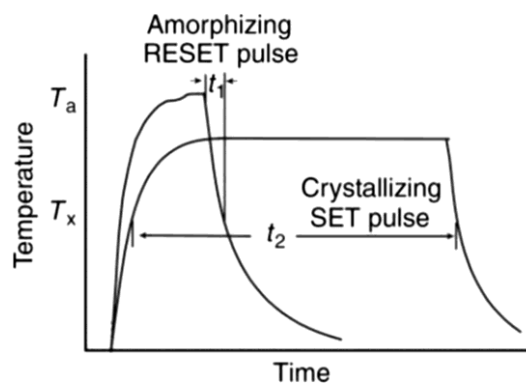


Рис.2. Схематичная температурно-временная зависимость программирования состояния халькогенида (T_a , T_x – температура плавления и кристаллизации халькогенида соответственно) [6]

Fig.2. Schematic temperature-time relationship during programming in a phase-change rewritable memory device (T_a , T_x – melting and crystallization point of chalcogenide, respectively) [6]

и последующего быстрого охлаждения образца. Таким образом халькогенид переходит в стабильное аморфное состояние. Для состояния SET (логическая «1») на образец подается длительный по времени, но с меньшей амплитудой импульс, позволяющий нагреть материал ниже температуры плавления и выше температуры кристаллизации.

Халькогениды характеризуются сильной зависимостью сопротивления материала от его фазового состояния, что позволяет их использовать для изготовления ячеек памяти. Для $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST) максимальное сопротивление, присущее материалу в аморфном состоянии, составляет около 1 МОм, а минимальное – около 1 кОм [6]. В среднем отношение значений сопротивления в состоянии SET и RESET не менее двух порядков [1, 6, 7]. Это обеспечивает высокую различимость логических «0» и «1» и позволяет использовать OUM (Ovonic Unified Memory) для мультибитного хранения данных, а также для аналоговых целей. В состоянии RESET халькогенидный сплав имеет высокое значение сопротивления при прикладываемом напряжении ниже порогового (рис.3).

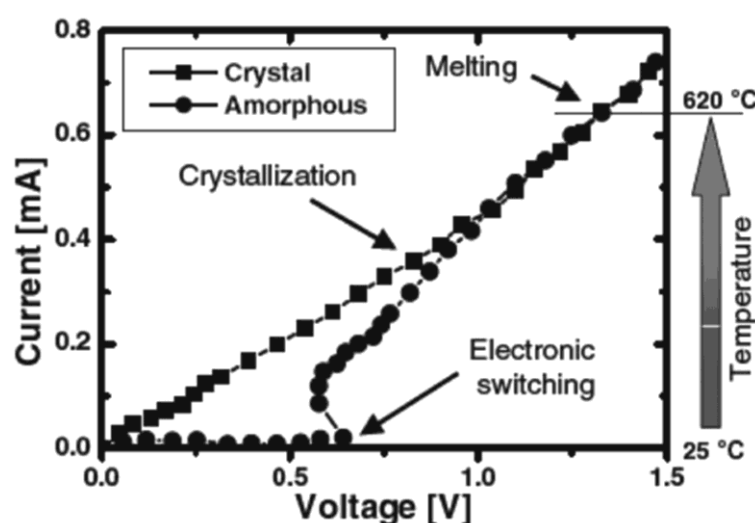


Рис.3. ВАХ элемента памяти на основе GST [7]

Fig.3. I-V curves of both the crystalline and amorphous state [7]

Быстрое повышение проводимости халькогенида происходит, когда прикладываемое напряжение достигает пороговых значений. Повышение проводимости является следствием электронного переключения и не связано с процессами кристаллизации материала [6]. Приложенное напряжение обеспечивает протекание тока, необходимого для достижения температуры кристаллизации халькогенида и, следовательно, переключения элемента в низкоомное состояние SET. Чтобы переключить элемент из состояния SET в состояние RESET, необходимо подать короткий импульс тока с высокой амплитудой, достаточный для плавления материала и возврата его в аморфное состояние. Длительность процесса перехода халькогенида в высокоомное состояние составляет несколько наносекунд [1, 8]. В режиме чтения считывание значения сопротивления элемента происходит при напряжении меньше порогового (менее 0,4 В). При этом протекающий через элемент ток не приводит к изменению его состояния. Резистивный нагревательный элемент используется для нагрева халькогенида, который вместе с электродами и слоем самого халькогенида образует ячейку памяти. Ток, протекающий через халькогенид и резистивный элемент, вызывает нагрев данных материалов.

Халькогениды состоят из одного или нескольких элементов VI группы Периодической системы химических элементов. В литературе представлены различные по составу халькогенидные сплавы, такие как GST [7–11], GeTe [11], легированные серебром или индием, сплав сурьмы и теллура [12] и др. [13]. Наиболее используемые в настоящее время сплавы $\text{Ge}_2\text{Sb}_2\text{Te}_5$ и Ge_2Te вследствие их высокой скорости кристаллизации [6]. Кристаллизация является наиболее длительным процессом и представляет собой одну из важнейших характеристик, которая определяет максимальную скорость переключения элементов.

В разработанной технологии памяти (рис.4) на основе фазового перехода OUM используется сплав GST [14]. Температура кристаллизации GST находится в диапазоне приблизительно 140–175°C, время кристаллизации составляет около 50 нс, тогда как в общем случае для халькогенидов характерное время кристаллизации не менее 60 нс [15]. Температура кристаллизации сплава GeTe составляет около 170 °C, а время кристаллизации – менее 16 нс.

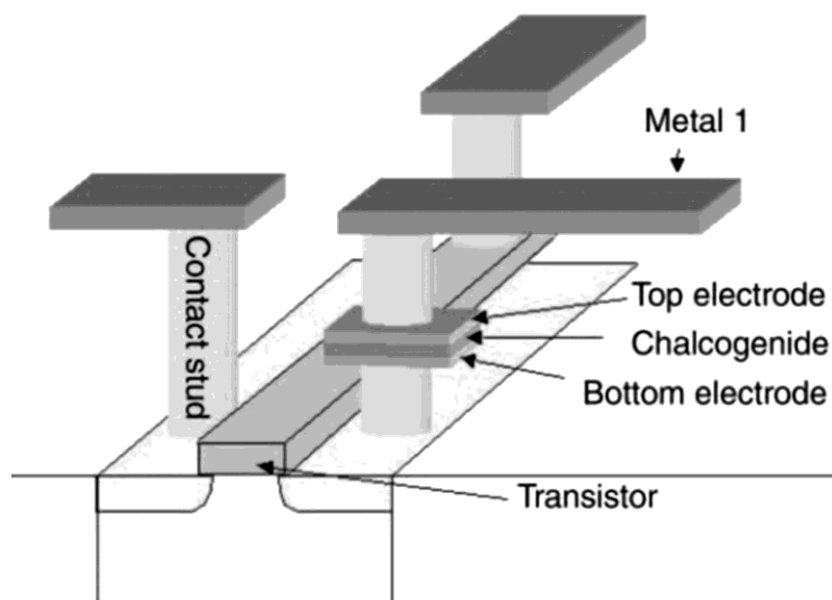


Рис.4. Поперечные сечения структур температурно-стабильных латеральных устройств OUM и устройство доступа на основе КМОП-транзистора [6]

Fig.4. Thermally optimized lateral offset OUM device structure and CMOS access device [6]

В 2016 г. компания Intel совместно с Micron представили обновленную технологию – PCMS (Phase Change Memory Switcher). Это вертикально интегрированная ячейка памяти, состоящая из PCM и OTS (Ovonic Threshold Switcher) в качестве селектора (рис.5). В представленном устройстве скорость перехода в состояние RESET составляет 9 нс, а количество рабочих циклов достигает отметки 10^6 .

Использование OTS вместо транзистора позволило сократить плотность элементов. На рис.6 приведены ВАХ слоев (OTS и аморфного PCM), соединенных друг с другом и находящихся перед подачей импульса напряжения в состоянии RESET. Видно, что результирующая ВАХ является суперпозицией первых двух.

Благодаря низкой рабочей температуре технология PCMS совместима с современными КМОП-технологиями металлизации и в полной мере встраивается в технологии BEOL

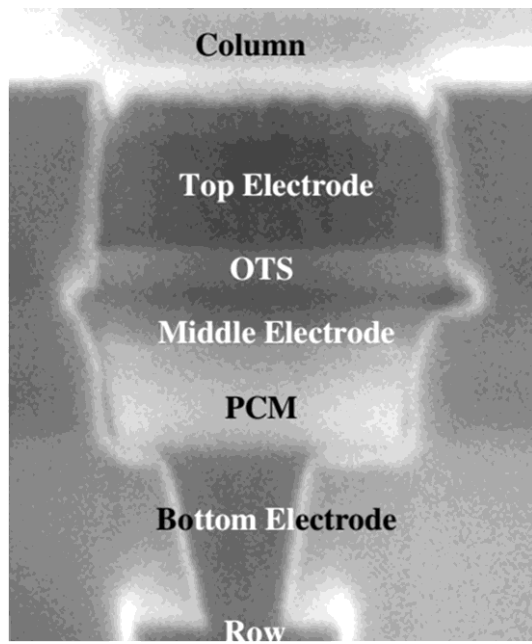


Рис.5. РЭМ-изображение профиля PCMS [16]
Fig.5. SEM cross section of a PCMS cell [16]

(Back End of Line). Это позволяет «строить» 3D-память над КМОП-транзисторами и достигать высокой эффективности и плотности (рис.7).

Для того чтобы считать состояние PCMS-ячейки, прикладываемое напряжение должно быть выше, чем максимальное пороговое напряжение в состоянии SET в ряду, но меньше напряжения в состоянии RESET. Это напряжение чтения. Для записи информации необходимо подать на выбранную ячейку напряжение записи. Оно должно быть больше максимального порогового напряжения в состоянии RESET в ряду Row (см. рис.7) [16]. На рис.8 приведены электрические характеристики переключения в PCMS-ячейке, где ток плавления I_{melt} и напряжение $V_{t_{set}}$ нормированы.

На текущий момент PCMS-память наиболее перспективна с точки зрения коммерческой выгоды и, возможно, заменит тех-

нологии NAND Flash.

Основное преимущество мемристоров на основе халькогенидов – большое число циклов перезаписи (от 10^9 до 10^{13}) и хорошая температурная стабильность (заданные значения сопротивления сохраняются на протяжении 10 лет при температуре $110\text{ }^{\circ}\text{C}$) [8]. Однако есть и недостатки: расслоение материала халькогенида в процессе переключения, изменение элементного состава, вызываемое диффузией материалов электродов при нагреве [6]. Тем не менее крупные зарубежные компании продолжают вести разработки в этой области.

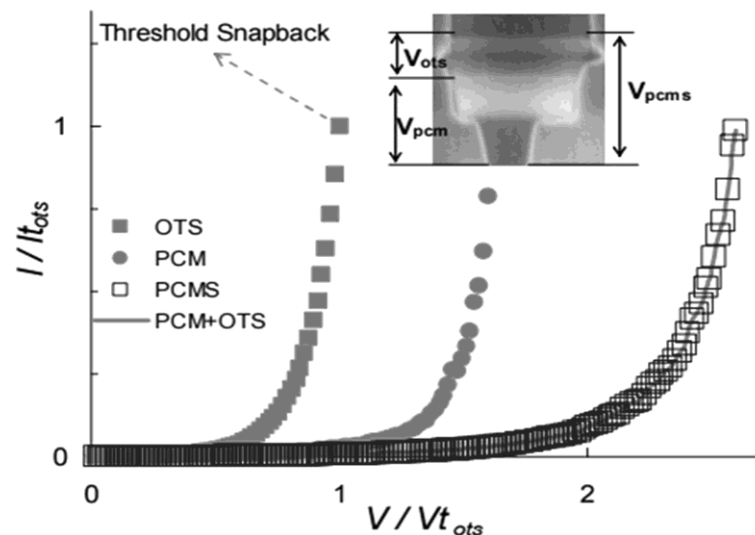


Рис.6. Пороговая зависимость RESET PCMS (PCM+OTS) [16]
Fig.6. The threshold behavior of a RESET PCMS (PCM+OTS) is equal to the additive result of the thresholds of OTS and amorphous PCM in series [16]

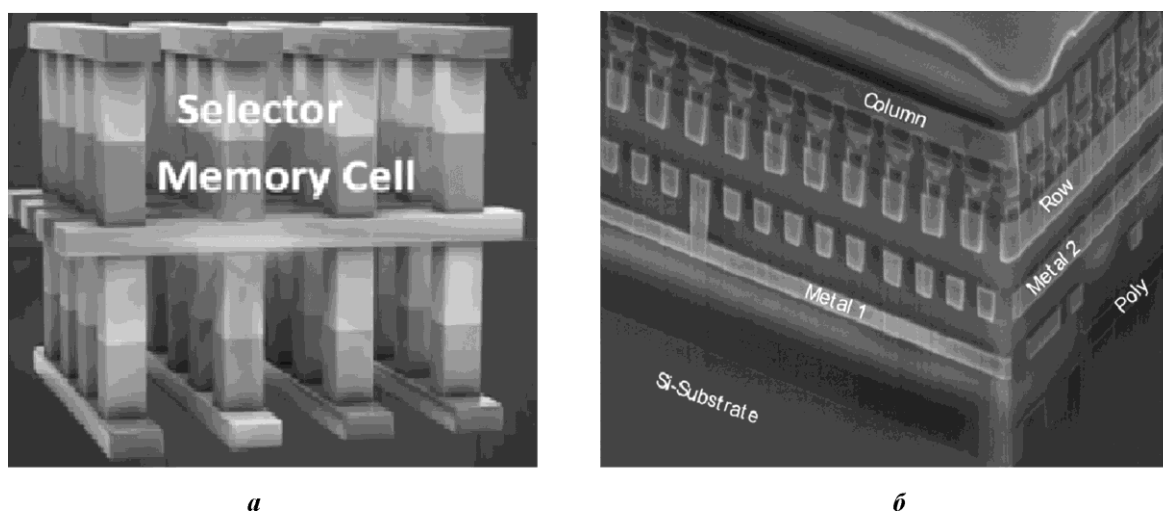


Рис. 7. Схематичное представление массива ячеек PCMS (а) и его РЭМ-изображение (б) [16]
Fig. 7. Scheme (a) and SEM image (b) of PCMS array [16]

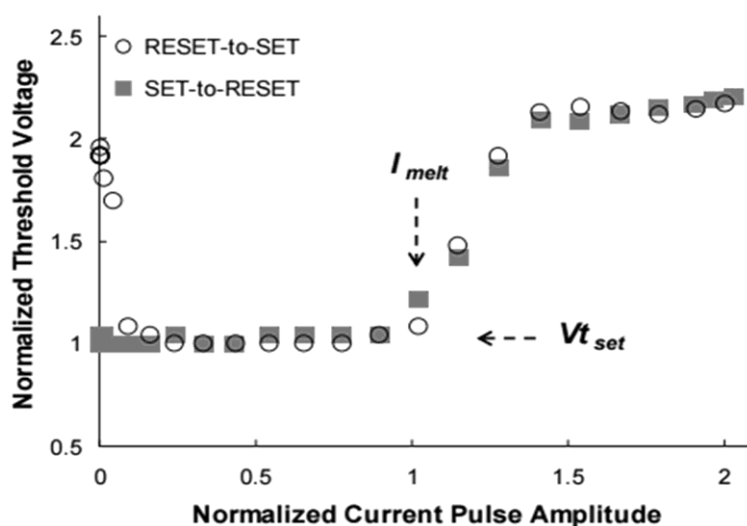


Рис. 8. Электрические характеристики переключения в ячейке PCMS с нормированным током плавления I_{melt} и напряжением V_{tset} [16]
Fig. 8. Single cell PCMS electrical programming characteristics. Current and voltage are normalized to I_{melt} and V_{tset} , respectively [16]

Мемристоры на основе оксидов металлов. Резистивное переключение в пленках металл/оксид металла/металл было обнаружено еще в 1960-х гг. [17–19]. Перспективными диэлектриками при изготовлении мемристоров с точки зрения управления и воспроизводимости их параметров, совместимости с современной технологией производства интегральных схем являются оксиды металлов, например стабилизированные иттрием диоксид циркония и диоксид гафния, оксид титана [20]. Наиболее вероятный механизм переключения в элементах резистивной памяти на основе диэлектрических пленок оксидов – процессы окисления-восстановления, а также изменение концентрации дефектов типа кислородных вакансий, происходящее в нанометровых областях диэлектриков. Кислородные вакансии могут создаваться как в процессе изготовления элемента, так и при электроформировании.

Существуют два типа мемристорных структур на основе оксидов металлов. Первый тип представляет собой двухслойную структуру, находящуюся между электродами. Структура состоит из обедненного кислородом слоя и стехиометрического слоя. При прикладывании отрицательного смещения к верхнему электроду кислородные вакансии дрейфуют из нестехиометрического слоя через изолирующий слой, создавая в нем канал проводимости и тем самым переключая элемент из высокоомного состояния в низкоомное. Второй тип мемристорных структур состоит только из изолирующего оксида, и для создания канала проводимости прикладывают высокое напряжение. Электрическое поле вырывает атомы кислорода из решетки, что создает нужные кислородные вакансии [15, 21–23]. В результате образуется мягкий пробой.

В мемристорных структурах на основе оксидов металлов переключение элемента может быть биполярным и униполярным (или неполярным). Упрощенная схема каналов проводимости в коммутационных матричных материалах в четырех типовых коммутационных устройствах, где коммутация осуществляется как электрическим полем, так и джоулевым нагревом, приведена на рис.9. Униполярное переключение не зависит от полярности приложенного напряжения и наравне с биполярным наблюдается в пленках TiO_x [23], NiO_x [24], SrTiO_3 [25]. Тип переключения элемента определяется не внутренними свойствами оксида, а структурой элементов. На режим переключения оказывают влияние материал электрода [15], а также условия переключения [21].

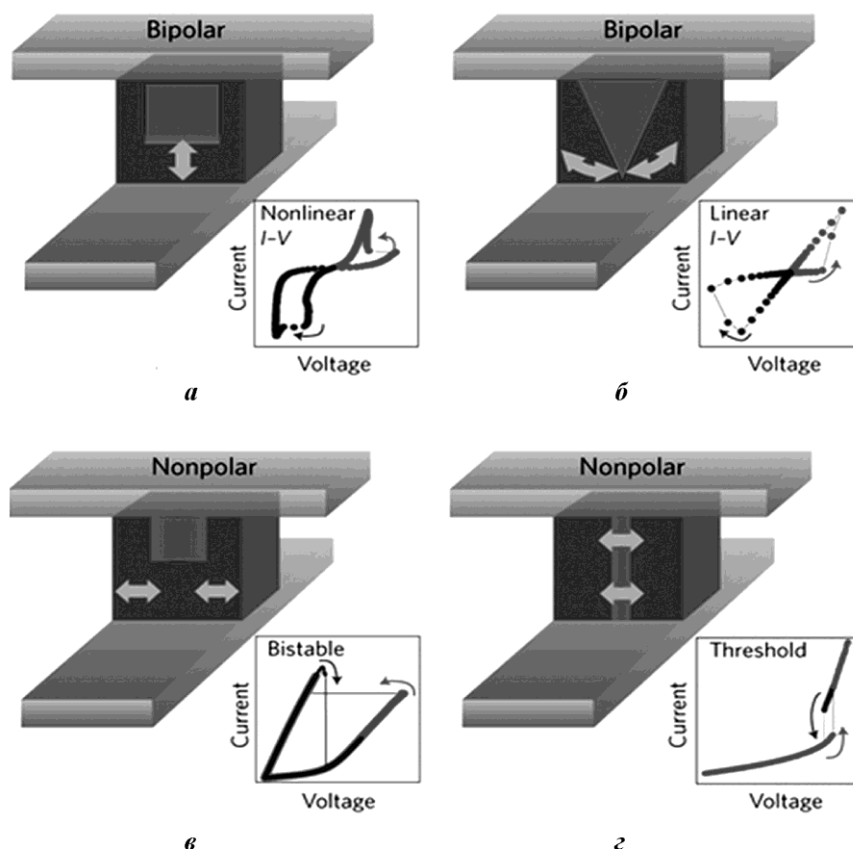


Рис.9. Схематичное изображение проводящих каналов в четырех режимах работы мемристорных структур и соответствующие им ВАХ: а – биполярный нелинейный режим; б – биполярный линейный режим; в – униполярный режим; г – пороговый режим [26]

Fig.9. Simplified schematics of conduction channels (red) in switching matrix materials in four typical switching devices (a–d), where both electric field and Joule heating drive the switching [26]

Под действием напряжения в структурах на основе оксидов металлов возникают два основных эффекта – электрическое поле и нагрев. Эти эффекты влияют на режим переключения элемента. Биполярное нелинейное переключение зависит в основном от электрического поля [26]. При таком режиме канал проводимости формируется и разрушается сквозь весь слой оксида металла в вертикальном направлении (рис.9,*а*), при биполярном линейном переключении (рис.9,*б*) решающую роль играют как электрическое поле, так и нагрев оксида металла [27]. В результате канал проводимости сформирован, а сопротивление меняется за счет изменения состава, размера и геометрии канала проводимости. Униполярные режимы переключения элементов предопределяются нагревом оксида металла. Так, канал проводимости формируется за счет тепловой диффузии вакансий кислорода (рис.9,*в*) в состоянии SET, а разрушается путем расплава в состоянии RESET. Неполарное пороговое переключение происходит за счет перехода оксида в проводящее состояние при определенном токе в состоянии SET, а разрыв канала – при недостаточном отводе тепла в состоянии RESET (рис.9,*г*).

Для мемристорных элементов на основе оксидов металлов самым распространенным является биполярный нелинейный тип переключения. Исследования показывают, что при приложении к TiO_{2-x} напряжения порядка 1 В время переключения в состояние SET и RESET составляет менее 1 мкс. В то же время при смещении напряжения порядка 0,5–0,6 В состояние элемента не изменится. Поэтому такие напряжения используют для режима чтения.

Для разных материалов и различных условий формирования структур в литературе представлены следующие минимальные значения переключения элементов: TiO_x – 5 нс [28, 29], TaO_x – 10 нс [30], NiO_x – 10 нс [31], HfO_x – 40 нс [32]. Так, на рис.10 представлены динамические характеристики переключения элемента на основе оксида титана.

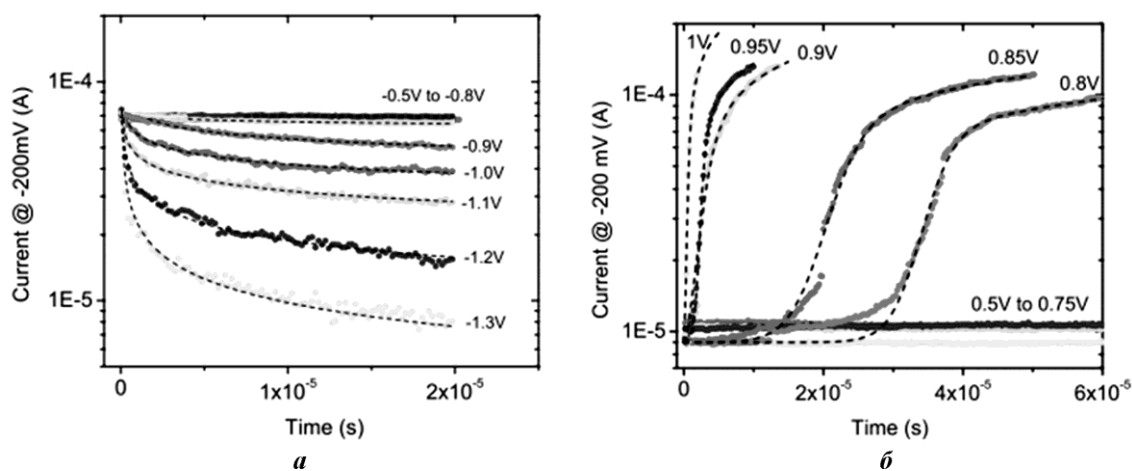


Рис.10. Динамические характеристики переключения элемента на основе оксида титана:

а – в состояние SET; *б* – в состояние RESET [28]

Fig.10. Panels *a* and *b* show the switching in detail (over shorter and more relevant for our case time intervals) for SET (*a*) and RESET (*b*) transitions [28]

Мемристоры на основе оксидов металлов имеют высокую устойчивость к циклической деградации, характеризующую степень изменения сопротивления в состояниях SET и RESET после *n*-го количества циклов записи-чтения. Самые распространенные оксиды металлов выдерживали не менее 10^5 циклов перезаписи [15, 29, 33]. В основном процесс деградации влияет на значение сопротивления в состоянии RESET, которое в ходе испытаний уменьшается до значения сопротивления в состоянии SET [15, 16, 29, 34].

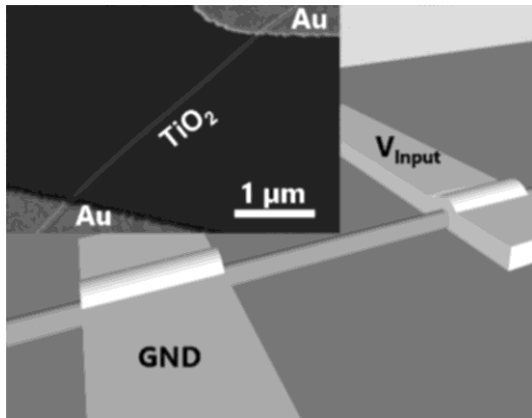


Рис.11. Мультибитный элемент памяти на основе Au/TiO_{2-x}/Au (GND-земля) [35]
Fig.11. A schematic of a typical nanowire device showing a single TiO₂ nanowire spanning two Au metal contact pads [35]

также КНИ-технологией. Основной недостаток таких структур – потеря электрофизических свойств в процессе многократных переключений, а также самопроизвольная диффузия, сопровождаемая изменением состояния элемента.

Также значения сопротивлений для состояний SET и RESET сохраняются не менее 10⁴ с при комнатной температуре [15, 33]. Отношение сопротивлений в двух состояниях для основных оксидов металлов составляет не менее 2-3 порядков [21, 29, 31]. Это позволяет использовать ячейки на основе оксидов для аналоговых целей, а также для мультибитного хранения данных (рис.11).

Как следует из рис.12, для TiO_{2-x} получены пять стабильных состояний SET, в которых отношение сопротивлений оставалось неизменным для каждого состояния после первоначальных 60 циклов.

Мемристорные структуры на основе оксидов металлов совместимы с современными КМОП-технологиями в объеме кремния, а

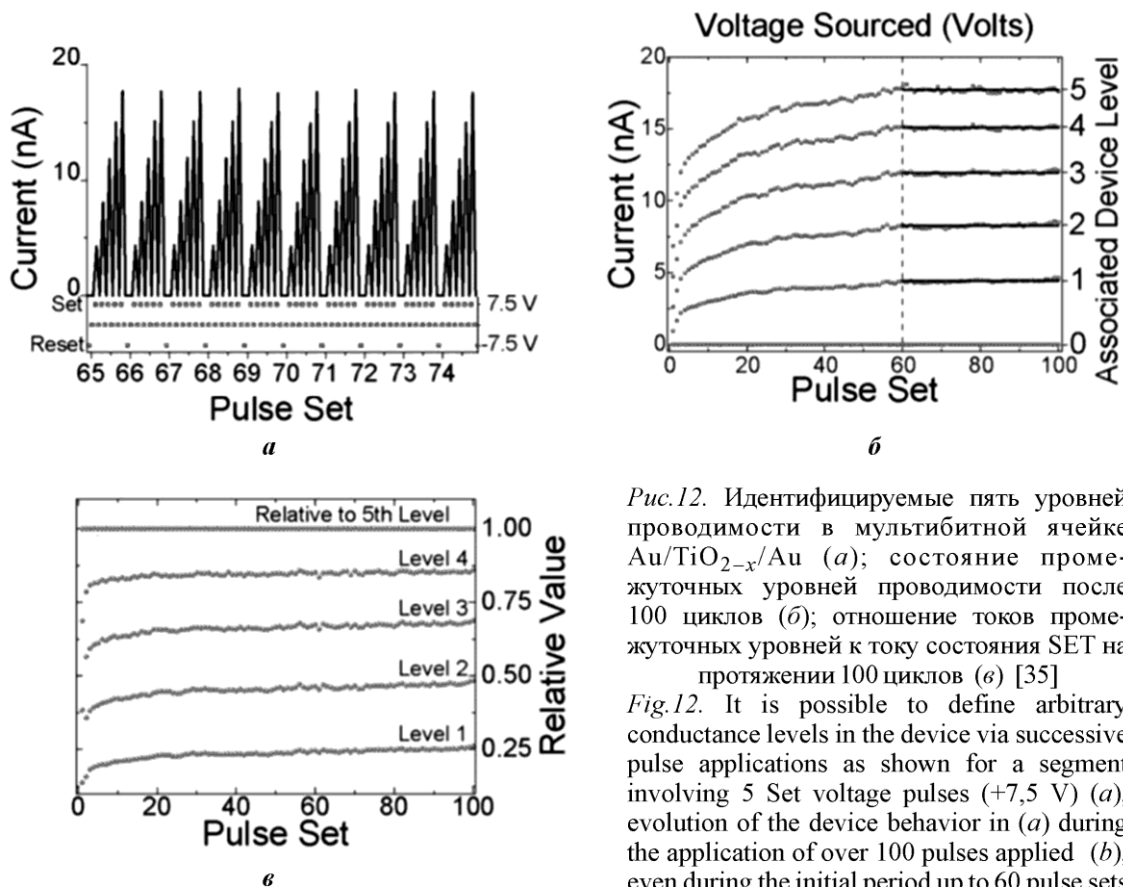


Рис.12. Идентифицируемые пять уровней проводимости в мультибитной ячейке Au/TiO_{2-x}/Au (а); состояние промежуточных уровней проводимости после 100 циклов (б); отношение токов промежуточных уровней к току состояния SET на протяжении 100 циклов (в) [35]

Fig.12. It is possible to define arbitrary conductance levels in the device via successive pulse applications as shown for a segment involving 5 Set voltage pulses (+7,5 V) (a), evolution of the device behavior in (a) during the application of over 100 pulses applied (b), even during the initial period up to 60 pulse sets of (b), the ratio between the levels remains unchanged (c) [35]

Мемристоры на основе твердых электролитов. Два устойчивых состояния SET и RESET в структурах на основе твердых электролитов создаются путем формирования тонкой проводящей нити между двумя электродами за счет диффузии ионов электрода [23, 27, 34–36]. Проводящая нить обеспечивает отношение сопротивления в высокоомном и низкоомном состояниях до трех порядков, что позволяет такие структуры использовать в качестве ячеек памяти. Такой тип мемристорной памяти известен в литературе как CBRAM (Conductive Bridging Random-access Memory).

Ячейка CBRAM состоит из двух электродов: химически активного, например серебра [24] или меди [33], и инертного, например платинового [27–29, 31, 32], вольфрамового [24, 37], золотого [38]. Между ними находится твердый электролит – сульфид германия Ge_xS_y [24, 28], селенид германия Ge_xSe_y [26, 30, 36], сульфид мышьяка As_2S_3 [31, 38], сульфид меди Cu_2S [31, 35].

Механизм переключения в ячейке CBRAM хорошо изучен для основных электролитов. В начальный момент времени (рис.13, участок А) проводящая металлическая нить между электродами отсутствует и элемент находится в высокоомном состоянии. При приложении положительного смещения к электрохимически активному электроду происходит окисление с образованием ионов серебра, которые под действием поля дрейфуют через электролит к другому электроду (рис.13, участок В). Когда ионы достигают инертного электрода, происходит реакция восстановления ионов серебра, которые кристаллизуются на поверхности электрода (рис.13, участок С). В дальнейшем происходит рост проводящей нити в сторону электрохимически активного электрода (рис.13, участок D). Когда нить замыкает два электрода, ячейка переходит в низкоомное состояние SET. Для возврата в высокоомное состояние нужно подать противоположное напряжение к электрохимически активному электроду для полного растворения проводящей нити (рис.13, участок E).

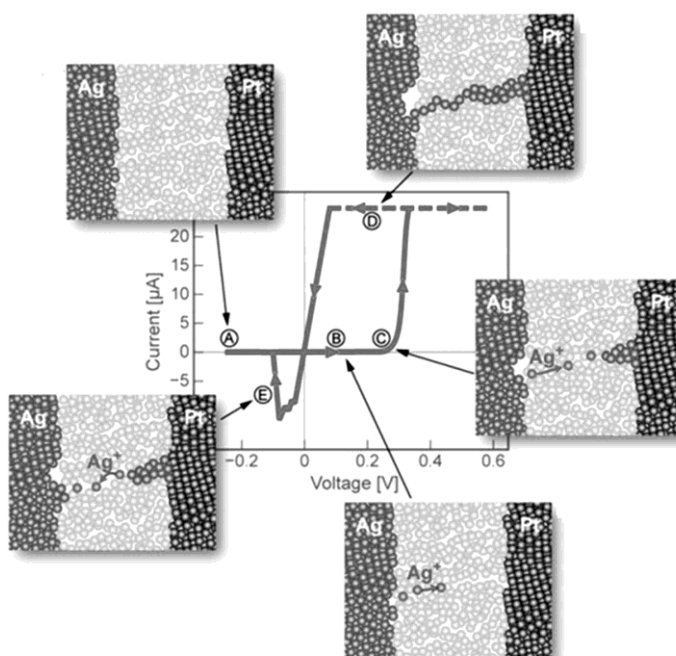


Рис.13. Поэтапный процесс переключения элемента на основе твердого электролита и его типичная ВАХ [39]

Fig.13. Schematic presentation of the processes, during I-V sweep, of formation and dissolution of a metallic filament in solid electrolyte cell [39]

Скорость переключения элемента зависит прежде всего от материала твердого электролита. Так, для сульфида меди Cu_2S время переключения между состояниями SET и RESET варьируется от 5 до 32 мкс [40], для сульфида германия Ge_xS_y требуется 250 нс на переключение в низкоомное состояние и 12 мс – в высокоомное [33], для селенида германия Ge_xSe_y время переключения в состояние SET и RESET составляет 50 нс [34]. Прикладываемое напряжение к электродам не превышает 1,5 В.

Как правило, элементы на основе твердых электролитов имеют биполярный тип переключения, т.е. для переключений между состояниями SET и RESET нужно прикладывать напряжения разной полярности, но встречаются и униполярные элементы [41].

Для наиболее распространенных твердых электролитов отношение сопротивлений в состояниях SET и RESET составляет не менее четырех порядков: для высокоомного 10^7 , для низкоомного 10^4 [26, 30, 33]. Это позволяет не только хорошо различать логические «0» и «1», но и получать промежуточные значения сопротивления [24] с помощью ограничения по току при измерении ВАХ [34–36].

На рис.14,а приведена ВАХ элемента на основе GeS_2 с ограничением по току (толщина слоя GeS_2 равна 60 нм, Ag – 30 нм). На рис.14,б представлена зависимость сопротивления элемента от времени программирования с момента переключения при разных ограничениях по току. Из рисунка следует, что элемент памяти на основе твердого электролита может быть использован для мультибитного хранения данных. Однако при комнатной температуре стабильные значения сопротивления сохраняются лишь на протяжении 10 ч после программирования. Также в таких элементах крайне сложно воспроизводить точные значения сопротивления, что ограничивает их использование в аналоговых схемах. Мемристорные элементы на основе твердых электролитов также могут быть встроены в современные технологии ИС (рис.15). На рис.16. приведены ВАХ ячейки CBRAM и зависимость напряжения переключения от скорости изменения прикладываемого напряжения в ячейке Cu/SiO_2 . Как следует из рисунка, получившиеся элементы имеют отношение сопротивлений в низкоомном и высокоомном состояниях не менее пяти порядков.

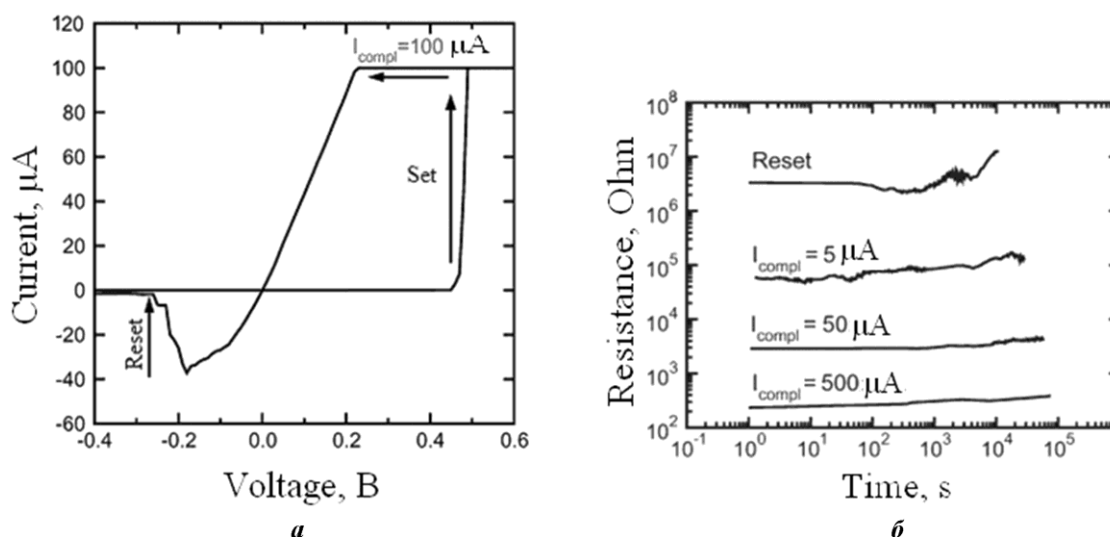
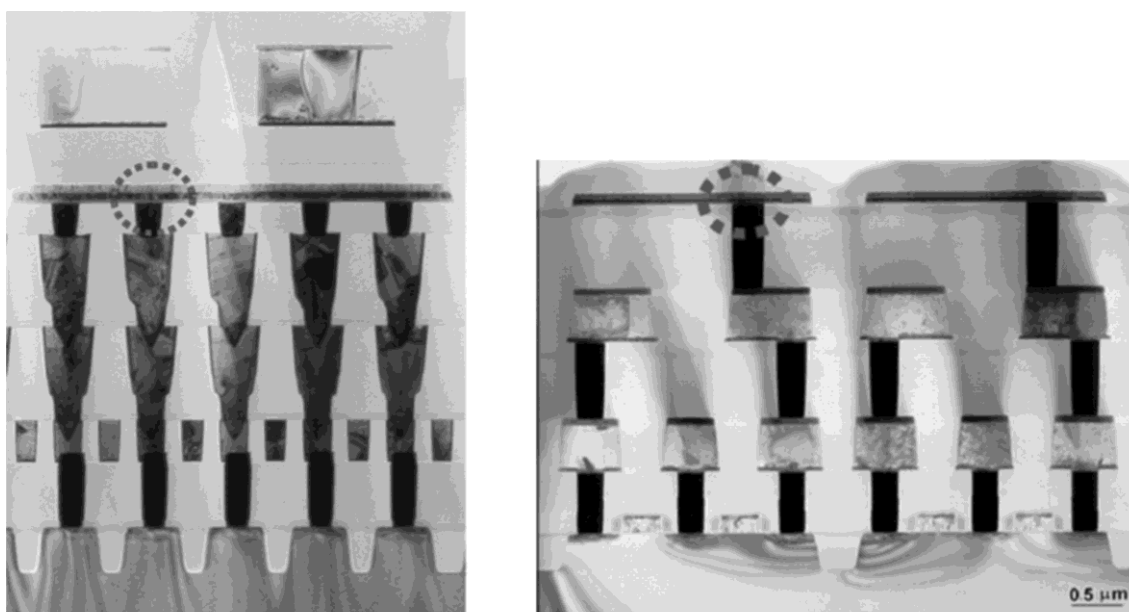


Рис.14. ВАХ элемента на основе GeS_2 с ограничением по току (I_{compl}) (а) и зависимость сопротивления элемента от времени с момента переключения при разных ограничениях по току (б) [24]

Fig.14. Typical current–voltage as obtained with a voltage sweep and compliance current (I_{compl}) (a), cell resistance as a function of time after programming (for set states) and erase (for reset state) operation (b) [24]

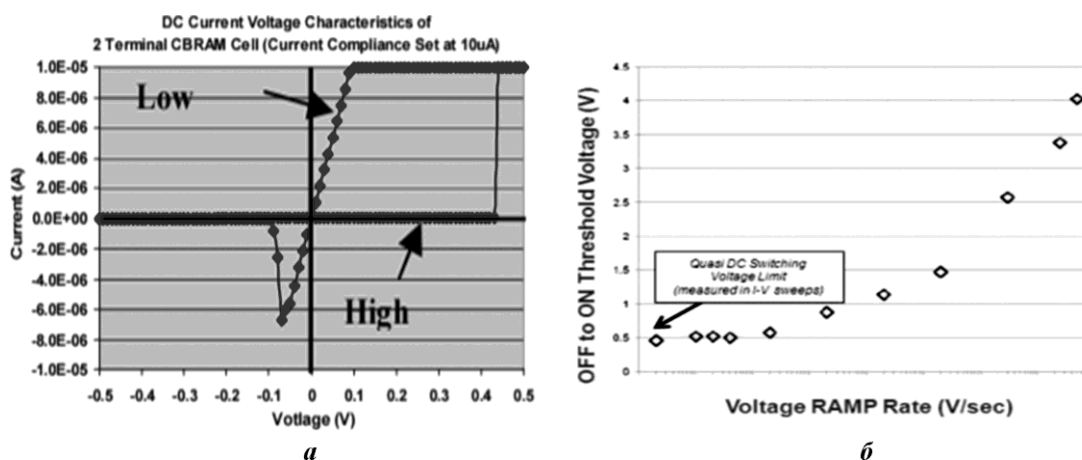


a

б

Рис.15. Поперечные сечения массивов ячеек CBRAM, реализованных в технологии 180 нм (*a*) и 130 нм с медной металлизацией (*б*) [42]

Fig.15. CBRAM cell cross section: integration in 180 nm (*a*), integration in 130 nm (*b*). Dotted circle indicates the programmable resistor [42]



a

б

Рис.16. ВАХ ячейки CBRAM (*a*) и зависимость напряжения переключения от скорости изменения прикладываемого напряжения в ячейке Cu/SiO₂ (*б*) [42]

Fig.16. Quasi DC switching characteristics of a CBRAM programmable resistor (*a*), the fundamental characteristic of this technology is a dependence of switching voltage on the actual voltage sweep rate (*b*) [42]

Структура на основе твердого электролита проявляет устойчивость к деградации. Установлено, что в высокоомном состоянии RESET (10^{10} Ом) на протяжении 10 лет структура сохраняется без изменений, в то время как в низкоомном состоянии SET спустя 10 лет сопротивление структуры увеличивается на два порядка [30]. Однако согласно проведенным испытаниям после 10^5 циклов переключения значение сопротивления в состоянии RESET уменьшилось на два порядка, а значение сопротивления в состоянии SET не изменилось.

Заключение. Ряд технологий создания ИС на основе мемристорных структур уже коммерчески успешны ввиду их хорошей встраиваемости в современные КМОП-технологии. С учетом скорости записи-считывания, а также энергонезависимости мемристорная память может стать универсальной как для ПЗУ, так и для ОЗУ. Однако еще остались нерешенными некоторые проблемы, в частности объем памяти готовых носителей пока не превышает нескольких гигабайт, для ReRAM и CBRAM остро стоит вопрос о недостаточном количестве циклов записи-стирания устройства.

Направление, связанное с созданием энергонезависимой памяти на основе мемристорных структур, является перспективным и в настоящее время интенсивно развивается как за рубежом, так и у нас в стране.

Литература

1. *Chen A., Hutchby J., Zhirnov V., Bourianoff G.* Emerging nanoelectronic devices. – Wiley, 2015. – P. 5.
2. *Chua L.O.* Resistance switching memories are memristors // *Appl. Phys. Lett.* – 2011. – Vol. 102. – No. 4. – P. 765–783.
3. *Chua L.O.* Memristor – the missing circuit element // *IEEE Trans. Circuit Theory.* – 1971. – Vol. 18. – No. 5. – P. 507–519.
4. *Strukov D., Snider G., Duncan R.* The missing memristor found // *Nature.* – 2008. – Vol. 453. – P. 80.
5. Conference papers of Flash memory summit (Santa Clara, 2015). – 2015. – URL: https://www.flashmemorysummit.com/English/Conference/Proceedings_Chrono.html (дата обращения: 15.04.2017).
6. *Qureshi M.K., Srinivasan V., Rivers J.A.* Scalable high performance main Memory system using phase-change memory technology // *ISCA'09* (Austin, Texas, USA, 2009) – P. 24–33.
7. *Beneventi G.B.* Characterization and modeling of phase-change memories. – LAMBERT Academic Publishing. – 2012. – P. 1–109.
8. *Hudgens S., Johnson B.* Overview of phase-change chalcogenide nonvolatile memory technology // *MRS Bulletin.* – 2004. – Vol. 29. – No. 11. – P. 829–832.
9. Scaling analysis of phase-change memory technology / *A. Pirovano, A.L. Lacaita, A. Benvenuti et al.* // *Proc. of the IEEE Int. Electron Devices Meeting (IEDM 03).* – IEEE Press, 2003. – P. 29.6.1 – 29.6.4.
10. Ultrafast synaptic events in a chalcogenide memristor / *Y. Li, Y. Zhong, L. Xu et al.* // *Scientific Reports.* – 2013. – Vol. 3. – P. 1–7.
11. Enhanced crystallization of GeTe from an Sb₂Te₃ template / *R.E. Simpson, P. Fons, A.V. Kolobov et al.* // *Appl. Phys. Lett.* – 2012. – Vol. 100. – P. 021.
12. *Hong S.-H., Bae B.-J., Lee H.* Fast switching behavior of nanoscale AgInSbTe based nanopillar type phase change memory // *Nanotechnology.* – 2010. – Vol. 21. – P. 025703.
13. *Burr G.W., Breitwisch M.J., Franceschini M., Garetto D.* Phase change memory technology // *J. of Vacuum Science and Technology B.* – 2010. – Vol. 28. – № 2. – P. 223–262.
14. Structure and electrical properties of Ge₂Sb₂Te₅ thin film used for Ovonic Unified Memory / *T. Zhang, B. Liu, J.-L. Xia et al.* // *Chin. Phys. Lett.* – 2004. – Vol. 21. – No. 4. – P. 741–743.
15. Metal-oxide RRAM / *P. H.-S. Wong, H.-Y. Lee, S. Yu et al.* // *Proc. of the IEEE.* – 2012. – Vol. 100. – No. 6. – P. 1951–1970.
16. *Der Chang K., Tang S., Karpov I.* A stackable cross point phase change memory // *Electron Devices Meeting (IEDM).* – 2009. – P. 44–48.
17. *Hickmott T.W.* Low frequency negative resistance in thin anodic oxide films // *J. of Appl. Phys.* – 1962. – Vol. 33. – No. 9. – P. 2669–2682.
18. *Gibbons J.F., Beadle W.E.* Switching properties of thin NiO films // *Solid-State Electronics.* – 1964. – Vol. 7. – P. 785–797.
19. *Dearnaley G., Stoneham A.M., Morgan D.V.* Electrical phenomena in amorphous oxide films // *Rep. Prog. Phys.* – 1970. – Vol. 33. – P. 1129–1191.
20. *Hiroyasu Kawano, Keiji Shono, Manabu Gomi, Takeshi Yokota.* Resistance variable element // *Pat. US 8188466.* 2012.
21. *Jeong D.S., Schroeder H., Breuer U., Waser R.* Characteristic electroforming behavior in Pt/TiO₂/Pt resistive switching cells depending on atmosphere // *J. Appl. Phys.* – 2008. – Vol. 104. – P. 123716.

22. Conductive bridging RAM (CBRAM) an emerging non-volatile memory technology scalable to sub 20 nm / **M. Kund, G. Beitel, C.-U. Pinnow et al.** // IEEE International Electron Devices Meeting – 2005. – IEDM Technical Digest. – 2005. – P. 754–757.
23. The mechanism of electroforming of metal oxide memristive switches / **J.J. Yang, F. Miao, M.D. Pickett et al.** // Nanotechnology. – 2009. – Vol. 20. – P. 215201.
24. Coexistence of the bipolar and unipolar resistive-switching modes in NiO cells made by thermal oxidation of Ni layers / **L. Goux, J.D. Lisoni, M. Jurczak et al.** // J. Appl. Phys. – 2010. – Vol. 107. – P. 024512.
25. Coexistence of bipolar and unipolar resistive switching behaviours in Au/SrTiO₃/Pt cells / **X. Sun, G. Li, X. Zhang et al.** // J. of Physics D: Applied Physics. – 2011. – Vol. 44. – No. 12. – P. 1–5.
26. **Yang J.J., Strukov D.B., Stewart D.R.** Memristive devices for computing // Nature Nanotechnology. – 2013. – Vol. 8. – P. 13–24.
27. **Waser R.** Electrochemical and thermochemical memories // IEEE International Electron Devices Meeting–2008. IEEE Press. – 2008. – P. 1–4.
28. **Waser R. Alibart F., Gao L., Hoskins B.D., Strukov D.B.** High precision tuning of state for memristive devices by adaptable variation-tolerant algorithm // Nanotechnology. – 2012. – Vol. 23. – P. 075201.
29. Controllable growth of nanoscale conductive filaments in solid-electrolytes based ReRAM by using a metal nanocrystal covered bottom electrode / **Q. Liu, S. Long, H. Lv et al.** // Acsnano. – 2010. – Vol. 4. – No. 10. – P. 6162–6168.
30. Electrical characterization of solid state ionic memory elements / **R. Symanczyk, M. Balakrishnan, C. Gopalan et al.** // Proc. of the 2003 Non-Volatile Memory Technology Symposium (San Diego, California, 2003). – 2003. – P. 17–1.
31. **Lu W., Jeong D.S., Kozicki M., Waser R.** Electrochemical metallization cells-blending nanoionics into nanoelectronics // MRS Bulletin. – 2012. – Vol. 37. – P. 124–130.
32. Observation of conducting filament growth in nanoscale resistive memories / **Y. Yang, P. Gao, S. Gaba et al.** // Nature communications. – 2012. – Vol. 3. – No. 732. – P. 1–8.
33. Demonstration of conductive bridging random access memory (CBRAM) in logic CMOS process / **C. Gopalan, Y. Ma, T. Gallo et al.** // Solid-State Electronics. – 2011. – Vol. 58. – P. 54–61.
34. A nonvolatile 2-Mbit CBRAM memory core featuring advanced read and program control / **S. Dietrich, M. Angerbauer, M. Ivanov et al.** // IEEE Journal of Solid-State Circuits. – 2007. – Vol. 42. – No. 4. – P. 839–845.
35. **O’Kelly C., Fairfield J.A., Boland J.J.** A single nanoscale junction with programmable multilevel memory // ACS Nano. – 2014. – No. 8. – P. 11724–11729.
36. **Kozicki M.N., Park M., Mitkova M.** Nanoscale memory elements based on solid-state electrolytes // IEEE Transactions on Nanotechnology. – 2005. – Vol. 4. – No. 3. – P. 31–38.
37. **Bruchhaus R., Honal M., Symanczyk R., Kunda M.** Selection of optimized materials for CBRAM based on HT-XRD and electrical test results // J. of the Electrochemical Society. – 2009. – Vol. 156. – No. 9. – P. H729–H733.
38. **Valov I., Waser R., Jameson J.R., Kozicki M.N.** Electrochemical metallization memories—fundamentals, applications, prospects // Nanotechnology. – 2011. – Vol. 22. – P. 254003–254025.
39. **Valov I., Staikov G.** Nucleation and growth phenomena in nanosized electrochemical systems for resistive switching memories // J. Solid State Electrochem. – 2013. – Vol. 17. – P. 365–371.
40. **Kaeriyama S., Sakamoto T., Sunamura H., Mizuno M.** A nonvolatile programmable solid-electrolyte nanometer switch // IEEE Journal of Solid-State Circuits. – 2005. – Vol. 40. – No. 1. – P. 168–176.
41. Study of multilevel programming in programmable metallization cell (PMC) memory / **U. Russo, D. Kamalanathan, D. Ielmini et al.** // IEEE Transactions on Electron Devices. – 2009. – Vol. 56. – No. 5. – P. 1040–1047.
42. **Ma Y., Gallo T., Wang J.** Demonstration of conductive bridging Random Access Memory (CBRAM) in Logic CMOS Process // Solid State Electronics. – 2010. – Vol. 58. – No. 1. – P. 54.

Поступил 28.02.2017 г.; принят к публикации 25.04.2017 г.

Белов Алексей Николаевич – доктор технических наук, профессор кафедры материалов функциональной электроники Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, д.1).

Перевалов Алексей Андреевич – аспирант кафедры интегральной электроники и микросистем Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, д.1).

Шевяков Василий Иванович – доктор технических наук, главный научный сотрудник кафедры интегральной электроники и микросистем Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, д.1), shev@dsd.miee.ru

References

1. Chen A., Hutchby J., Zhirnov V., Bourianoff G. *Emerging Nanoelectronic Devices*. Wiley, 2015, p. 5.
2. Chua L.O. Resistance switching memories are memristors. *Appl. Phys. Lett.*, 2011, vol. 102, no. 4, pp. 765–783.
3. Chua L.O. Memristor – The missing circuit element. *IEEE Trans. Circuit Theory*, 1971, vol. 18, no. 5, pp. 507–519.
4. Strukov D., Snider G., Duncan R. The missing memristor found. *Nature*, 2008, vol. 453, p. 80.
5. *Conference Papers of Flash Memory Summit*. Santa Clara, 2015. Available at: https://www.flashmemorysummit.com/English/Conference/Proceedings_Chrono.html (accessed: 15.04.2017).
6. Qureshi M.K., Srinivasan V., Rivers J.A. Scalable High Performance Main Memory System using phase-change memory technology. *ISCA'09*. Austin, Texas, USA, 2009, pp. 24–33.
7. Beneventi G.B. *Characterization and modeling of phase-change memories*. LAP LAMBERT Academic Publishing, 2012, pp. 1–109.
8. Hudgens S., Johnson B. Overview of phase-change chalcogenide nonvolatile memory technology. *MRS Bulletin*, 2004, vol. 29, no. 11, pp. 829–832.
9. Pirovano A., Lacaita A.L., Benvenuti A., Pellizzer F., Hudgens S., Bez R. Scaling analysis of phase-change memory technology. *Proc. of the IEEE Int. Electron Devices Meeting (IEDM 03)*. IEEE Press, 2003, pp. 29.6.1–29.6.4.
10. Li Y., Zhong Y., Xu L., Zhang J., Xu X., Sun H., Miao X. Ultrafast synaptic events in a chalcogenide memristor. *Scientific Reports*, 2013, vol. 3, pp. 1–7.
11. Simpson R.E., Fons P., Kolobov A.V., Krbal M., Tominaga J. Enhanced crystallization of GeTe from an Sb₂Te₃ template. *Applied Physics Letters*, 2012, vol. 100, p. 021.
12. Hong S.-H., Bae B.-J., Lee H. Fast switching behavior of nanoscale AgInSbTe based nanopillar type phase change memory. *Nanotechnology*, 2010, vol. 21, p. 025703.
13. Burr G.W., Breitwisch M.J., Franceschini M., Garetto D. Phase change memory technology. *Journal of Vacuum Science and Technology B*, 2010, vol. 28, no. 2, pp. 223–262.
14. Zhang T., Liu B., Xia J.-L., Song Z.-T., Feng S.-L., Chen B. Structure and electrical properties of Ge₂Sb₂Te₅ thin film used for Ovonic Unified Memory. *Chin. Phys. Lett.*, 2004, vol. 21, no. 4, pp. 741–743.
15. Wong P. H.-S., Lee H.-Y., Yu S., Chen Y.-S., Wu Y., Chen P.-S., Lee B., Chen F.T., Tsai M.-J. Metal-oxide RRAM. *Proceedings of the IEEE*, 2012, vol. 100, no. 6, pp. 1951–1970.
16. Der Chang K., Tang S., Karpov I. A stackable cross point Phase Change Memory. *Electron Devices Meeting (IEDM)*, 2009, pp. 44–48.
17. Hickmott T.W. Low frequency negative resistance in thin anodic oxide films. *Journal of Applied Physics*, 1962, vol. 33, no. 9, pp. 2669–2682.
18. Gibbons J.F., Beadle W.E. Switching properties of thin NiO films. *Solid-State Electronics*, 1964, vol. 7, pp. 785–797.
19. Dearnaley G., Stoneham A.M., Morgan D.V. Electrical phenomena in amorphous oxide films. *Rep. Prog. Phys.*, 1970, vol. 33, pp. 1129–1191.
20. Hiroyasu Kawano, Keiji Shono, Manabu Gomi, Takeshi Yokota. *Resistance variable element*. Patent. US 8188466, 2012.
21. Jeong D.S., Schroeder H., Breuer U., Waser R. Characteristic electroforming behavior in Pt/TiO₂/Pt resistive switching cells depending on atmosphere. *J. Appl. Phys.*, 2008, vol. 104, p. 123716.
22. Kund M., Beitel G., Pinnow C.-U., Röhr T., Schumann J. Conductive bridging RAM (CBRAM) an emerging non-volatile memory technology scalable to sub 20 nm. *IEEE International Electron Devices Meeting-2005 – IEDM Technical Digest*, 2005, pp. 754–757.
23. Yang J.J., Miao F., Pickett M.D., Ohlberg D.A., Stewart D.R. The mechanism of electroforming of metal oxide memristive switches. *Nanotechnology*, 2009, vol. 20, p. 215201.
24. Goux L., Lisoni J.D., Jurczak M., Wouters D.J., Courtade L. Coexistence of the bipolar and unipolar resistive-switching modes in NiO cells made by thermal oxidation of Ni layers. *J. Appl. Phys.*, 2010, vol. 107, p. 024512.

25. Sun X., Li G., Zhang X., Ding L., Zhang W. Coexistence of bipolar and unipolar resistive switching behaviours in Au/SrTiO₃/Pt cells. *Journal of Physics D: Applied Physics*, 2011, vol. 44, no.12, pp. 1–5.
26. Yang J.J., Strukov D.B., Stewart D.R. Memristive devices for computing. *Nature Nanotechnology*, 2013, vol. 8, pp. 13–24.
27. Waser R. Electrochemical and thermochemical memories. *IEEE International Electron Devices Meeting – 2008. IEDM 2008*. IEEE Press, 2008, pp. 1–4.
28. Waser R. Alibart F., Gao L., Hoskins B.D., Strukov D.B. High precision tuning of state for memristive devices by adaptable variation-tolerant algorithm. *Nanotechnology*, 2012, vol. 23, p. 075201.
29. Liu Q., Long S., Lv H., Wang W., Niu J. Controllable growth of nanoscale conductive filaments in solid-electrolytes based ReRAM by using a metal nanocrystal covered bottom electrode. *Acsnano*, 2010, vol. 4, no. 10, pp. 6162–6168.
30. Symanczyk R., Balakrishnan M., Gopalan C., Happ T., Kozicki M., Kund M., Mikolajick T., Mitkova M., Park M., Pinnow C., Robertson J., Ufert K. Electrical characterization of solid state ionic memory elements. *Proc. of the 2003 Non-Volatile Memory Technology Symposium*. San Diego, California, 2003, pp. 17–1.
31. Lu W., Jeong D.S., Kozicki M., Waser R. Electrochemical metallization cells-blending nanoionics into nanoelectronics. *MRS Bulletin*, 2012, vol. 37, pp. 124–130.
32. Yang Y., Gao P., Gaba S., Chang T., Pan X., Lu W. Observation of conducting filament growth in nanoscale resistive memories. *Nature communications*, 2012, vol. 3, no.732, pp. 1–8.
33. Gopalan C., Ma Y., Gallo T., Wang J., Runnion E., Saenz J. Demonstration of conductive bridging random access memory (CBRAM) in logic CMOS process. *Solid-State Electronics*, 2011, vol. 58, pp. 54–61.
34. Dietrich S., Angerbauer M., Ivanov M., Gogl D., Hoenigschmid H. A nonvolatile 2-Mbit CBRAM memory core featuring advanced read and program control. *IEEE Journal of Solid-State Circuits*, 2007, vol. 42, no. 4, pp. 839–845.
35. O’Kelly C., Fairfield J.A., Boland J.J. A Single Nanoscale Junction with Programmable Multilevel Memory. *ACS Nano*, 2014, no. 8, pp. 11724–11729.
36. Kozicki M.N., Park M., Mitkova M. Nanoscale memory elements based on solid-state electrolytes. *IEEE Transactions on Nanotechnology*, 2005, vol. 4, no. 3, pp. 31–38.
37. Bruchhaus R., Honal M., Symanczyk R., Kunda M. Selection of optimized materials for CBRAM based on HT-XRD and electrical test results. *Journal of the Electrochemical Society*, 2009, vol. 156, no. 9, pp. H729–H733.
38. Valov I., Waser R., Jameson J.R., Kozicki M.N. Electrochemical metallization memories – fundamentals, applications, prospects. *Nanotechnology*, 2011, vol. 22, pp. 254003–254025.
39. Valov I., Staikov G. Nucleation and growth phenomena in nanosized electrochemical systems for resistive switching memories. *J. Solid State Electrochem*, 2013, vol. 17, pp. 365–371.
40. Kaeriyama S., Sakamoto T., Sunamura H., Mizuno M. A nonvolatile programmable solid-electrolyte nanometer switch. *IEEE Journal of Solid-State Circuits*, 2005, vol. 40, no.1, pp. 168–176.
41. Russo U., Kamalanathan D., Ielmini D., Lacaita A.L., Kozicki M.N. Study of multilevel programming in programmable metallization cell (PMC) memory. *IEEE Transactions on Electron Devices*, 2009, vol. 56, no. 5, pp. 1040–1047.
42. Ma Y., Gallo T., Wang J. Demonstration of Conductive Bridging Random Access Memory (CBRAM) in Logic CMOS Process. *Solid State Electronics*, 2010, vol. 58, no. 1, p. 54.

Submitted 28.02.2017; accepted 25.04.2017.

Belov Alexey N. – doctor of technical sciences, professor of the Functional Electronics Materials Department, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1).

Perevalov Alexey A. – PhD student of the Integrated Electronics and Microsystems Department, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1).

Shevyakov Vasily I. – doctor of technical sciences, chief scientific officer of the Integrated Electronics and Microsystems Department, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), shev@dsd.miee.ru