ISSN 1561-5405 (print)
ISSN 2587-9960 (online)
DOI: 10.24151/1561-5405

ИЗВЕСТИЯ ВЫСШИХ УЧЕБНЫХ ЗАВЕДЕНИЙ

Электроника

PROCEEDINGS OF UNIVERSITIES. ELECTRONICS

Том 25
№ 6
ноябрь - декабрь

Vol. 25
No. 6
November - December

2020

ПОДПИСКА 2021

Научно-технический журнал «Известия высших учебных заведений. ЭЛЕКТРОНИКА»

Периодичность журнала - 6 номеров в год

В центре внимания журнала - актуальные проблемы электроники. На его страницах освещаются результаты научно-исследовательских работ, выполненных в вузах и НИИ, на промышленных предприятиях страны, методические аспекты преподавания с учетом современных требований и форм обучения, дается информация о научных конференциях. Формируются специальные выпуски по тематическому признаку.

Подписаться на печатную версию журнала можно:

по каталогу «Газеты, журналы»
АО Агентство «Роспечать»
в любом почтовом отделении

Подписной индекс 47570

по прямой подписке в АО Агентство «Роспечать»:
www.press.rosp.ru

по объединенному каталогу «Пресса России» ООО «Агентство «Книга-Сервис»
в любом почтовом отделении. Подписной индекс 38934

через редакцию - с любого номера и до конца года

Подписку на электронную версию журнала можно оформить на сайтах:

- Научной электронной библиотеки: www.elibrary.ru
- ООО «Агентство «Книга-Сервис»: www.rucont.ru; www.akc.ru; www.pressa-rf.ru
- ООО «УП Урал-Пресс»: www.delpress.ru
- ООО «ИВИС»: www.ivis.ru



Адрес редакции: 124498, г. Москва, г. Зеленоград,
пл. Шокина, дом 1, МИЭТ, комн. 7231

Тел.: 8-499-734-62-05

E-mail: magazine@miee.ru

http://ivuz-e.ru

ISSN 1561-5405 (print), 2587-9960 (online)
DOI: 10.24151/1561-5405



Известия высших учебных заведений.

ЭЛЕКТРОНИКА

Том 25, № 6, 2020
ноябрь – декабрь

Научно-технический журнал

Издается с 1996 г.
Выходит 6 раз в год

Учредитель и издатель: ***Национальный исследовательский университет «МИЭТ»***

Главный редактор: ***Чаплыгин Юрий Александрович*** – академик РАН, д.т.н., проф., МИЭТ (Москва, Россия), ORCID: 0000-0002-7505-5175

Редакционная коллегия:

Гаврилов Сергей Александрович – заместитель главного редактора, д.т.н., проф., МИЭТ (Москва, Россия), ORCID: 0000-0002-2967-272X
Бахтин Александр Александрович – канд.т.н., доц., МИЭТ (Москва, Россия), ORCID: 0000-0002-1107-0878
Беневоленский Сергей Борисович – д.т.н., проф., ФГБНУ «Научно-исследовательский институт – Республиканский исследовательский научно-консультационный центр экспертизы» (Москва, Россия), ORCID: 0000-0003-3177-9136
Быков Дмитрий Васильевич – д.т.н., проф., Национальный исследовательский университет «Высшая школа экономики» (Москва, Россия), ORCID: 0000-0002-4935-7292
Гаврилов Сергей Витальевич – д.т.н., проф., Институт проблем проектирования в микроэлектронике РАН (Москва, Россия), ORCID: 0000-0003-0566-4482
Гапоненко Сергей Васильевич – акад. НАН Беларуси, д.физ.-мат.н., проф., Белорусский республиканский фонд фундаментальных исследований (Минск, Беларусь), ORCID: 0000-0003-3774-5471
Горбацевич Александр Алексеевич – акад. РАН, д.физ.-мат.н., проф., Физический институт им. П.Н. Лебедева РАН (Москва, Россия), ORCID: 0000-0002-1950-356X
Грибов Борис Георгиевич – чл.-корр. РАН, д.хим.н., проф., АО «НИИМЭ» (Москва, Россия)
Коноплев Борис Георгиевич – д.т.н., проф., Южный федеральный университет (Таганрог, Россия), ORCID: 0000-0003-3105-029X
Коркишко Юрий Николаевич – д.физ.-мат.н., проф., НПК «Оптолинк» (Москва, Россия)
Королёв Михаил Александрович – д.т.н., проф., МИЭТ (Москва, Россия), ORCID: 0000-0003-3043-1293
Красников Геннадий Яковлевич – акад. РАН, д.т.н., проф., АО «НИИМЭ» (Москва, Россия)
Кубарев Юрий Васильевич – д.физ.-мат.н., проф., ООО «Центр плазменных и вакуумных технологий» (Москва, Россия)
Лабунов Владимир Архипович – акад. НАН Беларуси, иностранный член РАН, д.т.н., проф., Белорусский государственный университет информатики и радиоэлектроники (Минск, Беларусь), ORCID: 0000-0002-3494-4881
Максимов Иван Александрович – PhD, проф., Университет города Лунд (Швеция), ORCID: 0000-0003-1944-4878
Меликян Вазген Шаваршович – чл.-корр. НАН Армении, д.т.н., проф., ЗАО «Синопсис Армения» (Ереван, Армения), ORCID: 0000-0002-1667-6860
Неволин Владимир Кириллович – д.физ.-мат.н., проф., МИЭТ (Москва, Россия), ORCID: 0000-0003-4348-0377

© "Известия вузов. Электроника", 2020
© МИЭТ, 2020

Неволин Владимир Николаевич – д.физ.-мат.н., проф., Физический институт им. П.Н. Лебедева РАН (Москва, Россия)
Переверзев Алексей Леонидович – д.т.н., доц., МИЭТ (Москва, Россия), ORCID: 0000-0002-5834-5138
Петросянц Константин Орестович – д.т.н., проф., Национальный исследовательский университет «Высшая школа экономики» (Москва, Россия), ORCID: 0000-0001-7969-4786
Сазонов Андрей Юрьевич – PhD, проф., Университет Ватерлоо (Канада)
Сауров Александр Николаевич – акад. РАН, д.т.н., проф., Институт нанотехнологий микроэлектроники РАН (Москва, Россия), ORCID: 0000-0001-7368-5977
Селищев Сергей Васильевич – д.физ.-мат.н., проф., МИЭТ (Москва, Россия), ORCID: 0000-0002-5589-7068
Сигов Александр Сергеевич – акад. РАН, д.физ.-мат.н., проф., МИРЭА – Российский технологический университет (Москва, Россия), ORCID: 0000-0003-2017-9186
Сидоренко Анатолий Сергеевич – акад. АН Молдовы, д.физ.-мат.н., проф., Институт электронной инженерии и нанотехнологий АНМ (Кишинев, Молдова), ORCID: 0000-0001-7433-4140
Телец Виталий Арсеньевич – д.т.н., проф., Национальный исследовательский ядерный университет «МИФИ» (Москва, Россия), ORCID: 0000-0003-4944-676X
Тимошенков Сергей Петрович – д.т.н., проф., МИЭТ (Москва, Россия), ORCID: 0000-0001-5411-1804
Юриш Сергей Юрьевич – канд.т.н., IFSA Publishing, S.L. (Барселона, Испания), ORCID: 0000-0002-1433-260X

Заведующая редакцией *С.Г. Зверева*
Редактор *А.В. Тихонова*
Научный редактор *С.Г. Зверева*
Корректор *И.В. Проскурякова*
Верстка *А.Ю. Рыжков, С.Ю. Рыжков*

Адрес редакции: 124498, Россия, г. Москва, г. Зеленоград, пл. Шокина, д. 1, МИЭТ
Тел.: 8-499-734-6205
E-mail: magazine@miee.ru
http://ivuz-e.ru

Адрес издателя: 124498, Россия, г. Москва, г. Зеленоград, пл. Шокина, д. 1, МИЭТ.

Адрес полиграфического предприятия: 124498, Россия, г. Москва, г. Зеленоград, пл. Шокина, д. 1, МИЭТ.

Подписано в печать 10.12.2020. Формат бумаги 60×84 1/8. Цифровая печать.
Объем 11,625 усл.печ.л., 10,4 уч.-изд.л. Тираж 150 экз. Заказ № 12. Свободная цена.
Свидетельство о регистрации СМИ ПИ № ФС 77-72307 от 01.02.2018.

Включен ВАК в Перечень рецензируемых научных изданий, в которых должны быть опубликованы основные научные результаты диссертаций на соискание ученой степени кандидата наук, на соискание ученой степени доктора наук по следующим группам специальностей:

05.11.00 Приборостроение, метрология и информационно-измерительные приборы и системы
05.13.00 Информатика, вычислительная техника и управление
05.27.00 Электроника

Включен в Russian Science Citation Index на платформе Web of Science.

Включен в Российский индекс научного цитирования и в Рейтинг Science Index.

Является членом Cross Ref.

Плата за публикацию статей не взимается.

Подписной индекс в каталоге Агентства «Роспечать» – 47570

http://ivuz-e.ru
DOI: 10.24151/1561-5405
ISSN 1561-5405 (print)
ISSN 2587-9960 (online)

СОДЕРЖАНИЕ

Технологические процессы и маршруты

Афанасьев А.В., Ильин В.А., Лучинин В.В., Решанов С.А. Анализ эпитаксии карбида кремния из газовой фазы как базового процесса в технологии силовой электроники. Обзор 483

Силаев И.В., Гончаров И.Н., Магкоев Т.Т., Радченко Т.И. Метод и реализация высокоэффективной диагностики формы электронного зонда растрового электронного микроскопа 497

Воробьев А.В., Жора В.Д., Плис Н.И., Тимошенков С.П. Исследование влияния технологических факторов на характеристики гибких безадгезивных фольгированных диэлектриков 505

Элементы интегральной электроники

Елисеева Д.А., Сафонов С.О. Анализ механизмов деградации подзатворных диэлектриков на основе SiO_2 в МОП-транзисторах 517

Схемотехника и проектирование

Заплетина М.А., Жуков Д.В., Гаврилов С.В. Методы анализа выполнимости булевых формул для современных задач систем автоматизации проектирования в микроэлектронике 525

Микро- и наносистемная техника

Амеличев В.В., Генералов С.С., Николаева А.В., Поломошнов С.А., Ковалев В.А., Ковалев А.М., Кривецкий В.В. Исследование чувствительности пористых толстопленочных элементов на основе SnO_2 к концентрации водорода в воздухе 539

Информационно-коммуникационные технологии

Гаращенко А.В., Гагарина Л.Г. Методика формирования тестовых последовательностей на основе графовой модели иерархии кеш-памяти 548

Краткие сообщения

Чаплыгин Ю.А., Лосев В.В., Калёнов А.Д. Метод проектирования широкополосного формирователя квадратурных сигналов 558

Урумов В.В. Влияние внешнего излучения на емкостные и токовые характеристики излучающих структур 563

Крылов В.П., Богачев А.М. Релаксация глубоких центров в транзисторах и интегральных микросхемах 568

Тематический указатель статей, опубликованных в 2020 году 573

ISSN 1561-5405 (print), 2587-9960 (online)
DOI: 10.24151/1561-5405



Proceedings of Universities.
ELECTRONICS

Volume 25, No. 6, 2020
November – December

The scientifical and technical journal

Published since 1996
Published 6 times per year

Founder and Publisher: ***National Research University of Electronic Technology***

Editor-in-Chief: ***Yury A. Chaplygin*** **–** Acad. RAS, Dr. Sci. (Eng.), Prof., MIET (Moscow, Russia), ORCID: 0000-0002-7505-5175

Editorial Board:

Sergey A. Gavrilov – Deputy Editor-in-Chief, Dr. Sci. (Eng.), Prof., MIET (Moscow, Russia), ORCID: 0000-0002-2967-272X
Aleksandr A. Bakhtin – Cand. Sci. (Eng.), Assoc. Prof., MIET (Moscow, Russia), ORCID: 0000-0002-1107-0878
Sergey B. Benevolensky – Dr. Sci. (Eng.), Prof., Scientific Research Institute – Federal Research Centre for Projects Evaluation and Consulting Services (Moscow, Russia), ORCID: 0000-0003-3177-9136
Dmitri V. Bykov – Dr. Sci. (Eng.), Prof., National Research University Higher School of Economics (Moscow, Russia), ORCID: 0000-0002-4935-7292
Sergey V. Gavrilov – Dr. Sci. (Eng.), Prof., Institute for Design Problems in Microelectronics of RAS (Moscow, Russian), ORCID: 0000-0003-0566-4482
Sergey V. Gaponenko – Acad. NAS of Belarus, Dr. Sci. (Phys.-Math.), Prof., Belarusian Republican Foundation for Fundamental Research (Minsk, Belarus), ORCID: 0000-0003-3774-5471
Aleksandr A. Gorbatsevich – Acad. RAS, Dr. Sci. (Phys.-Math.), Prof., P.N. Lebedev Physical Institute of the RAS (Moscow, Russia), ORCID: 0000-0002-1950-356X
Boris G. Gribov – Cor. Mem. RAS, Dr. Sci. (Chem.), Prof., JSC «NIIME» (Moscow, Russia)
Boris G. Konoplev – Dr. Sci. (Eng.), Prof., Southern Federal University (Taganrog, Russia), ORCID: 0000-0003-3105-029X
Yury N. Korkishko – Dr. Sci. (Phys.-Math.), Prof., SMS «Optolink» (Moscow, Russia)
Mikhail A. Korolev – Dr. Sci. (Eng.), Prof., MIET (Moscow, Russia), ORCID: 0000-0003-3043-1293
Gennady Y. Krasnikov – Acad. RAS, Dr. Sci. (Eng.), Prof., JSC «NIIME» (Moscow, Russia)
Yuri V. Kubarev – Dr. Sci. (Phys.-Math.), Prof., LLC «Center for Plasma and Vacuum Technologies» (Moscow, Russia)
Vladimir A. Labunov **–** Acad. NAS of Belarus, Foreign member of RAS, Dr. Sci. (Eng.), Prof., Belarusian State University of Informatics and Radioelectronics (Minsk, Belarus), ORCID: 0000-0002-3494-4881
Ivan A. Maksimov - PhD, Prof., Lund University (Sweden), ORCID: 0000-0003-1944-4878
Vazgen S. Melikyan – Cor. Mem. NAS of Armenia, Dr. Sci. (Eng.), Prof., CJS Company «Sinopsis, Armenia» (Yerevan, Armenia), ORCID: 0000-0002-1667-6860
Vladimir K. Nevolin – Dr. Sci. (Phys.-Math.), Prof., MIET (Moscow, Russia), ORCID: 0000-0003-4348-0377

© "Proceedings of Universities. Electronics", 2020
© MIET, 2020

Vladimir N. Nevolin – Dr. Sci. (Phys.-Math.), Prof., P.N. Lebedev Physical Institute of the RAS (Moscow, Russia)
Aleksey L. Pereverzev – Dr. Sci. (Eng.), Assoc. Prof., MIET (Moscow, Russia), ORCID: 0000-0002-5834-5138
Konstantin O. Petrosyantz – Dr. Sci. (Eng.), Prof., National Research University Higher School of Economics (Moscow, Russia), ORCID: 0000-0001-7969-4786
Aleksandr N. Saurov – Acad. RAS, Dr. Sci. (Eng.), Prof., Institute of Nanotechnology of Microelectronics of the RAS (Moscow, Russia), ORCID: 0000-0001-7368-5977
Andrey Y. Sazonov - PhD, Prof., University of Waterloo (Canada)
Sergey V. Selishchev – Dr. Sci. (Phys.-Math.), Prof., MIET (Moscow, Russia), ORCID: 0000-0002-5589-7068
Anatolie S. Sidorenko – Acad. AS of Moldova, Dr. Sci. (Phys.-Math.), Prof., Institute of the Electronic Engineering and Nanotechnologies ASM (Chisinau, Moldova), ORCID: 0000-0001-7433-4140
Aleksandr S. Sigov – Acad. RAS, Dr. Sci. (Phys.-Math.), Prof., MIREA – Russian Technological University (Moscow, Russia), ORCID: 0000-0003-2017-9186
Vitaly A. Telets – Dr. Sci. (Eng.), Prof., National Research Nuclear University MEPhI (Moscow, Russia) , ORCID: 0000-0003-4944-676X
Sergey P. Timoshenkov – Dr. Sci. (Eng.), Prof., MIET (Moscow, Russia), ORCID: 0000-0001-5411-1804
Sergey Yu. Yurish – Cand. Sci. (Eng.), IFSA Publishing, S.L. (Barcelona, Spain), ORCID: 0000-0002-1433-260X

Head of editorial staff *Zvereva S.G.*
Chief editors *Tikhonova A.V., Proskuryakova I.V.*
Make-up *Ryzhkov S.Yu., Ryzhkov A.Yu.*

Editorial Board's address: 124498, Russia, Moscow, Zelenograd, Bld. 1, Shokin Square, MIET, editorial office of the Journal «Proceedings of Universities. Electronics»
Tel.: +7-499-734-62-05
E-mail: magazine@miee.ru
http://ivuz-e.ru

Publisher's address: 124498, Russia, Moscow, Zelenograd, Bld. 1, Shokin Square, MIET

Printery address: 124498, Russia, Moscow, Zelenograd, Bld. 1, Shokin Square, MIET

Signed to print 10.12.2020. Sheet size 60×84 1/8. Digital printing. Conventional printed sheets 11,625. Number of copies 150. Order no. 12. Free price.
The media registration certificate ПИ № ФС 77-72307 of 01.02.2018.

The journal is included into the List of reviewed scientific publications, in which the main scientific results of thesis for candidate of science and doctor degrees must be published for the following groups of specialties:

05.11.00 Instrumentation, metrology and information-measuring devices and systems
05.13.00 Computer science, computer engineering and management
05.27.00 Electronics

The journal is included into the Russian Science Citation Index on the Web of Science basis.

The journal is included into the Russian index of scientific citing and into the Rating Science Index.

Is the member of Cross Ref.

The fee for the publication of articles is not charged.

The subscription index in catalogue of Agency Rospechat – 47570

http://ivuz-e.ru
DOI: 10.24151/1561-5405
ISSN 1561-5405 (print)
ISSN 2587-9960 (online)

CONTENTS

Technological processes and routes

Afanasev A.V., Ilyin V.A., Luchinin V.V., Reshanov S.A. Analysis of the Gas Phase Epitaxy of Silicon Carbide as a Basic Process for Power Electronics Technology. Review 483

Silaev I.V., Goncharov I.N., Magkoev T.T., Radchenko T.I. Method and Implementation of High-Performance Diagnostics of Form of Electron Probe of a Raster Electron Microscope 497

Vorobyov A.V., Zhora V.D., Plis N.I., Timoshenkov S.P. Investigation of the Influence of Technological Factors on the Characteristics of Flexible Non-Adhesive Foil Dielectrics 505

Integrated electronics elements

Eliseeva D.A., Safonov S.O. Analysis of Degradation Mechanisms of Gate Dielectrics Based on SiO_2 in MOS Transistors 517

Circuit engineering and design

Zapletina M.A., Zhukov D.V., Gavrilov S.V. Boolean Satisfiability Methods for Modern Computer-Aided Design Problems in Microelectronics 525

Micro- and nanosystem technology

Amelichev V.V., Generalov S.S., Nikolaeva A.V., Polomoshnov S.A., Kovalev V.A., Kovalev A.M., Krivetskiy V.V. Study of Sensitivity of Porous Thick-Film Elements Based on SnO_2 towards Hydrogen Concentration in Air 539

Information-communication technologies

Garashchenko A.V., Gagarina L.G. An Approach to the Formation of Test Sequences Based on the Graph Model of the Cache Memory Hierarchy 548

Brief reports

Chaplygin Yu. A., Losev V.V., Kalyonov A.D. Design Method for a Broadband Quadrature Signal Generator 558

Urumov V.V. Influence of External Radiation on Parameters of Electroluminescent Panel 563

Krylov V.P., Bogachev A.M. Deep Trapping Centers Relaxation in Transistors and Integrated Circuits 568

Thematic index of articles published in 2020 573

ТЕХНОЛОГИЧЕСКИЕ ПРОЦЕССЫ И МАРШРУТЫ
TECHNOLOGICAL PROCESSES AND ROUTES

УДК 661.665.1:621.314.621.382 **DOI: 10.24151/1561-5405-2020-25-6-483-496**

Анализ эпитаксии карбида кремния из газовой фазы как базового процесса в технологии силовой электроники

А.В. Афанасьев[1], В.А. Ильин[1], В.В. Лучинин[1], С.А. Решанов[2]

Обзор

[1]Санкт-Петербургский государственный электротехнический университет «ЛЭТИ» им. В.И. Ульянова (Ленина), Санкт-Петербург, Россия
[2]Ascatron AB, Чиста – Стокгольм, Швеция

cmid_leti@mail.ru

1 ноября 2020 г. исполнилось 89 лет со дня рождения доктора технических наук, заслуженного профессора ЛЭТИ, заслуженного деятеля науки и техники РФ Юрия Михайловича Таирова, внесшего большой вклад в развитие карбидокремниевой технологии. Работа подготовлена его воспитанниками и посвящена памяти учителя.

В настоящее время химическое осаждение из газовой фазы (Chemical Vapor Depositior, CVD) является основным методом производства высококачественных и воспроизводимых по параметрам эпитаксиальных слоев для коммерческих силовых приборов на основе карбида кремния (SiC). С учетом имеющегося у СПбГЭТУ «ЛЭТИ» опыта синтеза монокристаллического SiC проведен анализ современного состояния технологии эпитаксиального роста SiC. В работе показано, что современные CVD-реакторы позволяют реализовать процессы роста эпитаксиальных SiC-структур высокого качества со следующими параметрами: подложки диаметром до 200 мм, толщина эпитаксиальных слоев от 0,1 до 250 мкм, слои *n*- и *p*-типа проводимости с диапазоном уровней легирования 10^{14}–10^{19} см$^{-3}$ и 10^{14}–10^{20} см$^{-3}$ соответственно. Отмечено, что отработка технологии воспроизводимого роста эпитаксиальных слоев является индивидуальной задачей для конкретного типа реактора. Это требует детального учета технологических факторов, которые определяют достижимые параметры эпитаксиальных SiC-структур.

Ключевые слова: карбид кремния (SiC); эпитаксия из газовой фазы (CVD); прекурсоры; эпитаксиальный слой; параметры процесса CVD-эпитаксии; CVD-реактор

© А.В. Афанасьев, В.А. Ильин, В.В. Лучинин, С.А. Решанов, 2020

Для цитирования: Афанасьев А.В., Ильин В.А., Лучинин В.В., Решанов С.А. Анализ эпитаксии карбида кремния из газовой фазы как базового процесса в технологии силовой электроники. Обзор // Изв. вузов. Электроника. 2020. Т. 25. № 6. С. 483–496. DOI: 10.24151/1561-5405-2020-25-6-483-496

Финансирование работы: работа выполнена при финансовой поддержке Минобрнауки России (проект № 03.G25.31.0243).

Analysis of the Gas Phase Epitaxy of Silicon Carbide as a Basic Process for Power Electronics Technology

A.V. Afanasev[1], V.A. Ilyin[1], V.V. Luchinin[1], S.A. Reshanov[2]

Review

[1]*Saint Petersburg Electrotechnical University «LETI», Saint-Petersburg, Russia*
[2]*Ascatron AB, Kista – Stockholm, Sweden*

cmid_leti@mail.ru

November 1, 2020 marks the 89th anniversary of the birth of doctor of technical Sciences, honored Professor of LETI, honored worker of science and technology of the Russian Federation Yuri Mikhailovich Tairov, who made a great contribution to the development of silicon carbide technology. The work was prepared by his students and is dedicated to the memory of the teacher.

Abstract: Currently, chemical gas deposition is the main method for producing high-quality and reproducible epitaxial layers for commercial silicon carbide (SiC) power devices. Based on the experience of ETU «LETI» in the synthesis of monocrystalline SiC, an analysis of the current state of silicon carbide gas phase epitaxy (CVD) technology was carried out. It has been shown that modern CVD reactors allow to implement the growth processes of SiC epitaxial structures of high quality with the following parameters: substrates diameter up to 200 mm; thicknesses of epitaxial layers from 0.1 to 250 μm; layers of *n*- and *p*-types conductivity with ranges of doping levels 10^{14}–10^{19} cm^{-3} and 10^{14}–10^{20} cm^{-3}, respectively. At the same time, setting up the technology of the reproducible high-quality growth of epitaxial layers is an individual task for a specific type of reactor. It requires a detailed consideration of the technological factors presented in this paper, which at the end determine the achievable parameters of SiC-epitaxial products

Keywords: silicon carbide (SiC); gas phase epitaxy (CVD); precursors; epitaxial layer; CVD process parameters; CVD reactor

For citation: Afanasev A.V., Ilyin V.A., Luchinin V.V., Reshanov S.A. Analysis of the gas phase epitaxy of silicon carbide as a basic process for power electronics technology. Review. *Proc. Univ. Electronics*, 2020, vol. 25, no. 6, pp. 483–496. DOI: 10.24151/1561-5405-2020-25-6-483-496

Funding: the work has been supported by Ministry of Education and Science of Russia (project N 03.G25.31.0243).

Введение. С технологической точки зрения ключевыми элементами, определившими возможность создания электронной компонентной базы силовой электроники на основе 4H-SiC, являются технологии объемного и эпитаксиального роста [1, 2]. Отсутствие технологии выращивания качественных кристаллов карбида кремния (SiC) большого размера долгое время сдерживало развитие SiC-электроники.

Разработка в Ленинградском электротехническом институте (ЛЭТИ) в 1978 г. Ю.М. Таировым и В.Ф. Цветковым нового метода выращивания объемных кристаллов SiC (метод ЛЭТИ) [3] на основе модификации метода Лели позволила получать SiC-подложки большого размера и ознаменовала начало этапа индустриального становления SiC-технологии [4–6]. Данная технология эпитаксиального роста SiC наряду с обеспечением требуемых размеров и качества подложек сделала возможным изготовление приборных структур, демонстрирующих преимущества SiC как базового материала силовой электроники по сравнению с другими полупроводниками [7, 8].

В настоящее время на индустриальном уровне основные требования, предъявляемые к эпитаксиальным 4H-SiC-структурам, следующие:

1) однородность толщины эпитаксиального слоя по поверхности подложки (не хуже 3 %);

2) однородность легирования слоя (не хуже 10 %);

3) малая плотность дефектов, приводящих к деградации приборов в процессе их эксплуатации, вызванная дефектами подложки (микропоры – менее 0,1 $см^{-2}$, краевые дислокации – менее 500 $см^{-2}$, базальные дислокации – менее 1000 $см^{-2}$) и дефектами эпитаксии (частицы на поверхности – менее 0,1 $см^{-2}$, дефекты упаковки в виде треугольников – менее 0,1 $см^{-2}$, базальные дислокации – менее 1 $см^{-2}$);

4) морфология поверхности (Δh составляет не более ±10 нм), обеспечивающая возможность изготовления многосекционных силовых приборов большой площади;

5) относительно невысокая стоимость процесса эпитаксии при зависимости цены эпитаксиальной структуры от толщины слоя.

К известным технологиям эпитаксиального роста SiC можно отнести химическое осаждение из газовой фазы (Chemical Vapor Deposition, CVD), сублимационную эпитаксию (Sublimation Epitaxy, SE), жидкофазную эпитаксию (Liquid Phase Epitaxy, LPE), эпитаксию пар – жидкость – твердое состояние (Vapor – Liquid – Solid, VLS) и молекулярно-пучковую эпитаксию (Molecular Beam Epitaxy, MBE). В настоящее время основным методом для производства высококачественных и воспроизводимых по параметрам эпитаксиальных слоев для коммерческих силовых приборов на основе SiC является CVD-метод. Он может быть реализован при атмосферном давлении (AP-CVD) или при низком давлении (LP-CVD).

Имеющийся у СПбГЭТУ «ЛЭТИ» опыт разработки технологии гетероэпитаксиального роста SiC из газовой фазы [9–11] позволяет проанализировать современное состояние данной технологии.

Описание процесса SiC-CVD-эпитаксии. Изотипные 4H-SiC n–n^+-структуры используются в производстве униполярных приборов – наиболее востребованных на рынке силовой электроники. Толщина и уровень легирования эпитаксиального дрейфового n-слоя определяются электрическими параметрами целевого прибора – JBS-диода или МОП-транзистора. В табл.1 приведены значения минимально допустимой толщины и предельной концентрации доноров для стандартной линейки высоковольтных 4H-SiC-приборов, полученные в результате моделирования в рамках оптимизированных моделей [12, 13].

Таблица 1

Значения толщины и концентрации доноров эпитаксиальных слоев для стандартной линейки высоковольтных 4H-SiC-приборов

Table 1

Calculated values of thicknesses and donors concentrations in epilayers for the high-voltage 4H-SiC devices line

Блокирующее напряжение, В	Толщина *n*-слоя, мкм	Концентрация доноров, $см^{-3}$
600	3,7	$2{,}8\cdot10^{16}$
1200	7,7	$1{,}3\cdot10^{16}$
1700	12	$8{,}1\cdot10^{15}$
3300	24	$3{,}5\cdot10^{15}$
6500	51	$1{,}5\cdot10^{15}$
10 000	88	$8{,}1\cdot10^{14}$

Современная промышленная установка SiC-CVD-эпитаксии, ориентированная в первую очередь на изготовление эпитаксиальных структур, показана на рис.1. Важной задачей в процессе SiC-CVD-эпитаксии является обеспечение качества эпитаксиальных слоев в части стабильной воспроизводимости политипа подложки эпитаксиальным слоем, его структуры и морфологии, уровня легирования и толщины. Данные показатели связаны с параметрами технологического процесса, которые необходимо контролировать [13] (рис.2).



а ***б***

Рис.1. Промышленная установка SiC-CVD-эпитаксии: вид из чистой зоны (зона загрузки пластин) (*а*) и сервисной зоны (*б*)

Fig.1. Industrial SiC CVD epitaxial reactor: the view from the clean zone (the substrates loading zone) (*a*), view from the service zone (*b*)

Процесс CVD-роста SiC в большинстве случаев состоит из следующих стадий: нагрев, травление подложки, эпитаксиальный рост, охлаждение. Травление *in-situ* выполняется при высокой температуре (обычно такой же, как и для основного роста) с использованием чистого H_2, HCl/H_2, углеводорода/H_2 или SiH_4/H_2. Травление необходимо для удаления приповерхностных дефектов, возникших в результате полировки подложки, получения регулярных ступенчатых структур и инициирующих матриц для обеспечения эпитаксиального роста структурно-совершенных слоев. По завершении процесса травления эпитаксиальный рост SiC осуществляется в CVD-реакторе в смеси газов-прекурсоров (кремний и углеродсодержащие газы) и газа-носителя (водород, аргон, гелий), которые поступают в нагретую камеру (рис.3, табл.2).



Рис.2. Параметры SiC-CVD-технологии, обеспечивающие требуемые характеристики эпитаксиальных слоев

Fig.2. Parameters of SiC CVD technology that provide the required characteristics of epitaxial layers

Таблица 2

Газы-носители, используемые в процессе SiC-CVD-эпитаксии

Table 2

Carrier gases in SiC-CVD epitaxy

Газ	Стоимость	Травление SiC	Недостатки
Водород	Низкая	Есть	–
Аргон	Средняя	Нет	Нуклеация Si
Гелий	Высокая	Нет	–

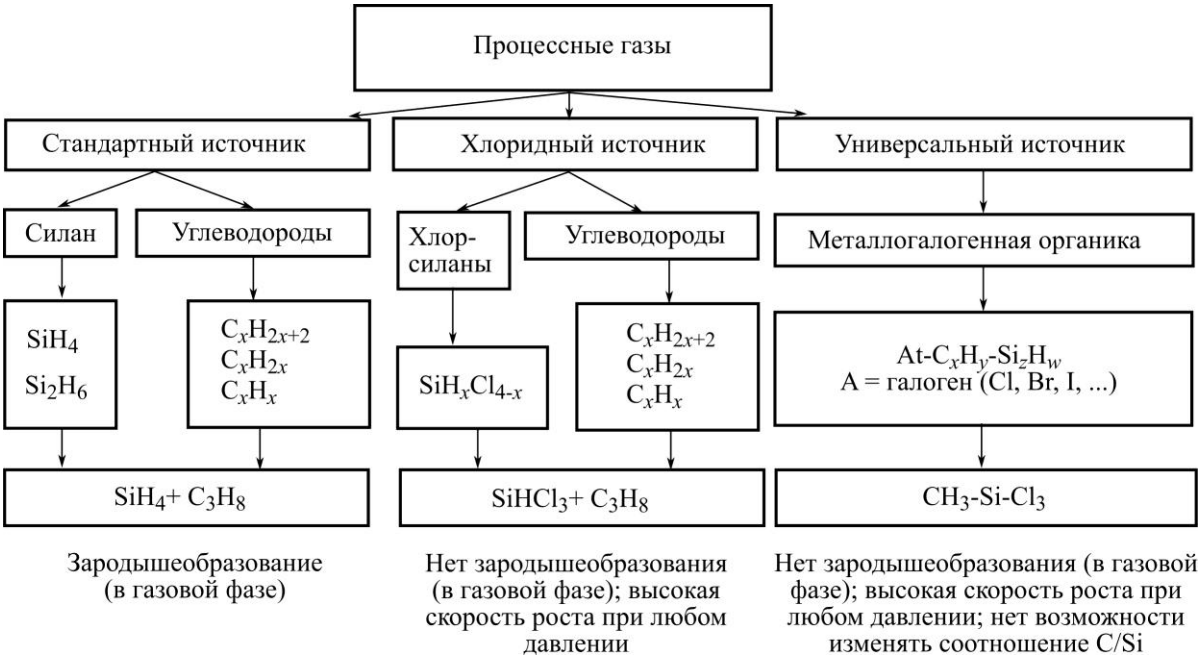


Рис.3. Основные источники кремния и углерода при осаждении SiC CVD-методом

Fig.3. Main sources of silicon and carbon for SiC CVD deposition

Смесь газов распространяется внутри реакционной камеры в виде ламинарного потока над нагретым подложкодержателем с образованием пограничного слоя. Во время нагревания имеют место процессы разложения газов-реагентов и образования реакционных соединений, которые диффундируют через пограничный слой к подложке, где и происходит рост эпитаксиального слоя. В CVD-реакторе температура роста может изменяться в диапазоне 1300–1800 °C. При низких температурах обычно наблюдается рост кубического 3C-SiC, тогда как при температурах выше 1450 °C растет гексагональный политип 4H/6H-SiC (рис.4).

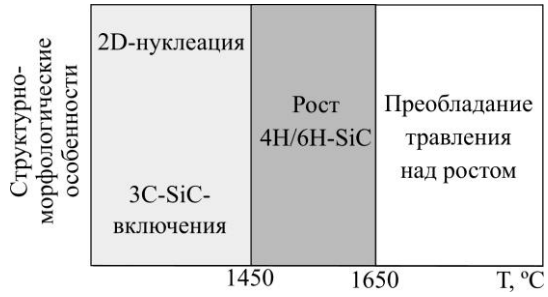


Рис.4. Температурные диапазоны и структурно-морфологические особенности процесса SiC-CVD-эпитаксии

Fig.4. Temperature ranges and structural and morphological features of the SiC CVD process

Особое внимание следует обратить на такой параметр, как соотношение Si/H_2. Скорость роста прямо пропорциональна этому соотношению при фиксированном значении остальных параметров процесса (рис.5). Так, при ведении стандартной SiC-CVD-эпитаксии соотношение Si/H_2 составляет менее 0,1 %. В этом случае скорость роста не превышает 10 мкм/ч. При высоких значениях соотношений Si/H_2 в газовой фазе формируются кластеры кремния, которые могут выпадать на эпитаксиальных слоях в виде капель или образовывать агрегаты на поверхности растущего слоя. Через некоторое время кластеры кремния испаряются, оставляя следы в виде ямок (см. рис.5). Данное обстоятельство приводит к повреждению эпитаксиального SiC-слоя и, как следствие, к невозможности создания эпитаксиальных структур с толстыми слоями (более 10 мкм).

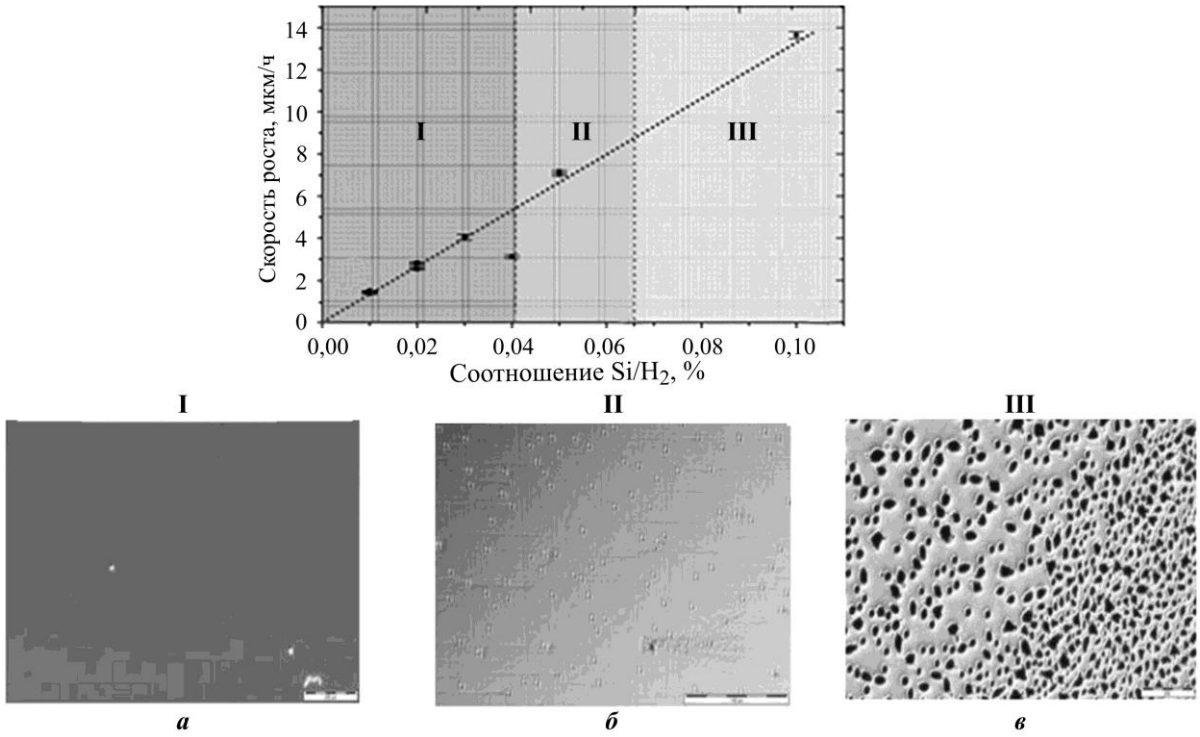


Рис.5. Зависимость скорости роста и морфологии слоя SiC от соотношения Si/H_2: *а* – зеркальная поверхность; *б* – образование Si-кластеров; *в* – доминирование Si-кластеров

Fig.5. The growth rate and morphology of SiC layer in dependence on the Si/H_2 ratio: mirror surface (*a*); Si clusters are formed (*b*); Si clusters dominate (*c*)

Структурообразование SiC в процессе CVD-эпитаксии. На ранней стадии развития процессов объемного роста и эпитаксии SiC одним из важных критериев качества материала является политипная однородность. В начале 1980-х гг. в рамках детального исследования «генетических» и кинетических условий синтеза был сформулирован и реализован на практике критерий управления политипной структурой в процессе зарождения и роста SiC [14]. В его основе лежат принципы матричного копирования – репликации политипа субстрата и неравновесность процесса упорядочивания. Данный подход позволил определить условия управляемого роста промышленно значимых политипов SiC: 6H и 4H, а также реализовать псевдоморфное копирование инородного субстрата нитрида алюминия в виде вюрцитной модификации 2H-SiC сублимационным сэндвич-методом [15].

При развитии гомоэпитаксиального CVD-синтеза гексагональных политипов SiC (4H и 6H) серьезную проблему представляла политипная неоднородность слоев, а именно включения кристаллического 3C-SiC [16]. В процессе роста на вицинальных гранях при отклонении подложки на 2–6° от плоскости (0001) 6H-SiC при температурах 1450–1550°C получен гомоэпитаксиальный рост 6H-SiC с гладкой поверхностью [17]. Аналогичным образом продемонстрирован гомоэпитаксиальный рост CVD-методом политипа 4H-SiC при отклонении на 5–6° от плоскости 4H-SiC (0001) [18]. Этот принцип роста, называемый ступенчатой эпитаксией, применим к гомоэпитаксии и других политипов, например 15R-SiC.

На рис.6 показана морфология поверхности эпитаксиальных слоев, выращенных на поверхности (0001) 4H-SiC и при стандартной разориентации подложки на 4°. Видно, что на поверхности (0001) эпитаксиальный слой имеет мозаичную морфологию, а относительно гладкие домены разделены границами в виде ступеней или канавок. На основании результатов исследований методами просвечивающей электронной микроскопии и комбинационного рассеяния установлено, что выращенный слой идентифицируется как 3C-SiC (111) с двойникованием. В то же время эпитаксиальный слой на отклоненной от плоскости (0001) подложке имеет зеркально-гладкую поверхность, а структурный анализ показал гомоэпитаксиальный рост монокристаллического 4H-SiC. На рис.7 схематически показаны режимы роста и последовательность упаковки SiC-слоев [19].

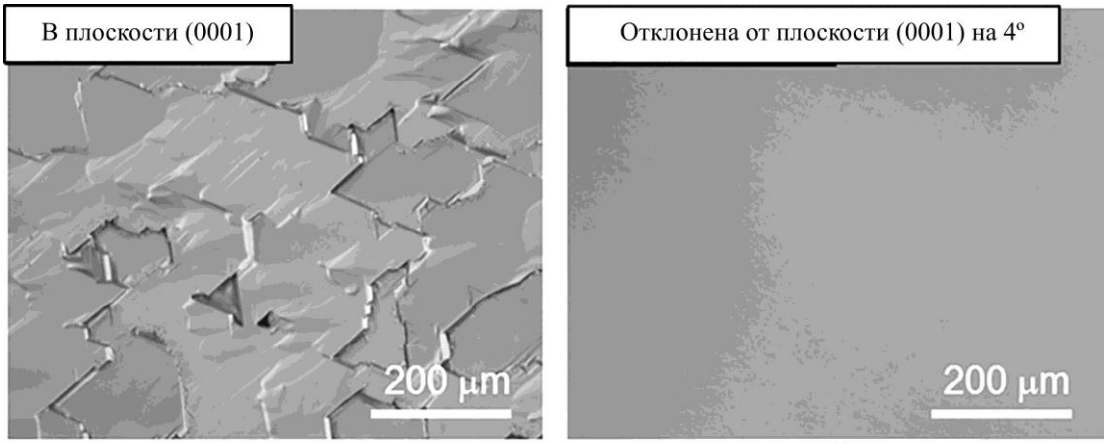


Рис.6. Морфология поверхности эпитаксиальных SiC-слоев, выращенных на плоскости (0001) 4H-SiC (*а*) и на поверхности, отклоненной на 4° от плоскости (0001) (*б*)
Fig.6. Surface morphology for SiC epitaxial layers grown on-axis (*a*) and 4° off-axis 4H-SiC (0001) (*b*)

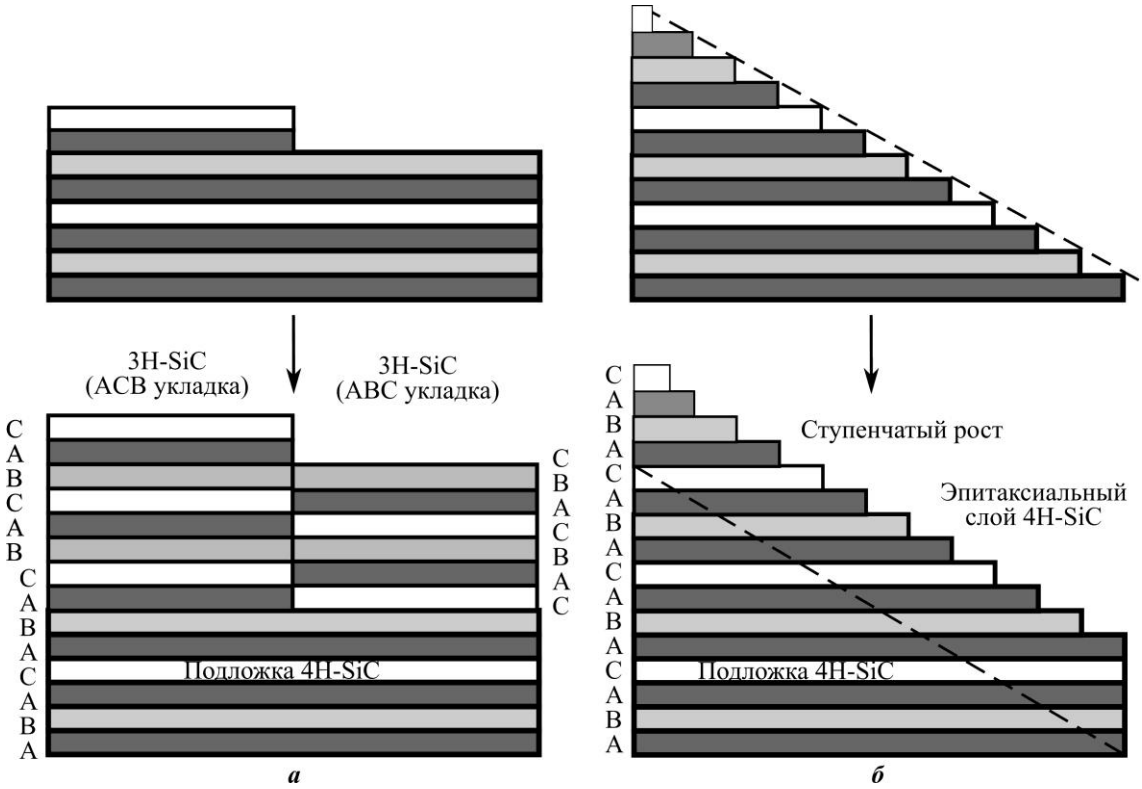


Рис.7. Режимы роста и последовательность упаковки слоев, полученных на поверхности 4H-SiC (0001) (*а*) и на отклоненной от плоскости (0001) поверхности (*б*) [19]
Fig.7. Growth modes and stacking sequence of layers obtained on-axis 4H-SiC (0001) (*a*) and off-axis 4H-SiC (0001) (*b*) [19]

Как видно из рис.7,*а*, в плоскости (0001) плотность ступеней очень мала. Поэтому из-за высокого пересыщения рост кристаллов происходит преимущественно за счет двумерного зарождения, что приводит к росту 3C-SiC [16]. Известно, что такие дефекты, как повреждения поверхности, вызванные полировкой, могут также инициировать зарождение 3C-SiC, когда пересыщение является высоким. На отклоненной от плоскости (0001) поверхности (рис.7,*б*) плотность ступеней высока. Следовательно, политипнооднородная гомоэпитаксия SiC реализуется путем ступенчатого роста. Таким образом, ступени на поверхности служат матрицей, которая реплицирует политип подложки в эпитаксиальный слой.

Легирование SiC в процессе CVD-эпитаксии. В стандартном процессе SiC-CVD-эпитаксии в качестве прекурсоров используют SiH_4 и C_3H_8 или C_2H_4 (см. рис.3). Газом-носителем обычно является H_2, реже – Ar (см. табл.2). Типичные температура и скорость роста составляют 1500–1650 °C и 3–15 мкм/ч соответственно. Данный процесс может быть успешно использован при росте буферных слоев и активных дрейфовых слоев для приборов с напряжением до 1200 В (см. табл.1).

В технологиях эпитаксии SiC, включая CVD-метод, достижение управляемого легирования SiC в широком диапазоне концентраций обеспечивается за счет эффекта «конкуренции» атомов при занятии соответствующей позиции в кристаллической решетке SiC [20]. Так, включение N (донорная примесь) заметно увеличивается в условиях обогащения кремнийсодержащей компонентой при низком соотношении C/Si и

уменьшается в условиях обогащения углеродсодержащей компонентой при высоком соотношении C/Si. Качественно это явление можно объяснить «конкуренцией» атомов N и C при их внедрении на растущую поверхность, поскольку атомы N занимают узлы подрешетки C в SiC. Таким образом, низкая концентрация атомов C на растущей поверхности способствует включению N в решетку растущего эпитаксиального слоя, в то время как высокая концентрация атомов C препятствует его включению. Поэтому при ведении процесса SiC-CVD-эпитаксии с целью получения «чистых» (нелегированных) слоев 4H-SiC следует руководствоваться экспериментальной зависимостью, представленной на рис.8 [20]. При легировании Al и B, при котором происходит замещение в подрешетке Si, наблюдается противоположная тенденция: включение Al и B уменьшается в условиях с высоким содержанием Si и усиливается в условиях с высоким содержанием C.

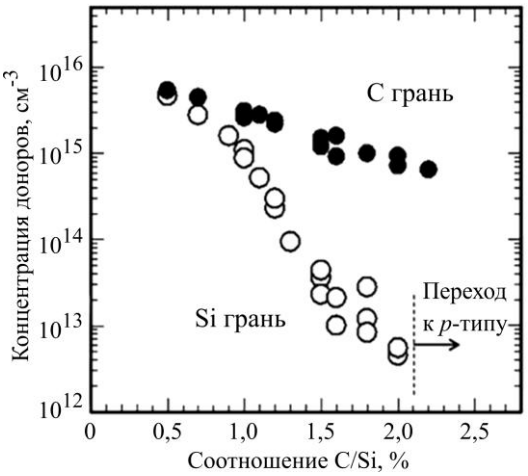


Рис.8. Зависимость концентрации доноров в нелегированных 4H-SiC-эпитаксиальных слоях от соотношения C/Si при температуре роста 1600 °C и скорости роста 20–25 мкм/ч [20]

Fig.8. C/Si ratio dependence of the donor density of nominally undoped 4H-SiC epitaxial layers at temperature 1600 °C and growth rate 20–25 mkm/hour [20]

Легирование *n*-типа реализуется на месте путем подачи N_2 в процессе CVD-роста. На рис.9,*а* показана зависимость концентрации доноров от потока N_2 в CVD-реакторе с горячей стенкой 4H-SiC при температуре 1550 °C. Использование триметилалюминия ($Al(CH_3)_3$) наиболее эффективно при *in-situ* легировании *p*-типа. На рис.9,*б* показана зависимость концентрации акцепторов от скорости потока $Al(CH_3)_3$ при 1550°C [19].

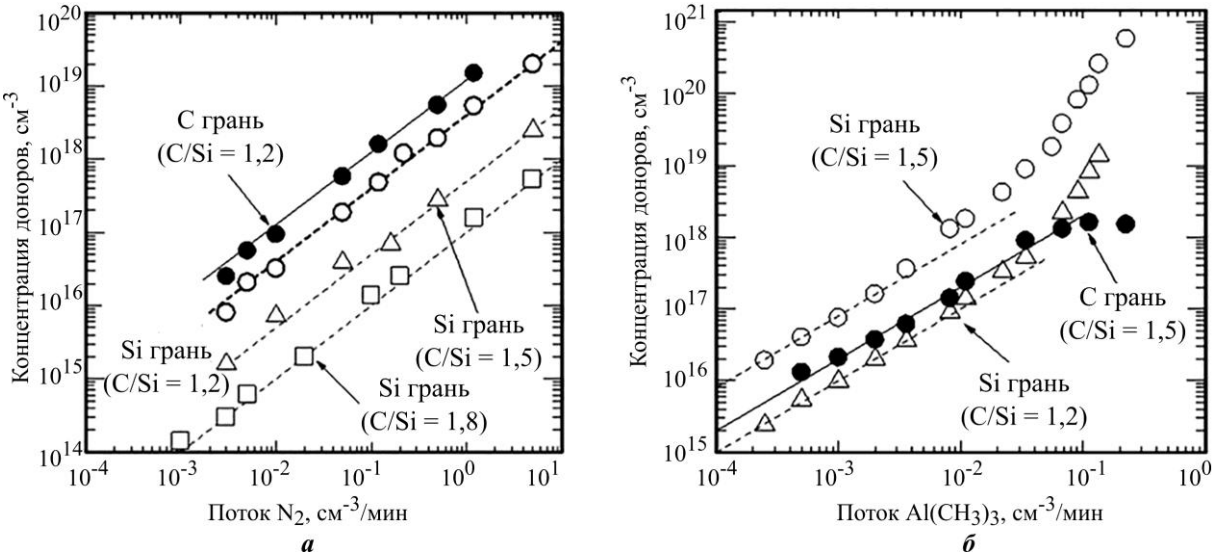


Рис.9. Зависимости концентрации доноров от скорости потока N_2 (*а*) и концентрации акцепторов от скорости потока $Al(CH_3)_3$ (*б*) в CVD-реакторе с горячей стенкой 4H-SiC (0001) при температуре 1550 °C [19]

Fig.9. Donor density versus N_2 flow (*a*) and the acceptor density versus the $Al(CH_3)_3$ flow rate (*b*) in hot-wall CVD with of 4H-SiC (0001) at 1550 °C [19]

Для создания приборов с блокирующим напряжением более 1700 В толщина активного *n*-слоя должна быть более 12 мкм, а концентрация доноров – менее $8 \cdot 10^{15}$ см$^{-3}$ (см. табл.1). Выполнение такого требования возможно только при высоких скоростях роста эпитаксиальных слоев (более 15 мкм/ч), т.е. при соотношении Si/H_2 более чем 0,1 %. Как показывают исследования, высококачественные слаболегированные эпитаксиальные *n*-слои толщиной более 100 мкм могут быть получены при повышенном соотношения Si/H_2 с использованием следующих технологических приемов:

- рост при низком давлении (LP-CVD) и повышенных температурах;
- использование хлорсодержащей компоненты в прекурсоре (см. рис.3), где атомы кремния связаны с атомами хлора без образования Si-кластеров.

Эпитаксиальные реакторы для CVD-роста SiC. Реакторы, используемые для CVD-роста SiC, могут иметь разные конфигурации, которые зависят от направления потока процессных газов относительно SiC-подложки. Поток может быть направлен параллельно или перпендикулярно поверхности пластины (рис.10). Также реакторы можно дополнительно классифицировать по типу нагрева – реакторы с холодной, горя-

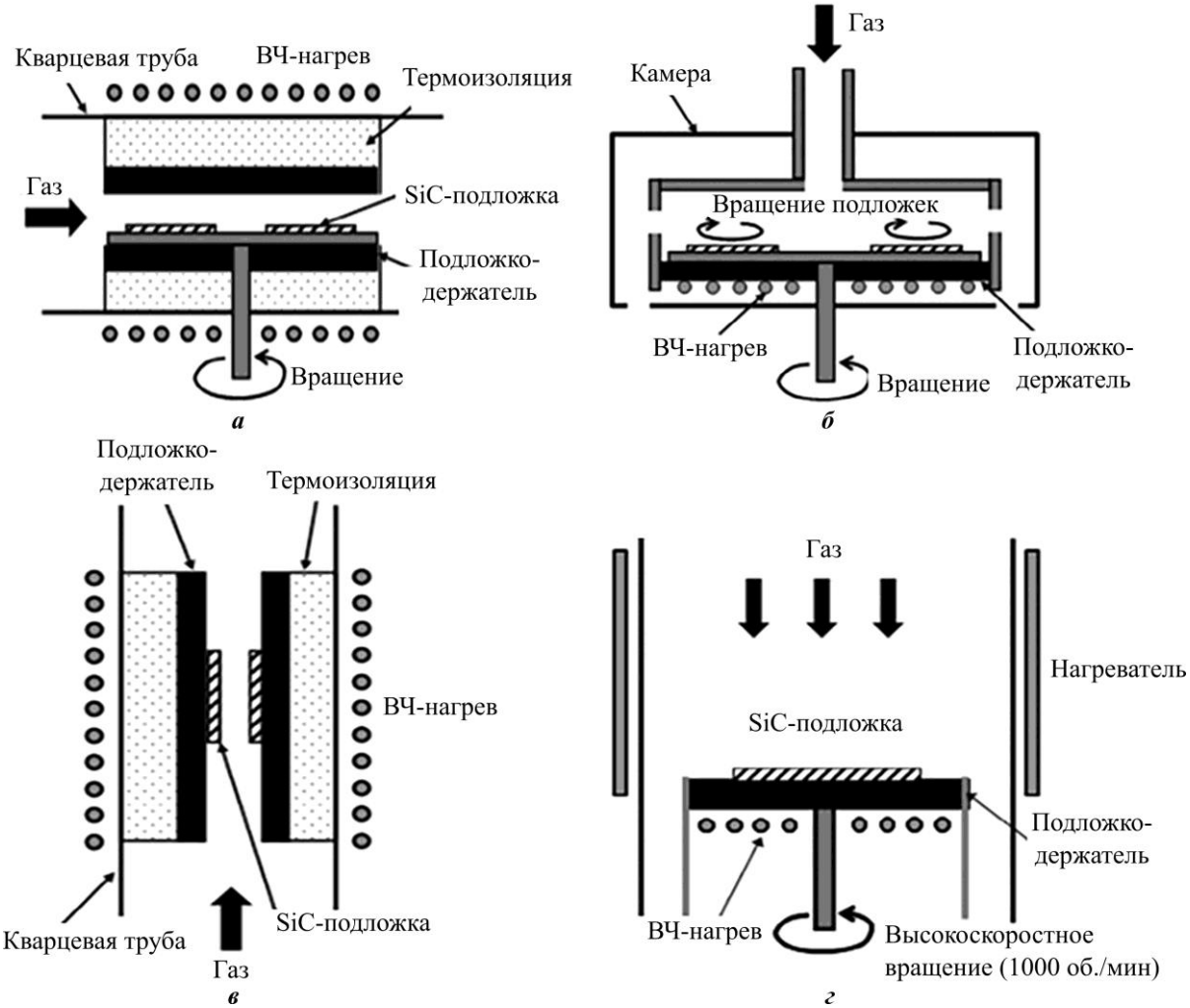


Рис.10. Схематические изображения реакторов, используемых для CVD-роста SiC: *а* – горизонтальный реактор с горячей стенкой; *б* – планетарный реактор с горячей (или теплой) стенкой; *в* – вертикальный реактор; *г* – вертикальный реактор с квазигорячей стенкой [12]

Fig.10. Schematic illustrations of several type hot-wall or warm-wall reactors employed for SiC CVD: horizontal hot-wall reactor (*a*); hot-wall (or warm-wall) planetary reactor (*b*); vertical reactor (*c*) and vertical quasi-hot-wall reactor (*d*) [12]

чей и теплой стенкой. До середины 1990-х гг. для SiC-синтеза был наиболее распространен реактор с холодной стенкой. Поскольку такие реакторы широко использовались для роста полупроводников $A^{III}B^{V}$, их пытались адаптировать под SiC-эпитаксию. Однако по причине высокой дефектности эпитаксиальных SiC-слоев реакторы с холодной стенкой в дальнейшем не нашли широкого применения. Следует отметить, что в отличие от CVD-эпитаксии полупроводников группы $A^{III}B^{V}$, где реакции ростовых компонентов протекают непосредственно на поверхности подложки, бездефектный рост SiC происходит только при наличии соединений кремния и углерода (Si_2C, $Si_xC_yH_z$ и др.) в газовой фазе вблизи подложки [21]. Это условие выполняется за счет предварительного нагрева кремний- и углеродсодержащих прекурсоров, который инициирует протекание соответствующих реакций. Поэтому в 1993 г. был разработан реактор с горячей стенкой и горизонтальной геометрией, в котором нагреваются все стороны подложкодержателя и стенки реактора (рис.10,*а*). Кроме того, в данных реакторах используется тепловой экран, который окружает подложкодержатель для уменьшения тепловых потерь на излучение. Это позволяет уменьшить входную мощность по сравнению с реакторами с холодной стенкой.

Для увеличения срока службы графитовой арматуры и предотвращения нежелательного легирования примесью бора во время роста боковые стенки графитового реактора и подложкодержатель покрывают поликристаллическим SiC или карбидом тантала (TaC) [22]. Данный тип реактора обеспечивает возможность роста высококачественных толстых эпитаксиальных слоев (более 50 мкм) с низким фоновым легированием (~ 10^{13} $см^{-3}$) и хорошей морфологией. В настоящее время горизонтальный реактор с горячей стенкой является одним из наиболее широко используемых в промышленности.

Планетарные реакторы с теплой стенкой разработаны для SiC на базе новой технологической платформы роста полупроводниковых соединений $A^{III}B^{V}$, ориентированных на массовое производство эпитаксиальных структур (рис.10,*б*). Для улучшения однородности конструкция реактора имеет уникальную особенность: газ, например аргон, используется для подъема подложкодержателя и левитационного вращения подложек [23]. Благодаря совокупному вращению платформы подложкодержателя и подложек по отдельности достигается высокая равномерность слоя. Скорости роста составляют до 30 мкм/ч. Поэтому наиболее часто реакторы данного типа используются в массовом производстве эпитаксиальных SiC-структур для приборов с напряжением до 1200 В.

В 2014 г. японская компания NuFlare продемонстрировала новый тип вертикального эпитаксиального SiC-реактора с двумя зонами нагрева и загрузкой на одну 150-мм пластину (рис.10,*г*). Особенностью данного типа реактора является высокая частота вращения подложки (1000 об/мин). Это обеспечивает высокую скорость роста слоев (до 50 мкм/ч) и их однородность (в 4 раза лучше, чем в горизонтальной и планетарной CVD-системах [24]). При этом заявлена высокая производительность реактора. Так, система позволяет повышать и понижать температуру за 15 мин, что дает возможность за короткий период (30 мин) получить 10-мкм слой при скорости роста 40–50 мкм/ч.

Заключение. В настоящее время технология эпитаксиального роста SiC промышленно освоена. Существующие коммерчески доступные CVD-реакторы позволяют реализовать процессы роста эпитаксиальных SiC-структур приборного качества на подложках диаметром до 200 мм с толщиной слоев более 100 мкм *n*- и *p*-типов проводимости.

В то же время отработка технологии воспроизводимого роста эпитаксиальных слоев и особенно анизотипных структур является индивидуальной задачей для реактора

конкретного типа и требует детального учета факторов, определяющих достижимые параметры эпитаксиальной продукции. Поэтому, как правило, затраты на отработку технологии SiC-CVD-эпитаксии сопоставимы с финансовыми вложениями в высокотемпературное эпитаксиальное оборудование.

Литература

1. ***Лучинин В.В., Таиров Ю. М.*** Отечественный карбид кремния // Изв. вузов. Электроника. 2011. № 6 (92). С. 3–26.
2. ***Лучинин В.В*** Технологии превосходства. Карбид кремния. Научно-технологический статус ЛЭТИ // Нано- и микросистемная техника. 2016. Т. 18. № 5. С. 259–271.
3. ***Tairov Y.M., Tsvetkov V.F.*** Investigation of growth processes of ingots of silicon carbide single crystals // J. Cryst. Growth. 1978. Vol. 43 (2). P. 209–212.
4. ***Лебедев А.О., Авров Д.Д., Таиров Ю.М, Лучинин В.В.*** Способ получения монокристаллического SiC // Патент РФ № 2633909. 2016.
5. Способ получения монокристаллического SiC / ***Д.Д. Авров, Ю.О. Быков, С.В. Гладкий и др.*** // Патент РФ № 2671349. 2017.
6. ***Лучинин В.В., Таиров Ю.М.*** Отечественный полупроводниковый карбид кремния: шаг к паритету // Современная электроника. 2009. Т. 7. С. 12–15.
7. ***Лучинин В.В.*** Отечественная экстремальная ЭКБ: карбидокремниевая индустрия СПбГЭТУ «ЛЭТИ» Ч. I // Наноиндустрия. 2016. № 3 (65). С. 78–89.
8. ***Лучинин В.В.*** Отечественная экстремальная ЭКБ: карбидокремниевая индустрия СПбГЭТУ «ЛЭТИ» Ч.II // Наноиндустрия. 2016. №4 (66). С. 40–50.
9. Полупроводниковая сэндвич-структура 3C-SiC/Si, способ ее получения и чувствительный элемент мембранного типа с ее использованием / ***А.В. Афанасьев, В.А. Ильин, А.С. Петров и др.*** // Патент РФ №2395867. 2010.
10. ***Ильин В.А., Матузов А.В., Казак-Казакевич А.З., Петров А.С.*** Методика эпитаксиального наращивания кубического карбида кремния на кремний по технологии CVD // Изв. вузов. Материалы электронной техники. 2007. № 3. С. 22–26.
11. ***Ильин В.А., Матузов А.В., Петров А.С.*** Исследования процессов получения гетероэпитаксиальных структур 3С-карбид кремния на подложках кремния // Изв. вузов. Материалы электронной техники. 2008. № 4. С. 31–34.
12. ***Kimoto T., Cooper J.A.*** Fundamentals of silicon carbide technology: growth, characterization, devices and applications. Singapore: John Wiley & Sons, Inc., 2014. 400 p.
13. ***Афанасьев А.В., Ильин В.А., Лучинин В.В., Михайлов А.И.*** Газофазная эпитаксия – ключевая технология силовых МДП-транзисторов на карбиде кремния // Наноиндустрия. 2018. № 7-8 (86). С. 488–497.
14. ***Кальнин А.А., Лучинин В.В., Нойберт Ф., Таиров Ю.М.*** Закономерность эволюции кристаллической структуры при синтезе веществ, обладающих множеством структурно-устойчивых состояний // ЖТФ. 1984. Т. 54. № 7. С. 1388–1390.
15. ***Лучинин В.В., Таиров Ю.М.*** Гетероэпитаксиальная композиция: редкий политип карбида кремния 2H на изолирующей подложке: нитрид алюминия – сапфир // Письма в ЖТФ. 1984. Т. 10. № 14. С. 873–875.
16. ***Matsunami H., Kimoto T.*** Step-controlled epitaxial growth of SiC: High quality homoepitaxy // Materials Science and Engineering 1997. No. 20. P. 125–166.
17. ***Kong H.S., Glass J.T., Davis R.F.*** Chemical vapor deposition and characterization of 6H-SiC thin films on off-axis 6H-SiC substrates // Journal of Applied Physics. 1988. No. 64. P. 2672–2679.
18. Nitrogen donors and deep levels in high-quality 4H-SiC epilayers grown by chemical vapor deposition / ***T. Kimoto, A. Itoh, H. Matsunami et al.*** // Applied Physics Letters. 1995. No. 67 (19). P. 2833–2835.
19. ***Kimoto T.*** Bulk and epitaxial growth of silicon carbide // Progress in Chrystal Growth and Characterisation of Materials. 2016. Vol. 62. P. 329–351.
20. ***Larkin, D.J., Neudeck, P.G., Powell, J.A., Matus, L.G.*** Site-competition epitaxy for superior silicon carbide electronics // Applied Physics Letters. 1994. Vol. 65. P. 1659–1661.
21. ***Nishizawa S., Pons M.*** Growth and doping modeling of SiC-CVD in a horizontal hot-wall reactor // Chemical Vapor Deposition. 2006. Vol. 12. P. 516–522.

22. Способ подготовки тигля для выращивания монокристаллов карбида кремния / ***Д.Д. Авров, Ю.О. Быков, А.Е. Комлев и др.*** // Евразийский патент № 033855. 2019.

23. ***Burk A. A.*** Development of multiwafer warm-wall planetary VPE reactors for sic device production // Chemical Vapor Deposition. 2006. Vol. 12. P. 465–473.

24. Advances in fast epitaxial growth of 4H-SiC and defect reduction / ***H. Tsuchida, I. Kamata, M. Ito et al.*** // Materials Science Forum. 2016. Vol. 858. P. 119–124.

Поступил в редакцию 18.08.2020 г.; после доработки 18.08.2020 г.; принят к публикации 22.09.2020 г.

Афанасьев Алексей Валентинович – кандидат технических наук, доцент кафедры микро- и наноэлектроники СПбГЭТУ «ЛЭТИ» (Россия, 197376, Санкт-Петербург, ул. Профессора Попова, 5), a_afanasjev@mail.ru

Ильин Владимир Алексеевич – кандидат технических наук, доцент кафедры микро- и наноэлектроники СПбГЭТУ «ЛЭТИ» (Россия, 197376, Санкт-Петербург, ул. Профессора Попова, 5), ilyincmid@gmail.com

Лучинин Виктор Викторович – доктор технических наук, профессор, заведующий кафедрой микро- и наноэлектроники СПбГЭТУ «ЛЭТИ» (Россия, 197376, Санкт-Петербург, ул. Профессора Попова, 5), cmid_leti@mail.ru

Решанов Сергей Александрович – кандидат технических наук, директор по развитию компании Ascatron AB (Швеция, 16440, Чиста, Isafjordsgatan, 22), sergey.reshanov@ascatron.com

References

1. Luchinin V.V., Tairov Y.M. Russian silicon carbide. *Izvestiya vuzov. Elektronika = Proceedings of universities. Electronics*, 2011, vol. 92 (6), pp. 3–26. (in Russian).

2. Luchinin V.V. Technologies of superiority. Silicon carbide. Scientific-technological status of LETI. *Nano- I mikrosistemnaya tekhnika = Nano-and Microsystems technology*, 2016, vol. 18 (5), pp. 259–271. (in Russian).

3. Tairov Y.M., Tsvetkov V.F. Investigation of growth processes of ingots of silicon carbide single crystals. *J. Cryst. Growth*, 1978, vol. 43 (2), pp. 209–212.

4. Lebedev A.O., Avrov D.D., Tairov Y.M., Luchinin V.V. *Method for manufacturing of single crystalline SiC.* Patent RU № 2633909. (in Russian).

5. Avrov D.D., Bykov Y.O., Gladky S.V., Lebedev A.O., Tairov Y.M. *Method for manufacturing of single crystalline SiC.* Patent RU № 2671349. (in Russian).

6. Luchinin V.V., Tairov Y.M. Russian semiconductor silicon carbide: a step towards parity. *Sovremennaya elektronika = Modern Electronics*, 200, vol. 7, pp. 12–15. (in Russian).

7. Luchinin V.V. Russian electronic components for extreme conditions: silicon carbide industry founded by ETU «LETI». Part I. *Nanoindustriya = Nanoindustry*, 2016, vol. 65 (3), pp. 78–89. (in Russian).

8. Luchinin V.V. Russian electronic components for extreme conditions: silicon carbide industry founded by ETU «LETI». Part II. *Nanoindustriya = Nanoindustry*, 2016, vol. 66 (4), pp. 40–50. (in Russian).

9. Afanasev A.V., Ilyin V.A., Petrov A.S. at el. *Method for manufacturing of 3C-SiC/Si semiconductor sandwich structure and a membrane-type sensitive element using it*. Patent RU № 2395867. (in Russian).

10. Ilyin V.A., Matuzov A.V., Kazak-Kazakevich A.Z., Petrov A.S. Method of epitaxial growth of cubic silicon carbide on silicon by CVD technology. *Izvestiya vuzov. Materialy elektronnoy tekhniki = Proceedings of Higher Schools. Materials of Electronics Engineering*, 2007, no. 3, pp. 22–26. (in Russian).

11. Ilyin V.A., Matuzov A.V., Petrov A.S. Investigation of the 3C-silicon carbide on silicon substrates heteroepitaxial structures growth processes. *Izvestiya vuzov. Materialy elektronnoy tekhniki = Proceedings of Higher Schools. Materials of Electronics Engineering*, 2008, no. 4, pp. 31–34.

12. Kimoto T., Cooper J.A. *Fundamentals of silicon carbide technology: growth, characterization, devices and applications.* Singapore, John Wiley & Sons, Inc., 2014. 400 p.

13. Afanasev A.V., Ilyin V.A., Luchinin V.V., Mikhaylov A.I. Vapor phase epitaxy as the key technology for power MOSFET-transistors based on silicon carbide. *Nanoindustriya = Nanoindustry*, 2018, vol. 86 (7-8), pp. 488–497. (in Russian).

14. Kalnin A.A., Luchinin V.V., Noibert F., Tairov Y.M. The regularity of the evolution of the crystal structure during the synthesis of substances with many structurally stable states. *Zhurnal tekhnicheskoy fiziki = Technical Physics*, 1984, vol. 54 (7), pp. 1388–1390. (in Russian).

15. Luchinin V.V., Tairov Y.M. Heteroepitaxial composition: rare polytype of silicon carbide 2H on an insulating substrate: aluminum nitride – sapphire. *Pis'ma v Zhurnal tekhnicheskoy fiziki = Technical Physics Letters*, 1984, vol.10 (14), pp. 873–875. (in Russian).

16. Matsunami H., Kimoto T. Step-controlled epitaxial growth of SiC: High quality homoepitaxy. *Materials Science and Engineering*, 1997, no. 20, pp.125–166.

17. Kong H.S., Glass J.T., Davis R.F. Chemical vapor deposition and characterization of 6H-SiC thin films on off-axis 6H-SiC substrates. *Journal of Applied Physics*, 1988, no. 64, pp. 2672–2679.

18. Kimoto T., Itoh A., Matsunami H., Sridhara S., Clemen L. L., Devaty R. P., Choyke W. J., Dalibor T., Peppermüller C., Pensl G. Nitrogen donors and deep levels in high-quality 4H-SiC epilayers grown by chemical vapor deposition. *Applied Physics Letters*, 1995, no. 67 (19), pp. 2833–2835.

19. Kimoto T. Bulk and epitaxial growth of silicon carbide. *Progress in Chrystal Growth and Characterisation of Materials*, 2016, vol. 62, pp. 329–351.

20. Larkin, D.J., Neudeck, P.G., Powell, J.A., Matus, L.G. Site-competition epitaxy for superior silicon carbide electronics. *Applied Physics Letters*, 1994, vol. 65, pp. 1659–1661.

21. Nishizawa S., Pons M. Growth and doping modeling of SiC-CVD in a horizontal hot-wall reactor. *Chemical Vapor Deposition*, 2006, vol. 12, pp. 516–522.

22. Avrov D.D., Bykov Y.O., Komlev A.E., Lebedev A.O., Tairov Y.M. *Method for crucible preparation for silicon carbide single crystals growth*. Patent EA № 033855. (in Russian).

23. Burk A. A. Development of multiwafer warm-wall planetary VPE reactors for SiC device production. *Chemical Vapor Deposition*, 2006, vol. 12, pp. 465–473.

24. Tsuchida H., Kamata I., Ito M. et al. Advances in fast epitaxial growth of 4H-SiC and defect reduction. *Materials Science Forum*, 2016, vol. 858, pp. 119–124.

Received 18.08.2020; Revised 18.08.2020; Accepted 22.09.2020.

Information about the authors:

Aleksei V. Afanasev – Cand. Sci. (Eng.), Assoc. Prof. of the Micro- and Nanoelectronics Department, Saint Petersburg Electrotechnical University «LETI» (Russia, 197376, St. Petersburg, Professor Popov st., 5), a_afanasjev@mail.ru

Vladimir A. Ilyin – Cand. Sci. (Eng.), Assoc. Prof. of the Micro- and Nanoelectronics Department Saint Petersburg Electrotechnical University «LETI» (Russia, 197376, St. Petersburg, Professor Popov st., 5), ilyincmid@gmail.com

Viktor V. Luchinin – Dr. Sci. (Eng.), Prof., Head of the Micro- and Nanoelectronics Department Saint Petersburg Electrotechnical University «LETI» (Russia, 197376, St. Petersburg, Professor Popov st., 5), cmid_leti@mail.ru

Sergey A. Reshanov – Cand. Sci. (Eng.), Development Manager at Ascatron AB (Sweden, 16440, Kista, Isafjordsgatan, 22), sergey.reshanov@ascatron.com

УДК 621.385.833.2 DOI: 10.24151/1561-5405-2020-25-6-497-504

Метод и реализация высокоэффективной диагностики формы электронного зонда растрового электронного микроскопа

И.В. Силаев[1], И.Н. Гончаров[1,2], Т.Т. Магкоев[1], Т.И. Радченко[1]

[1]Северо-Осетинский государственный университет имени К.Л. Хетагурова, г. Владикавказ, Россия
[2]Северо-Кавказский горно-металлургический институт (государственный технологический университет), г. Владикавказ, Россия

bigjonick@yandex.ru

Важным узлом электронного микроскопа является система управления электронным лучом, отвечающая за формирование растра на образце и фокусировку электронного зонда, обеспечивающую достижение минимума аберраций и максимума разрешающей способности у формируемого электронного изображения. При эксплуатации электронного микроскопа происходит постепенное ухудшение качества изображения, проявляющееся в снижении разрешающей способности и усиленном проявлении астигматизма. В работе представлена приставка для растрового электронного микроскопа, позволяющая проводить высокоэффективную диагностику конфигурации сканирующего электронного луча, управляемого прецизионной магнитооптической системой. Установлено, что непосредственное визуальное наблюдение за сканирующим электронным зондом, в частности оценка эллиптичности его сечения, с помощью матрицы веб-камеры, совмещенной с плоскостью образца, обеспечивает эффективную настройку и ремонт растрового электронного микроскопа.

Ключевые слова: растровый электронный микроскоп; диагностика электронного луча; веб-камера; катодолюминесцентный экран; фокусирующая система; астигматизм; разрешающая способность

Для цитирования: Силаев И.В., Гончаров И.Н., Магкоев Т.Т., Радченко Т.И. Метод и реализация высокоэффективной диагностики формы электронного зонда растрового электронного микроскопа // Изв. вузов. Электроника. 2020. Т. 25. № 6. С. 497–504. DOI: 10.24151/1561-5405-2020-25-6-497-504

© И.В. Силаев, И.Н. Гончаров, Т.Т. Магкоев, Т.И. Радченко, 2020

Method and Implementation of High-Performance Diagnostics of Form of Electron Probe of Raster Electron Microscope

I.V. Silaev[1], I.N. Goncharov[1,2], T.T. Magkoev[1], T.I. Radchenko[1]

[1]North Ossetian State University named after Kosta Levanovich Khetagurov, Vladikavkaz, Russia
[2]North Caucasian Institute of Mining and Metallurgy (State Technological University), Vladikavkaz, Russia

bigjonick@yandex.ru

Abstract: An important unit of an electron microscope is the system controlling the electron beam, responsible for raster forming on the specimen and the electron probe focusing, which provides an achievement of minimum of aberrations and the maximum of resolving capacity of formed electron image. During using electron microscope the image quality gradually deteriorates, manifesting the resolving capacity reduction and the astigmatism appearance. An attachment developed for the raster electron microscope, permitting to perform the highly effective diagnostics of the configuration of the scanning electron beam, controlled by a precision magneto-optical system, has been offered. It has been shown that the direct visual observing the scanning electron probe, in particular the evaluation of the ellipticity of its cross-section using the WEB camera matrix, combined with the sample plane, as a result, provides more efficient tuning and repair of the scanning electron microscope.

Keywords: scanning electron microscope; electron beam diagnostics; WEB camera; cathodoluminescent screen; focusing system; astigmatism; resolution

For citation: Silaev I.V., Goncharov I.N., Magkoev T.T., Radchenko T.I. Method and implementation of high-performance diagnostics of form of electron probe of raster electron microscope. *Proc. Univ. Electronics*, 2020, vol. 25, no. 6, pp. 497–504. DOI: 10.24151/1561-5405-2020-25-6-497-504

Введение. Современный растровый электронный микроскоп представляет собой комплекс различных систем: устройство создания и поддержания вакуума, источник электронов различных типов для формирования электронного зонда, прецизионная магнитная оптика, электроника управления режимами, устройство усиления сигналов с датчиков и формирования изображения, анализатор химического состава поверхности исследуемого образца. Важный узел микроскопа – система управления электронным лучом, отвечающая за формирование растра на образце и фокусировку электронного зонда и обеспечивающая достижение минимума аберраций и максимума разрешающей способности у формируемого электронного изображения. Проблема реализации эффективной и оперативной проверки и настройки данной системы является актуальной.

Растровые электронные микроскопы позволяют проводить исследования широкого спектра образцов различного происхождения [1]. Непрерывно обновляется их модельный ряд, открываются новые возможности, удобнее становится эксплуатация [2]. Растровый электронный микроскоп позволяет не только исследовать образец, но и изменять структуру его поверхности, выполняя функцию электронно-лучевого литографа [3].

Анализ проблем, возникающих при эксплуатации сканирующего электронного микроскопа. В процессе эксплуатации микроскопа могут возникнуть аберрации электронного изображения, являющиеся следствием неодинакового преломления магнитными линзами электронного пучка, из-за разброса электронов по энергиям (хроматическая аберрация) и различной удаленности электронов пучка от оптической оси линзы (сферическая аберрация). Может проявиться и астигматизм, обусловленный неидеальным изготовлением элементов магнитной оптики, например отклонением геометрии магнитных зазоров и локальным отклонением химического состава материалов полюсных наконечников линз. Это налагает принципиальные ограничения на минимальный размер сканирующего пятна электронного зонда и, как следствие, снижает разрешающую способность микроскопа. Последнее приводит к ухудшению качества изображения и может наступать постепенно с течением времени работы изделия вследствие старения и износа его компонентов, а также в результате загрязнения внутренних деталей магнитооптической системы. Возможно и внезапное аварийное возникновение неисправностей при внешних воздействиях, что характерно не только для растровых электронных микроскопов, но и для других приборов, имеющих схожую систему формирования электронного зонда, в частности установок электронно-лучевой литографии. Неисправность может проявляться и в том, что форма сканирующего зонда становится эллиптичной, что не позволяет получить зонд минимального размера, и мелкие детали изображения в большей или меньшей степени вытягиваются по горизонтали или вертикали. В результате снижается разрешающая способность микроскопа.

Во всех моделях микроскопов имеется возможность соответствующей настройки изображения в автоматическом или ручном режиме, однако она может быть осуществлена при небольших отклонениях в геометрии электронного зонда. В ряде случаев требуется более серьезная корректировка режима работы микроскопа, например измерение напряжений и уровня шумов в катушках магнитной фокусирующей системы, замена аппертурных диафрагм и других элементов электронно-оптической системы, настройка и обслуживание катодного узла и др. Также электронный микроскоп должен с периодичностью, предусмотренной предприятием-изготовителем, проходить процедуру поверки по ГОСТ Р 8.636-2007 ГСИ [4].

Для облегчения и ускорения процедуры настройки растрового электронного микроскопа, а также определения причин снижения его разрешающей способности актуален поиск новых способов диагностики его работы, в частности возможности наглядной оценки эллиптичности сечения сканирующего электронного луча. Отличие сечения электронного зонда от требуемого круглого может быть обусловлено отклонением в расположении элементов магнитной оптики микроскопа в результате неправильной сборки, загрязнением внутреннего канала колонны, например аппертурных диафрагм, нарушением режима работы центрирующих катушек, конденсорных линз, объективной линзы, катушек корректора астигматизма.

Конструкция и работа приставки для диагностики сканирующего электронного микроскопа. Разработанная и изготовленная специальная приставка предназначена для проведения адекватной и высокоэффективной диагностики неисправностей в магнитной оптике. Она позволяет локализовать узлы, обусловливающие появление дефектов изображения, контролировать форму электронного зонда, сканирующего образец, визуализировать процесс формирования растра сканирования, оценивать степень изменения его размеров при различных увеличениях. Идея визуализации сканирующего электронного зонда в целях точной настройки его формы описана в работе [5]. Прямая реализация способа визуализации электронного луча в оборудовании, в котором

такая функция не предусмотрена, сопряжена с большими техническими трудностями, а именно с поиском нужного места в колонне растрового микроскопа для врезки прозрачного окна и его герметизацией, фиксацией и креплением оптического микроскопа. С учетом того, что данная визуализация требуется лишь периодически, предложенные в работе [5] подходы мало осуществимы с точки зрения их высокой технической сложности.

На рис.1 показана конструкция приставки для диагностики сканирующего электронного микроскопа. Отметим, что веб-камера перед установкой в приставку была доработана: электронику извлекли из корпуса, объектив удалили.

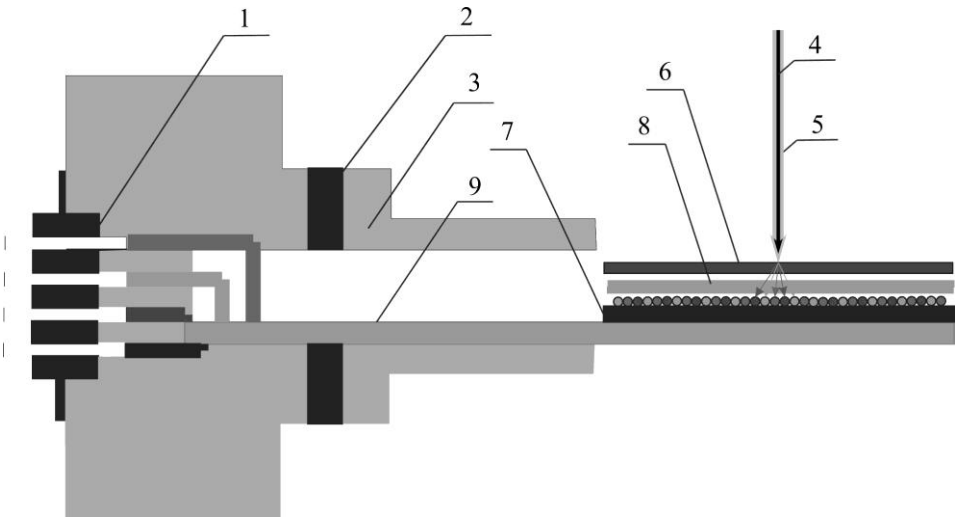


Рис.1. Конструкция приставки для наблюдения за сканирующим электронным зондом: 1 – гермоввод для соединения веб-камеры с компьютером; 2 – резиновое уплотнительное кольцо; 3 – алюминиевый корпус приставки; 4 – электронный зонд; 5 – ИК-излучение катода; 6 – катодолюминесцентный экран; 7 – матрица веб-камеры; 8 – защитное стекло матрицы; 9 – плата с электронными компонентами веб-камеры

Fig.1. Construction of the attachment for monitoring a scanning electron probe: 1 – electrical sealed connector a WEB camera with computer; 2 – rubber sealing ring; 3 – aluminum box; 4 – electronic probe; 5 – IR radiation of the cathode; 6 – cathodoluminescent screen; 7 – matrix WEB camera; 8 – protective glass matrix; 9 – board with electronic components of the WEB camera

В процессе работы приставки информация с видеокамеры передается на монитор ПК. В качестве катодолюминесцентного экрана можно использовать сцинтиллятор от самого микроскопа.

Изображение сечения луча, состоящего из ИК-излучения катода и эмитированных электронов зонда, поступает на катодолюминесцентный экран синего цвета свечения. ИК-излучение проходит сквозь катодолюминесцентный экран, а электроны зонда возбуждают свечение люминофора. В результате ИК-излучение фиксируется матрицей камеры непосредственно в виде круга красного цвета, а электронный зонд – в виде синего круга. Провода камеры выводятся наружу из корпуса приставки через установленный на нем гермоввод. Веб-камеру подбирают исходя из ее габаритов, которые должны соответствовать конструкции микроскопа, а также из способа расположения матрицы относительно платы с электроникой. Важное условие стабильной работы камеры – минимальная длина проводников от ее электронной части до контактов гермоввода (не более нескольких сантиметров) для минимизации наводок. Камера подключается к USB-разъему ПК, для ее работы используется прилагаемое к камере программное

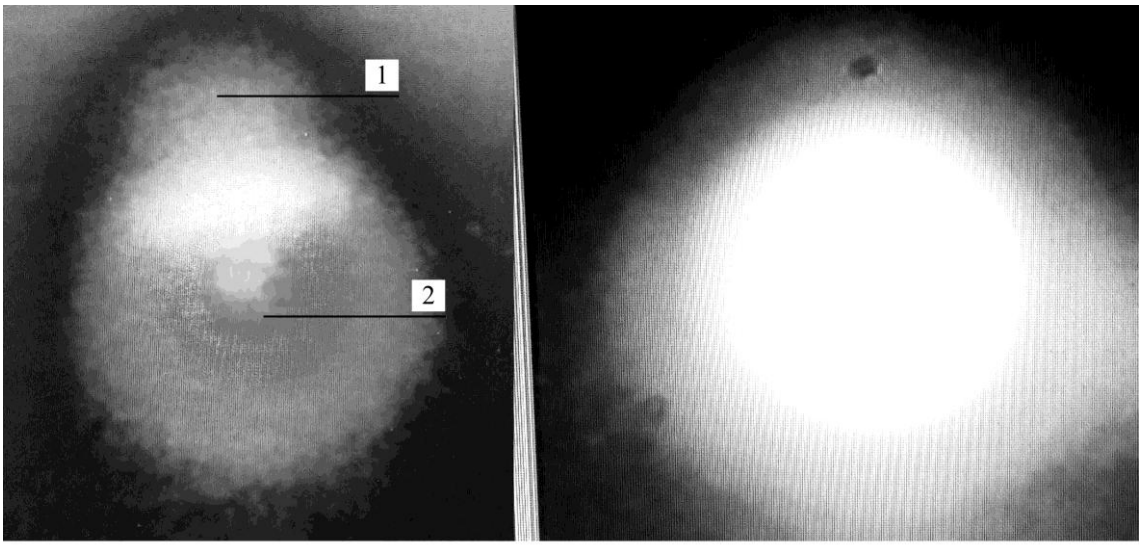
обеспечение. Для компактности всей конструкции желательно, чтобы матрица и плата электроники находились в одной плоскости. На рис.2 показана приставка к растровому электронному микроскопу, изготовленная и успешно опробованная на микроскопе МРЭМ 200 с термоэмиссионным катодом.

Диагностику и настройку микроскопа с помощью приставки проводят следующим образом. Приставка устанавливается в камеру образцов микроскопа. Микроскоп находится в обычном рабочем режиме. Запускается ПК, к которому подключена веб-камера, выставляются накал термокатода и рабочие напряжения фокусирующей системы микроскопа. Система при этом позволяет наблюдать на экране монитора ПК два светящихся пятна (рис.3,*а*): одно красного цвета, другое синего. Красное пятно – это визуализируемое веб-камерой ИК-излучение термокатода. ИК-излучение будет также зафиксировано и для катодов из гексаборида лантана (LaB_6) или термополевого катода Шоттки, но будет отсутствовать для автоэмиссионного катода [6]. Синее пятно генерируется катодолюминесцентным экраном, изготовленным на основе люминофора К-71 с рабочей длиной волны излучения (450 ± 5) нм



Рис.2. Приставка к растровому электронному микроскопу для наблюдения за сечением электронного зонда на экране персонального компьютера: 1 – плата с электронными компонентами веб-камеры; 2 – катодолюминесцентный экран

Fig.2. Attachment to a scanning electron microscope for observing the cross section of an electronic probe on a personal computer screen: 1 – board with electronic components of the WEB camera; 2 – cathodoluminescent screen



а ***б***

Рис.3. Изображение сечения электронного пучка и ИК-излучения термокатода при тестировании: *а* – до настройки; *б* – после настройки; 1 – ИК-излучение термокатода (красное пятно); 2 – электронный зонд (синее пятно)

Fig.3. Image of the cross section of the electron beam and IR radiation of the thermal cathode during testing: *a* – before tuning; *b* – after setting; 1 – IR radiation of the hot cathode (red spot); 2 – electronic probe (blue spot)

и яркостью излучения ≤ 2,5 кд/Вт. Видно несоосное расположение пятен относительно друг друга, что свидетельствует о смещенном положении источника термоэлектронов относительно оси электронно-оптической системы микроскопа. Данное обстоятельство нарушает симметрию взаимодействия фокусирующих магнитных полей линз с электронным лучом. Необходимо отметить, что именно применение ИК чувствительной веб-камеры позволило визуализировать расположение термокатода. Очевидно, что по результатам данных наблюдений его необходимо откорректировать. О корректной работе микроскопа свидетельствует в первую очередь сечение электронного пучка, которое должно быть правильной круглой формы, а также строгое совмещение данных двух пятен.

Отклоняющая система микроскопа формирует сканирующий растр на образце, в качестве которого в данном случае выступает катодолюминесцентный экран. Чтобы сканирующее электронное пятно для удобства наблюдения привести в неподвижное состояние, тестирование необходимо проводить при выставленном максимальном увеличении микроскопа (для МРЭМ 200–50 000х). При этом амплитуда сканирования настолько мала, что точка синего цвета кажется неподвижной. Тогда становится возможным наблюдать за работой фокусирующей системы колонны микроскопа, за изменением размера и формы электронного зонда при различных значениях напряжений фокусировки, а также за действием корректоров астигматизма. Удается проследить степень влияния на электронный зонд различных настроек микроскопа, касающихся управления магнитной оптикой.

Несмотря на то, что диаметр сканирующего электронного зонда меньше либо сопоставим с размером одного пикселя матрицы веб-камеры, можно добиться того, чтобы след от зонда был достаточно хорошо виден и захватывал большое количество пикселей. Это достигается за счет некоторого симметричного размытия светящегося пятна на возбуждаемом экране, а также за счет расхождения излучения экрана по сфере при его прохождении к матрице веб-камеры через толщу ее защитного стекла. Дополнительно увеличить размер видимой области можно, незначительно расфокусируя сканирующий зонд. При этом размер пятна увеличивается, но сохраняется его форма. Необходимо также отметить, что эмиссию термокатода следует поддерживать минимальной, достаточной для нормального наблюдения за картинкой на экране компьютера. Увеличение накала приводит к чрезмерному росту яркости, что усложняет процесс тестирования. В случае оптимального формирования электронного зонда и полноценной коррекции астигматизма пятно должно быть круглой формы. При наличии отклонений форма пятна, передаваемая веб-камерой, отличается от круга.

Наблюдение полученного с помощью предложенной системы диагностики изображения (см. рис.3,*а*) позволило оперативно откорректировать работу микроскопа. Выявлено, что след от электронного зонда значительно отклонен от вертикальной оси колонны микроскопа. Микроскоп адекватно реагировал на изменение тока в конденсорных линзах и катушках центровки луча по оси *X* и практически не реагировал на изменение тока в катушках центровки по оси *Y*. При изменении тока в объективной линзе синяя точка не только менялась в размерах, но и двигалась по орбите вокруг красной точки. Проведенные наблюдения и последующий экспертный анализ позволили сделать вывод о неисправности в катушках центровки электронного луча по оси *Y*.

Последующая разборка верхней части колонны микроскопа показала, что одна из двух катушек центровки луча по оси *Y* смещена приблизительно на 1 мм в результате ошибки при сборке в процессе планового технического обслуживания колонны микро-

скопа. Катушку установили на место. Последующая визуализация сечения электронного пучка (см. рис.3,*б*) показала полное совмещение двух пятен (их суммарное свечение веб-камера зафиксировала как белое), а также круглую форму сечения, которую можно точно оценивать с помощью специального трафарета. Наблюдаемый ореол вокруг пятна объясняется паразитными сторонними засветками веб-камеры.

Таким образом, при наблюдении за формой сечения электронного пучка с помощью катодолюминесцентного экрана и встроенной матрицы веб-камеры обеспечивается информативная и наглядная обратная связь при управлении и регулировке магнитной оптикой колонны растрового электронного микроскопа, что позволяет повысить эффективность настройки и ремонта системы.

Заключение. Разработанное и изготовленное устройство с применением катодолюминесцентного экрана и веб-камеры дает возможность оперативно и эффективно проводить диагностику фокусирующей и отклоняющей систем растрового электронного микроскопа по форме сечения сканирующего образец электронного зонда. Это позволяет улучшить качество его обслуживания, направленного на повышение адекватности проводимых наблюдений.

Литература

1. ***Белоусова Г.В.*** Возможности сканирующего электронного микроскопа при проведении сравнительных анализов образцов // Студенческая наука и XXI век. 2018. № 16-1. С. 21–24.

2. ***Шахнович И.В.*** Современные растровые электронные микроскопы: все сложнее, все проще // Лаборатория и производство. 2018. № 2. С. 78–81.

3. Литография нанометрового разрешения на основе напыляемого полистирола / ***Г.А. Жарик, С.А. Дагесян, Е.С. Солдатов и др.*** // Вестник Московского университета. Сер. 3. Физика. Астрономия. 2017. № 6. С. 120–124.

4. ГОСТ Р 8.636-2007 ГСИ. Микроскопы электронные. Методика калибровки. URL: https://allgosts.ru/17/040/gost_r_8.636-2007 (дата обращения: 02.09.2020).

5. ***Зайцева Ю.В., Тарасенко Л.М., Рыжиков В.Д., Силин В.И.*** Флуоресцирующий экран для визуализации электронного зонда // Патент СССР № 1497640. 1989. Бюл. № 28. URL: https://patents.su/3-1497640-fluoresciruyushhijj-ehkran-dlya-vizualizacii-ehlektronnogo-zonda.html (дата обращения: 02.09.2020).

6. ***Ляпин А.А.*** Современные технологии визуализации тонких структур. Растровая электронная микроскопия. Ч. 3 // Вектор высоких технологий. 2015. №4(17). С. 18–21.

Поступила в редакцию 11.09.2020 г.; после доработки 11.09.2020 г.; принята к публикации 22.09.2020 г.

Силаев Иван Вадимович – кандидат технических наук, доцент, доцент кафедры физики конденсированного состояния Северо-Осетинского государственного университета имени К.Л. Хетагурова (Россия, 362025, Республика Северная Осетия – Алания, г. Владикавказ, ул. Ватутина, 44-46), bigjonick@yandex.ru

Гончаров Игорь Николаевич – доктор технических наук, доцент, профессор кафедры электронных приборов Северо-Кавказского горно-металлургического института (государственного технологического университета) (Россия, 362021, Республика Северная Осетия – Алания, г. Владикавказ, ул. Николаева, 44), сотрудник лаборатории ядерных исследований Северо-Осетинского государственного университета имени К.Л. Хетагурова (Россия, 362025, Республика Северная Осетия – Алания, г. Владикавказ, ул. Ватутина, 44-46), goncharov-scgtu@mail.ru

Магкоев Тамерлан Таймуразович – доктор физико-математических наук, профессор, заведующий кафедрой физики конденсированного состояния Северо-Осетинского государственного университета имени К.Л. Хетагурова (Россия, 362025, Республика Северная Осетия – Алания, г. Владикавказ, ул. Ватутина, 44-46), t_magkoev@mail.ru

Радченко Татьяна Ивановна – младший научный сотрудник лаборатории физики поверхности и катализа Северо-Осетинского государственного университета имени К.Л. Хетагурова. (Россия, 362025, Республика Северная Осетия – Алания, г. Владикавказ, ул. Ватутина, 44-46), fizika-technika@yandex.ru

References

1. Belousova G. Possibilities of a scanning electron microscope in comparative analyzes of samples. *Studencheskaya nauka i XXI vek = Student Science and XXI Century*, 2018, no. 16-1, pp. 21–24. (in Russian). (in Russian).

2. Shakhnovich I. Modern scanning electron microscopes: everything is more complicated, everything is simpler. *Laboratoriya i proizvodstvo = Laboratory and Production*, 2018, no. 2, p. 78–81. (in Russian).

3. Zharik G., Dagesyan S., Soldatov E., Presnov D., Krupenin V. Lithography of nanometer resolution based on sprayed polystyrene. *Vestnik Moskovskogo universiteta. Seriya 3. Fizika. Astronomiya = Bulletin of Moscow University. Series 3. Physics. Astronomy*, 2017, No. 6., p. 120–124. (in Russian).

4. *GOST R 8.636-2007 GSI. Microscopes are electronic. Calibration method*. Available at: https://allgosts.ru/17/040/gost_r_8.636-2007 (accessed: 10.06.2020). (in Russian).

5. Zaitseva Yu.V., Tarasenko L.M., Ryzhikov V.D., Silin V.I. *Fluorescent screen for electron probe Visualization*. Patent USSR, no. 1497640. 1989. Available at: https://patents.su/3-1497640-fluoresciruyushhijj-ehkran-dlya-vizualizacii-ehlektronnogo-zonda.html (accessed: 10.06.2020). (in Russian).

6. Lyapin A. Modern technologies of visualization of fine structures. Scanning Electron Microscopy. Part 3. *Vektor vysokikh tekhnologiy = Vector of high technologies*, 2015, no. 4(17), pp. 18–21. (in Russian).

Received 11.09.2020; Revised 11.09.2020; Accepted 22.09.2020.

Information about the authors:

Ivan V. Silaev – Cand. Sci. (Eng.), Assoc. Prof., Assoc. Prof. of the Condensed Matter Physics Department, North Ossetian State University named after Kosta Levanovich Khetagurov (Russia, 362025, Republic of North Ossetia – Alania, Vladikavkaz, Vatutin st., 44-46), bigjonick@yandex.ru

Igor N. Goncharov – Dr. Sci. (Eng.), Assoc. Prof., Prof. of the Electronic Devices Department, North Caucasus Mining and Metallurgical Institute (State Technological University) (Russia, 362021. Republic of North Ossetia – Alania, Vladikavkaz, Nikolaev st., 44), Employee of the Nuclear Testing Laboratory, North Ossetian State University named after Kosta Levanovich Khetagurov (Russia, 362025, Republic of North Ossetia – Alania, Vladikavkaz, Vatutin st., 44-46), goncharov-scgtu@mail.ru

Tamerlan T. Magkoev – Dr. Sci. (Phys.-Math.), Prof., Head of the Condensed Matter Physics Department, North Ossetian State University named after Kosta Levanovich Khetagurov (Russia, 362025, Republic of North Ossetia – Alania, Vladikavkaz, Vatutin st., 44-46), t_magkoev@mail.ru

Tatyana I. Radchenko – Junior Researcher of the Surface Physics and Catalysis Laboratory, North Ossetian State University named after Kosta Levanovich Khetagurov (Russia, 362025, Republic of North Ossetia – Alania, Vladikavkaz, Vatutin st., 44-46), fizika-technika@yandex.ru

УДК 621.793 DOI: 10.24151/1561-5405-2020-25-6-505-516

Исследование влияния технологических факторов на характеристики гибких безадгезивных фольгированных диэлектриков

А.В. Воробьев[1], В.Д. Жора[2], Н.И. Плис[3], С.П. Тимошенков[4]

[1]ООО НПП «Поликом», г. Красногорск, Россия
[2]ГП «НИИ микроприборов» НТК «ИМК» НАН Украины, г.Киев, Украина
[3]ОАО «Ангстрем», г. Москва, Россия
[4]Национальный исследовательский университет «МИЭТ», г. Москва, Россия

polycom_mail@yahoo.com

Из широкого спектра выпускаемых гибких фольгированных диэлектриков выгодно отличаются безадгезивные материалы. Они выдерживают воздействие высоких температур, позволяют существенно повысить плотность элементов и имеют лучшие качественные характеристики, так как адгезивы оказывают отрицательное влияние на электрические характеристики изготавливаемых с их применением материалов и имеют сравнительно невысокую термостойкость. В работе рассмотрены безадгезивные гибкие фольгированные диэлектрики для электронной техники и технология их изготовления. Исследованы изменение свойств лакофольгового диэлектрика ФДИ-АП50 при хранении и влияние технологических факторов на степень усадки полимерной основы. Показаны преимущества безадгезивных фольгированных диэлектриков с полной имидизацией полимерной основы. Описана технология изготовления лакофольговых диэлектриков, используемых при производстве высоконадежных микросхем модификации 2 и высокотехнологичных мембран акустических преобразователей. Полиимидное основание диэлектриков имеет высокую адгезию к фольге и гарантированную равномерность степени имидизации 95–100 %. Этим обеспечивается стабильность технологических режимов в процессе изготовления изделий из данных материалов, а также повышение срока хранения лакофольговых диэлектриков до 12 месяцев.

Ключевые слова: гибкие фольгированные диэлектрики; лакофольговые диэлектрики; микросхемы на гибком носителе; мембраны акустических преобразователей

Для цитирования: Воробьев А.В., Жора В.Д., Плис Н.И., Тимошенков С.П. Исследование влияния технологических факторов на характеристики гибких безадгезивных фольгированных диэлектриков // Изв. вузов. Электроника. 2020. Т. 25. № 6. С. 505–516. DOI: 10.24151/1561-5405-2020-25-6-505-516

© А.В. Воробьев, В.Д. Жора, Н.И. Плис, С.П. Тимошенков, 2020

Investigation of the Influence of Technological Factors on the Characteristics of Flexible Non-Adhesive Foil Dielectrics

A.V. Vorobyov[1], V.D. Zhora[2], N.I. Plis[3], S.P. Timoshenkov[4]

[1]*LTD «Polikom», Krasnogorsk, Russia*
[2]*State Enterprise «Research Institute of Microdevices» STC «IMK» NAS Ukraine, Kiev, Ukraine*
[3]*LTD «Angstrem», Moscow, Russia*
[4]*National Research University of Electronic Technology, Moscow, Russia*

polycom_mail@yahoo.com

Abstract: Currently, the traditional use of varnish-foil dielectrics for manufacturing resistors, resistive assemblies and heating elements has been supplemented by their application in production of thermal resistors, the membranes of acoustic and photoelectric transformers. As a rule, the non-adhesive foil dielectrics sustain the affect of high temperatures, permit to significantly increase the density of elements and have better quality characteristics, because the adhesives have negative effect upon the electrical characteristics of the materials, manufactured with their application. Also, the adhesives have comparatively low thermal resistance, which manifests on the total thermal resistance of foil dielectric and the items manufactured on it, especially in case when as a base polyimide is used. In the paper the flexible foil dielectrics for electronic equipment and their manufacturing technology have been considered. The advantages of the non-adhesive foil dielectrics with complete imidization of the polymer base have been shown. The technology of manufacturing the varnish-foil dielectrics, used in manufacturing highly reliable microcircuits of modification 2 and of highly technological membranes of acoustic transformers, has been developed. The polyimide base of the dielectrics has high adhesion to foil and the guaranteed uniformity of the imidization extent 95–100 %. This provides the stability of technological conditions in the process of manufacturing the items from the given materials, as well as an increase of the storage life of the varnish-foil dielectrics up to 12 months.

Keywords: flexible foil dielectrics; varnish-foil dielectrics; microcircuits on a flexible carrier; membranes of acoustic transducers

For citation: Vorobiev A.V., Zhora V.D., Plis N.I., Timoshenkov S.P. Investigation of the influence of technological factors on the characteristics of flexible non-adhesive foil dielectrics. *Proc. Univ. Electronics*, 2020, vol. 25, no. 6, pp. 505–516. DOI: 10.24151/1561-5405-2020-25-6-505-516

Введение. Развитие информационных технологий привело к расширению области применения гибких фольгированных диэлектриков в электронной аппаратуре. В частности, эти материалы используются для изготовления гибких печатных плат [1], гибких полиимидных носителей [2, 3], гибких кабелей [4], а также применяются в больших объемах при изготовлении RFID-антенн [4] и радиочастотных меток для защиты товаров от краж. Лакофольговые диэлектрики предназначены для изготовления резисторов, резистивных сборок и нагревательных элементов и в дополнение к этому для получения терморезисторов [5], мембран акустических и фотоэлектрических преобразователей [4, 6], а также для электромагнитного экранирования. В аэрокосмической области фольгированные диэлектрики обеспечивают радиационную защиту при эксплуатации скафандров [7].

По своему структурному строению фольгированные диэлектрики могут быть двухслойными (безадгезивные материалы), трехслойными, имеющими структуру металл – адгезив – полимер, и многослойными [8].

Из широкого спектра выпускаемых фольгированных диэлектриков, получаемых разными методами из самых различных материалов диэлектрического основания и металлических слоев [8], можно выделить безадгезивные фольгированные диэлектрики [9]. Такие материалы, как правило, выдерживают воздействие более высоких температур, позволяют существенно повысить плотность элементов [1] и имеют лучшие качественные характеристики, так как адгезивы оказывают отрицательное влияние на электрические характеристики изготавливаемых с их применением материалов [8]. Следует отметить также сравнительно невысокую термостойкость адгезивов, что сказывается на общей термостойкости фольгированного диэлектрика и изготавливаемых из него изделий, особенно в случае, когда в качестве основания используется полиимид [8].

Анализ методов изготовления безадгезивных фольгированных диэлектриков и применяемых полимерных материалов. В настоящее время безадгезивные фольгированные диэлектрики изготавливают следующими методами:

- напылением металлического слоя на полимерную пленку [7];
- нанесением жидкого лака на металлическую фольгу с последующим превращением его в полимерную пленку путем температурной обработки (лакофольговые диэлектрики) [10];
- напылением металлического слоя с последующим электрохимическим осаждением на него более толстого основного проводящего слоя [4];
- химической металлизацией с последующим электрохимическим осаждением [4].

Безадгезивные фольгированные диэлектрики с напыленным металлическим слоем, чаще всего алюминиевым, используются для радиационной защиты в скафандрах, электромагнитного экранирования [7] и изготовления мембран акустических преобразователей [6]. Однако такие металлические пленки имеют сравнительно малую толщину, как правило менее микрона. Важно отметить, что напыление слоев – дорогая операция, существенно повышающая стоимость изготавливаемых изделий. Относительно дорого также изготавливать безадгезивные фольгированные диэлектрики химическим и электрохимическим осаждением.

В качестве диэлектрического основания для фольгированных диэлектриков применяются самые различные полимерные материалы: полиэфиры, в частности полиэтилентерефталат, или Mylar, или лавсан; полиимид (Kapton различных типов) [1, 3, 10]; фторополимерные пленки (Teflon); жидкокристаллические полимеры (LCP); термопластичные пленки, такие, например, как полиэтилен, поливинилхлорид и др. Сравнительные характеристики этих материалов приведены в работе [1]. Толщина полимерного основания гибких фольгированных диэлектриков меняется в широких пределах, чаще всего она составляет от 10 до 125 мкм.

В настоящее время широко используются полиэфирные (Mylar) и полиимидные (Kapton) пленки [8]. Они имеют хорошие электрические характеристики и достаточную прочность при разрыве. Полиэфирные пленки характеризуются низкой стоимостью по сравнению с полиимидными пленками и низким влагопоглощением, однако являются горючими, плохо выдерживают пайку и становятся хрупкими при криогенных температурах. Полиимидные пленки имеют следующие важные свойства:

- поглощение влаги до 3 %;
- малая плотность [11];
- высокая радиационная стойкость [11];

- высокая электрическая прочность [12];
- низкая диэлектрическая проницаемость [11, 12];
- высокая по сравнению с другими полимерами теплопроводность [12];
- более высокая по сравнению с другими полимерами термостойкость [12];
- близость температурного коэффициента линейного расширения полиимида к значению этого коэффициента металлов, применяемых для изготовления фольгированных диэлектриков (меди и особенно алюминия) [8];
- высокая механическая прочность в сочетании с эластичностью [12];
- способность поддаваться травлению в сильнощелочных растворах, что позволяет получать в них сквозные отверстия с необходимыми техническими характеристиками [11, 12];
- незначительное газовыделение, что позволяет проводить вакуумное напыление различных металлов на полиимидные пленки и даже изготавливать многослойные гибкие платы [2, 3, 11, 13].

В ряду ароматических полиимидов наиболее ценным комплексом свойств характеризуется поли-4,4'-дифенилоксипиромеллитимид, получаемый по реакции поликонденсации пиромеллитового диангидрида и аминодифенилового эфира [12]. Пленки из такого материала известны в России как ПМ1, ФДИ и др., а в США – как Kapton различных типов.

Сравнительные технические характеристики материалов, наиболее часто применяемых в качестве полимерного основания фольгированных диэлектриков, приведены в табл.1 [8].

Таблица 1

Технические характеристики пленок, используемых в качестве полимерного основания фольгированных диэлектриков

Table 1

Technical characteristics of films used as the polymer base of foil dielectrics

Тип полимера	Прочность при разрыве, МПа	Относительное удлинение при растяжении, %	Электрическая прочность, кВ/мм	Диэлектрическая проницаемость	Тангенс угла потерь	Коэффициент теплопроводимости, Вт/(м·К)	Диапазон рабочих температур, °С
Полиимид Kapton	175 – 180 [1, 2, 10, 11]	60 [1]	280–300 [11]	3,5 [1]	0,003 [1]	0,14–0,20*	– 200… +300 и выше [2, 10, 11, 13]
Полиэфир Mylar	180 [1]	120 [1]	276 [1]	3,2 [1]	0,005 [1]	0,14*	– 20… +100 [14]

*Данные производителей полимерных пленок.

В качестве материала проводящего слоя используется преимущественно медная фольга, как электролитическая, так и катаная [1], представленная на рынке в широком ассортименте. Последняя является более качественной и обеспечивает большую устойчивость к многократным перегибам. При ее использовании требуется обязательная подготовка поверхности основания для повышения шероховатости с целью улучшения адгезии между слоями. Следует отметить такой недостаток меди, как высокая окисляемость ее поверхности [3], создающая трудности при монтаже. В связи с этим медь в изделиях используется преимущественно в составе многослойных проводников, в которых предусматривается защита ее поверхности. В случае специальных требований

всегда имеется широкий выбор фольги других металлов, в частности алюминия, никеля и его сплавов. Применяется также фольга из сплавов меди (бериллиевая бронза) и железа (нержавеющая сталь, сплав Iconel) [1].

Появление таких изделий, как RFID-антенны, радиочастотные мягкие метки для защиты товаров от краж, гибкие печатные кабели, гибкие полиимидные носители, обусловили необходимость выпуска гибких фольгированных диэлектриков с использованием не только медной, но и алюминиевой фольги, обеспечивающей снижение веса и стоимости изделий и имеющей ряд дополнительных преимуществ [8]. Важнейшим из них является совместимость выводов из алюминиевой фольги с кристаллами микросхем. Это обусловлено тем, что в качестве материала контактных площадок кристаллов в основном применяется алюминий. В таком случае при использовании алюминия в качестве проводящего слоя гибких носителей, шлейфов или антенн в местах соединения выводов с контактными площадками кристаллов образуется однокомпонентная система Al–Al, в которой исключается появление хрупких интерметаллических соединений в твердой фазе при эксплуатации приборов, в том числе при повышенных температурах [15]. Другим важным преимуществом алюминия является то, что он имеет малый заряд ядра ($Z = 13$), не образует при облучении вторичных изотопов и устойчив к воздействию радиации [11, 15]. Это актуально в случаях необходимости обеспечения работоспособности изделий в условиях радиационных нагрузок, а также при ядерных и космических исследованиях. Отметим, что алюминиевая фольга в отличие от медной выпускается только катаной.

Разработка гибких безадгезивных фольгированных диэлектриков. В России выпускаются гибкие диэлектрики, изготовленные преимущественно из электролитической медной фольги и полиэтилентерефталатной или полиимидной пленки, соединенных между собой с помощью адгезива (ПФ, ДФГ, ЭФП и др.). Однако, поскольку качество таких материалов низкое, изготовить из них современные высоконадежные изделия, например военного назначения, невозможно [1]. Это обусловлено более низкой пластичностью электролитической медной фольги по сравнению с катаной, высокой степенью усадки диэлектрического основания изделий после стравливания фольги, недостаточной устойчивостью диэлектриков к воздействию расплавленного припоя из-за низкой термостойкости адгезивов, а также нестабильностью физических, механических и электрических характеристик материалов [1]. В связи с этим изготовители гибких печатных плат вынуждены использовать более качественные импортные материалы, применение которых запрещено действующим стандартом на печатные платы военного назначения (ГОСТ РВ 5998-002).

Из безадгезивных фольгированных материалов в России выпускались в основном диэлектрики лакофольговые типа ФДИ-АП50 и ФДИ-А220 на полиимидном основании с толщиной алюминиевой фольги 30 мкм и полиимидной пленки 20 мкм. Однако эти материалы являются нестабильными (табл.2), так как степень полимеризации (имидизации) их основания низкая (до 70 %), вследствие чего они имеют ограниченный гарантийный срок хранения (не более трех месяцев). Кроме того, диэлектрическое основание изменяет свои размеры (дает усадку) в процессе изготовления изделий как после стравливания фольги, так и при проведении технологических операций термообработки. Последнее обстоятельство обусловлено тем, что изделия, изготовленные из лакофольговых диэлектриков с пониженной степенью имидизации, требуют обязательной финишной термообработки при температуре 300 °С для полного завершения процесса имидизации. Поэтому при проектировании сложных многовыводных изделий, в частности гибких полиимидных носителей для сборки микросхем [2, 3, 13, 15], микрокабелей и шлейфов, из таких материалов необходимо учитывать поправку на усадку [14].

Таблица 2

Изменение свойств лакофольгового диэлектрика ФДИ-АП50 при хранении

Table 2

Change in the properties of the varnish-foil dielectric FDI-AP50 during storage

Технические свойства материала	Исходное значение	Через 8 месяцев после хранения	
		До имидизации	После имидизации
Прочность лаковой пленки при разрыве, МПа	102,9	71,0	103,0
Относительное удлинение лаковой пленки при разрыве, %	7,9	3,9	15

Различают обратимые и необратимые изменения линейных размеров полимерных пленок [2, 3]. Обратимые изменения связаны с влиянием технологических операций. Например, линейные размеры увеличиваются с ростом температуры и уменьшаются при остывании изделий. Необратимые изменения обусловлены процессами, протекающими в структуре пленки, и представляют собой собственно усадку материала. Необратимые изменения в пленках могут быть связаны с процессами поликонденсации, циклизации или межмолекулярной сшивки, происходящими в процессе изготовления изделий из полимеров [14]. Усадка материалов при этом связана с уменьшением свободного объема их макромолекул, так как более длинные химические связи заменяются более короткими [16].

Усадка пленки приводит к появлению внутренних напряжений в полиимидных элементах, их деформации и, как следствие, к смещению выводов гибких носителей [14]. Это смещение вызывает изменение габаритно-присоединительных размеров и ухудшает совмещаемость выводов носителя с контактными площадками при сборке и монтаже, чем затрудняется проведение сборочных операций.

При изготовлении изделий из лакофольговых диэлектриков с пониженной степенью имидизации, например гибких полиимидных носителей, усадочные явления проявляются особенно сильно. По завершении фотолитографических операций при проведении финишной термической обработки происходит внутримолекулярная дегидроциклизация амидокислотных звеньев макромолекул полимера [12]. Усадочные явления при изготовлении гибких полиимидных носителей проявляются дважды (табл.3). Уход линейных размеров Δl гибких носителей обнаруживается уже после проведения фотолитографии. В ходе последующей термообработки при температуре порядка 300 °С вследствие высокой пластичности алюминиевой фольги происходит дальнейшее уменьшение размеров полиимидной пленки.

Таблица 3

Усадка линейных размеров гибких носителей, изготовленных из лакофольгового диэлектрика ФДИ-АП50

Table 3

Shrinkage of flexible media made of varnish-foil dielectric FDI-AP50

Усадка	Δl_x, %	Δl_y, %
После фотолитографии	0,25	0,42
После термообработки	0,25	0,38
Общая	0,50	0,8

Степень усадки гибких носителей определяется в наиболее критичных местах путем измерения расстояний между осями крайних выводов носителей в местах сварки с кристаллом во взаимно перпендикулярных рядах Δl_x и Δl_y. Измерения проводятся с помощью микроскопа УИМ-23. При этом за результат принимается среднее значение девяти параллельных измерений. Степень усадки рассчитывается по формуле

$$C = \frac{l_0 - l}{l} \cdot 100 = \frac{\Delta l}{l} \cdot 100,$$

где l_0 – выбранный линейный размер на фотошаблоне, мкм; l – этот же размер на гибком носителе, мкм; Δl – уход размеров по отношению к фотошаблону, мкм.

Различия в степени усадки гибких носителей по осям *x* и *y* можно объяснить конструктивными особенностями гибких носителей, так как на ее значение оказывают влияние форма выводов, особенности топологического рисунка изделий и наличие специальных противоусадочных элементов [14]. Технологические факторы (температура, время и условия термообработки) также могут оказывать существенное влияние на усадку гибких носителей. Установлено, что степень усадки изделий мало зависит от времени термообработки при постоянной температуре 300 °С при остывании гибких носителей в специальных приспособлениях и только при остывании на воздухе увеличение времени термообработки до двух часов приводит к некоторому увеличению усадки (рис.1). Это объясняется тем, что при резком охлаждении полимера на воздухе из-за термического удара его макромолекулы не успевают прийти в равновесное состояние, вследствие чего в диэлектрическом основании увеличиваются внутренние напряжения. Зависимость усадки гибких носителей от температуры термообработки (рис.2) показывает [14], что степень усадки существенно возрастает при ее росте выше 300 °С, поэтому такие температурные режимы нежелательны.

Постоянное повышение уровня интеграции микросхем, собираемых с использованием гибких полиимидных носителей и микрокабелей, сопровождается увеличением числа их выводов до нескольких сотен. Это приводит к необходимости уменьшения шага выводов до 80 мкм [15], а иногда до 50 мкм [17]. Изготовление таких сложных многовыводных изделий возможно только за счет существенного повышения качества

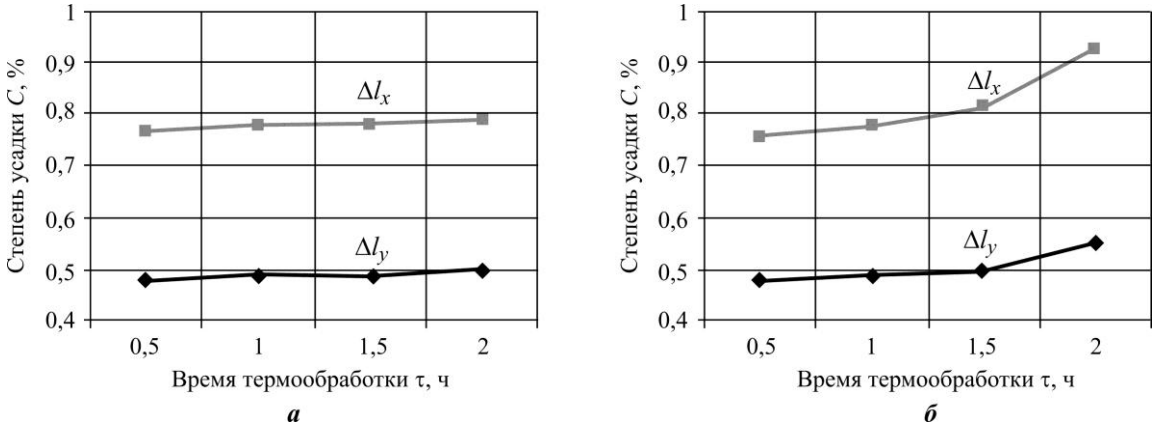


Рис.1. Зависимость степени усадки гибких носителей от времени термообработки при температуре 300 °С: *а* – остывание изделий в приспособлениях; *б* – остывание изделий на воздухе [14]

Fig.1. The flexible carrier shrinkage degree vs heat processing period under temperature of 300 °C: *a* – cooling of product in the appliance; *b* – cooling of product in the air [14]

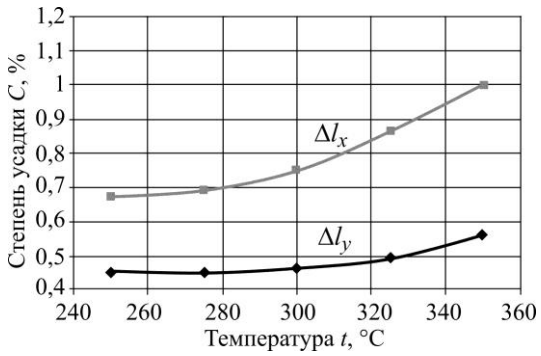


Рис.2. Зависимость степени усадки гибких носителей от температуры термообработки при выдержке в течение 1 ч [14]

Fig.2. The flexible carrier shrinkage degree vs heat processing temperature t and exposure time of 1 hour [14]

и стабильности свойств лакофольговых диэлектриков, а также уменьшения толщины алюминиевой фольги до 14 мкм, а в некоторых случаях и до 10 мкм [17]. Для изготовления высокотехнологичных мембран акустических преобразователей необходимы лакофольговые диэлектрики с толщиной алюминиевой фольги 10, 14, 20, 25 и 30 мкм.

Разработка и организация серийного выпуска безадгезивных лакофольговых диэлектриков, получаемых нанесением полиимидного лака на металлическую фольгу при полной имидизации полиимидной основы, а также повышение качества и стабильности свойств изготавливаемых материалов являются актуальными. Это позволит уменьшить усадку изделий примерно вдвое за счет исключения влияния на нее термообработки при температуре 300 °С, так как полная имидизация будет проводиться в рулоне еще до их изготовления. Кроме того, уменьшится трудоемкость изготовления изделий за счет исключения операций их загрузки в приспособления для проведения полной имидизации и выгрузки и повысится их качество, так как уменьшится их загрязняемость.

Технологический процесс изготовления безадгезивных фольгированных (лакофольговых) диэлектриков включает в себя следующие основные операции [10]: подготовку поверхности фольги; формирование слоя полиимидной пленки; термообработку лакофольгового диэлектрика; обрезку краев диэлектрика; контроль качества.

Подготовку поверхности фольги проводят в соответствии с рекомендациями, приведенными в [10]. Для этого металлическую фольгу предварительно подвергают очистке и обезжириванию в этиловом спирте и парах трихлорэтилена для улучшения смачиваемости поверхности металла жидким полиимидным лаком при его последующем нанесении. Затем фольгу обдувают очищенным воздухом для удаления остатков растворителей.

Формирование слоя полиимидной пленки на фольге проводят на специализированной установке рулонным методом. Перед нанесением полиимидного лака его фильтруют для удаления механических примесей, следов влаги и пузырьков воздуха. Для нанесения жидкого лака используют щелевые фильеры, обеспечивающие равномерность толщины лакового покрытия не хуже ± 2 мкм по всей ширине материала. В качестве полиимидного лака используют, например, лак АД-9103ИС, предназначенный для производства пленок и фольгированных диэлектриков. Данный лак имеет высокую вязкость и более высокую стойкость к кислотам, используемым при производстве изделий из данных материалов.

Перед нанесением лак АД-9103ИС доводят до нужной рабочей вязкости растворителем – диметилформамидом. Сушку нанесенного лака проводят в сушильной камере, обогреваемой потоком горячего воздуха или другого газа (теплоносителя) от калорифера, при плавном постепенном ступенчатом повышении температуры от комнатной до 100 °С.

Термообработка полученного фольгированного диэлектрика осуществляется для достижения степени полимеризации (имидизации) нанесенной лаковой пленки до

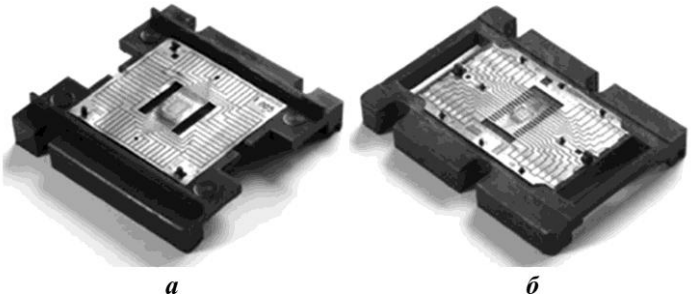
95–100 %. Для этого металлическую фольгу со сформированным полиимидным покрытием наматывают в рулон вместе с прокладочной полимерной лентой коррекса. Между ней и фольгированным диэлектриком создается зазор не менее 2 мм по всему рулону. Это обеспечивает равномерную и одновременную температурную обработку и удаление паров растворителя и воды.

При термообработке намотанный рулон помещают в вакуумные сушильные камеры или вакуумные печи, проводят предварительную ступенчатую сушку при температурах от 120 до 230 °С для достижения степени полимеризации полиимидного покрытия 60–70 %, после чего осуществляют окончательную сушку при температуре 295–350 °С практически до полной степени полимеризации. При термообработке одновременно происходит отжиг алюминиевого слоя, вследствие чего он становится мягким и пластичным, следовательно улучшается свариваемость выводов у изготавливаемых изделий. После остывания обрезают края диэлектрика (при необходимости) и проверяют его качества на соответствие требованиям технических условий на материал.

Высокие качественные характеристики фольгированных диэлектриков, изготавливаемых по разработанной технологии, достигаются за счет:

- проведения очистки, обезжиривания фольги и обдува для улучшения адгезии к ней полиимидной пленки;
- предварительной фильтрации полиимидного лака для удаления примесей и пузырьков воздуха;
- обеспечения равномерной и одновременной температурной обработки всего рулона диэлектрика, намотанного вместе с лентой коррекса, с целью гарантированной равномерности степени имидизации и отжига алюминия для улучшения его свариваемости;
- проведения термообработки в вакуумной камере или печи;
- доведения степени имидизации полиимидной пленки до 95–100 %.

В НПП «Поликом» организован серийный выпуск ряда лакофольговых диэлектриков (ФДИ-А24, ФДИ-А40 и др.) с разной толщиной фольги: алюминиевой – 10, 14, 20, 25 и 30 мкм, никелевой – 7 мкм (ЭФН-7), медной – 18, 35 и 50 мкм (ДЛ–ПМ), никелевого сплава 79НМ – 10 мкм (ФДИ-Р1). На все перечисленные материалы выпущены технические условия. Данные материалы используются для изготовления гибких полиимидных носителей, шлейфов, микрокабелей, мембран акустических преобразователей, терморезисторов, нагревательных элементов и других изделий.



а ***б***

Рис.3. Серийно выпускаемые микросхемы на гибком полиимидном носителе с количеством выводов 64 (*а*) и до 48 (*б*)

Fig.3. Commercially available chips on flexible carrier with 64 outputs (*a*), with 48 outputs (*b*)

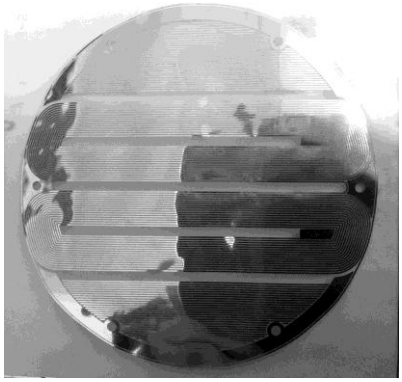


Рис.4. Мембрана акустического преобразователя для наушников, изготовленная из безадгезивного фольгированного диэлектрика на полиимидной основе
Fig.4. The headphone acoustic transform membrane made of non-adhesive foiled dielectric with polyimide base

С использованием лакофольгового диэлектрика ФДИ-А50 разработаны и серийно выпускаются 19 типов (более 200 типономиналов) высоконадежных [18] микросхем (рис.3) на гибком полиимидном носителе (модификация 2), которые применяются в микроэлектронной аппаратуре преимущественно специального назначения [19].

НПП «Поликом» на основе лакофольговых диэлектриков ФДИ-А24 и ФДИ-А40 серийно выпускает мембраны акустических преобразователей [6] для изготовления высококачественных широкополосных изодинамических акустических систем и излучателей для головных телефонов, как изодинамических, так и ортодинамических (рис.4).

Заключение. Лакофольговые диэлектрики имеют существенные преимущества перед фольгированными диэлектриками, поскольку изготавливаются без использования адгезивов. Рассмотренная технология позволяет осуществлять серийный выпуск безадгезивных фольгированных диэлектриков с высокими качественными характеристиками. Полиимидное основание диэлектриков имеет высокую адгезию к фольге и гарантированную равномерность степени имидизации 95–100 %. Этим обеспечиваются стабильность технологических режимов в процессе изготовления изделий из данных материалов, а также повышение срока хранения лакофольговых диэлектриков до 12 месяцев.

Литература

1. ***Медведев А.М.*** Материалы для гибких печатных плат // Технологии в электронной промышленности. 2011. №3. С. 12–19.

2. ***Гуськов Г.Я., Блинов Г.А., Газаров А.А.*** Монтаж микроэлектронной аппаратуры. М.: Радио и связь, 1986. 176 с.

3. Микроэлектронная аппаратура на бескорпусных интегральных микросхемах / ***И.Н. Важенин, Г.А. Блинов, Л.А. Коледов и др.*** М.: Радио и связь, 1985. 264 с.

4. URL: http//www.gts–flexible.co.uk//GTS Flexible Materials Ltd.: gts flexible.com (дата обращения: 20.04.2020).

5. ГОСТ Р 8.625-2006. Государственная система обеспечения единства измерений. Термометры сопротивления из платины, меди и никеля. Общие технические требования и методы испытаний. М.: Стандартинформ, 2007. С. 27 с.

6. ***Гасанов М.*** Изодинамические излучатели PAD // Автозвук. 2008. Октябрь.

7. Polyimide Tape & Film. URL: http://www.cgstape.com//Specialize (дата обращения: 20.04.2020).

8. ***Воробьев А.В., Жора В.Д.*** Гибкие фольгированные диэлектрики: классификация и анализ направлений применения и совершенствования // Технология и конструирование в электронной аппаратуре. 2014. №4. С. 56–61.

9. URL: https://pkf-elektroplast.com.ua/a386255-folgirovannye-dielektriki-raznoobrazie.html (дата обращения: 20.04.2020).

10. ***Воробьев В.Н., Воробьев А.В.*** Способ получения гибкого лакофальгового полиимидного материала // Патент России № 2240921. 2004.

11. Светодиодные модули на основе алюминиевой «chip on flex» (COF) технологии / ***В.Н. Борщев, А.М. Листратенко, В.А. Антонова и др.*** // Світлотехніка та електроенергетика. 2008. №4. С. 31–37.

12. ***Бессонов М.И., Котон М.М., Кудрявцев В.В., Лайус Л.А***. Полиимиды – класс термостойких полимеров. Л.: Наука, 1983. 328 с.

13. ***Баширов А., Морозов В.*** Монтаж микросхем на гибком носителе – дань прошлому или приближение будущего? // Печатный монтаж. 2007. Вып.5.

14. Влияние конструктивно-технологических факторов на динамику усадки гибких носителей для ИС. / ***В.Д. Жора, А.Г. Шеревеня, З.А. Сергиенко и др.*** // Электронная техника. Сер. 7. ТОПО. 1991. Вып. 2(165). С. 40–45.

15. Сравнительный анализ методов сборки микросхем на гибких полиимидных носителях / ***В.Г. Вербицкий, Н.И. Плис, В.Д. Жора и др.*** // Технология и конструирование в электронной аппаратуре. 2013. Вып. 5. С. 37–41.

16. ***Тагер А.А.*** Физико-химия полимеров. М.: Химия, 1968. 536 с.

17. Комплексный подход к выбору конструктивно-технологических решений гибко-жестких однодетекторных модулей для комптоновской медицинской томографии / ***В.Н. Борщов, В.А. Антонова, М.А. Проценко и др.*** // Сб. материалов Междунар. конф. «Инженерия сцинтилляционных материалов и радиационных технологий». Харьков: ИСМА, 2009. С. 111–127.

18. URL: https://www.angstrem.ru/ru/solutions/mikroelektronika-vysokoy-stoykosti (дата обращения: 20.04.2020).

19. URL: https://angstrem.ru/ru/manufacture/sborochnoe-proizvodstvo (дата обращения: 20.04.2020).

Поступила в редакцию 30.04.2020 г.; после доработки 30.04.2020 г.; принята к публикации 22.09.2020 г.

Воробьев Андрей Валерьевич – генеральный директор ООО «Научно-производственное предприятие «Поликом» (Россия, 143430, Московская обл., Красногорский р-н, р.п. Нахабино, ул. Красноармейская, 4, оф. 67), polycom_mail@yahoo.com

Жора Владимир Дмитриевич – кандидат технических наук, заместитель начальника отдела ГП «НИИ микроприборов» НТК «ИМК» НАН Украины (Украина, 04136, г. Киев, ул. Пивнично-Сырецкая, 3), vdzhora@gmail.com

Плис Николай Иванович – первый заместитель генерального директора АО «Ангстрем» (Россия, 124460, г. Москва, г. Зеленоград, пл. Шокина, 2, стр. 3), plis@angstrem.ru

Тимошенков Сергей Петрович – доктор технических наук, профессор, директор Института нано- и микросистемной техники Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, 1), spt@miee.ru

References

1. Medvedev A.M. Materials for flexible printed circuit boards. *Technologii v electronnoy promyshlennosti = Technologies in Electronic Industry.* 2011, no. 3, pp. 12–19. (in Russian).

2. Guskov G. Ya., Blinov G.A., Gazarov A.A. *Installation of microelectronic equipment*. Moscow, Radio i svyaz Publ., 1986. 176 p. (in Russian).

3. Vazhenin I.N., Blinov G.A., Koledov L.A. et al. *Microelectronic equipment based on integrated housing integrated circuits.* Moscow, Radio i svyaz Publ., 1985. 264 p. (in Russian).

4. Available at: http//www.gts–flexible.co.uk//GTS Flexible Materials Ltd.: gts flexible.com (accessed: 20.04.2020).

5. *GOST R 8.625-2006. State system for ensuring the uniformity of measurements. Resistance thermometers made of platinum, copper and Nickel. General technical requirements and test methods*. Moscow, Standartinform Publ., 2007. 27 p. (in Russian).

6. Hasanov M. *Isodynamic emitters PAD*. *Avtozvuk = Auto Sound*. 2008. October. (in Russian).

7. Polyimide Tape & Film. Available at: http://www.cgstape.com//Specialize (accessed: 20.04.2020).

8. Vorobyev A.V., Zhora V.D. Flexible foiled dielectrics: classification and analisys of wais for application and improvement. *Tekhnologiya i konstruirovanie v elektronnoi apparature = Technology and design in electronic equipment,* 2014, no. 4, pp. 56–61. (in Russian).

9. Available at: https://pkf-elektroplast.com.ua/a386255-folgirovannye-dielektriki-raznoobrazie.html (accessed: 20.04.2020).

10. Vorobyev V.N., Vorobyev A.V. *A method for producing a flexible polyimide material glacialpower*. Patent Russian no. 2240921, 2004. (in Russian).

11. Borshchev V.N., Listratenko O.M., Antonova V.A., Protsenko M.A., Tymchuk I.T., Kostyshyn Y.Y. LED modules on the basis of aluminium «Chip on flex» (COF) technique. *Svitlotekhnika ta elektroenergetika*, 2008, no. 4, pp. 31–37. (in Ukraine).

12. Bessonov M.I., Koton M.M., Kudryavtsev V.V., Laius L.A. *Polyimides – a class of heat-resistant polymers*. Leningrad, Nauka Publ., 1983. 328 p. (in Russian).

13. Bashirov A., Morozov V. Installation of microcircuits on a flexible carrier - a tribute to the past or an approaching future? *Pechatny montazh = Printed Wiring*, 2007, iss. 5. (in Russian).

14. Zhora V.D., Sherevenya A.G., Sergienko S.A. et al. The influence of structural and technological factors on the dynamics of shrinkage of flexible media for IC. *E`lektronnaya texnika. Seriya 7: texnologiya, organizaciya proizvodstva i oborudovanie = Electronics. Series 7: technology, production organization and equipment*, 1991, iss. 2(165), pp. 40–45. (in Russian).

15. Verbitskiy V.G., Plis N.I., Zhora V.D. et al. Comparative analysis of methods for the microcircuit assembly on flexible polyimide carriers. *Tekhnologiya i konstruirovanie v elektronnoi apparature = Technology and design in electronic equipment*, 2013, no. 5, pp. 37–41. (in Russian).

16. Tager A.A. *Physical chemistry of polymers*. Moscow, Chemistry Publ., 1968. 536 p. (in Russian).

17. Borshchev V.N., Antonova V.A., Listratenko A.M. et al. An integrated approach to the selection of structurally-technological solutions of flexible-rigid single-detector modules for Compton medical tomography. *Proceedings of the International Conference «Ingineering of Scintillation Materials and Radiation Technologies»*. Kharkov, ISMA Publ., 2009, pp. 111–127. (in Russian).

18. Available at: https://www.angstrem.ru/ru/solutions/mikroelektronika-vysokoy-stoykosti (accessed: 20.04.2020). (in Russian).

19. Available at: https://angstrem.ru/ru/manufacture/sborochnoe-proizvodstvo (accessed: 20.04.2020). (in Russian).

Received 30.04.2020; Revised 30.04.2020; Accepted 22.09.2020.

Information about the authors:

Andrey V. Vorobyov – General Manager of the SMO «POLYCOM» LTD (Russia, 143430, Moscow region, Krasnogorsky distr., Nakhabino, Krasnoarmeyskaya st., 4, of. 67), polycom_mail@yahoo.com

Vladimir D. Zhora – Cand. Sci. (Eng.), Deputy Head of Department, State Enterprise «Research Institute of Microdevices» STC «IMK» NAS Ukraine (Ukraine, 04136, Kiev, Pivnichno-Syretskaya st., 3), vdzhora@gmail.com

Nikolay I. Plis – First Deputy General Director of JSC «Angstrem» (Russia, 124460, Moscow, Zelenograd, Shokin sq., 2, bl. 3), plis@angstrem.ru

Sergey P. Timoshenkov – Dr. Sci. (Eng.) Prof., Director of the Institute of Nano- and Microsystem Technology, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), spt@miee.ru

Информация для читателей журнала
«Известия высших учебных заведений. Электроника»

Полные тексты статей журнала с 2009 по 2020 гг. доступны на сайтах Научной электронной библиотеки: www.elibrary.ru и журнала «Известия высших учебных заведений. Электроника»: http://ivuz-e.ru

ЭЛЕМЕНТЫ ИНТЕГРАЛЬНОЙ ЭЛЕКТРОНИКИ
INTEGRATED ELECTRONICS ELEMENTS

УДК 621.382.3:537.226 **DOI: 10.24151/1561-5405-2020-25-6-517-524**

Анализ механизмов деградации подзатворных диэлектриков на основе SiO_2 в МОП-транзисторах

***Д.А. Елисеева*[1,2], *С.О. Сафонов*[2]**

[1]*Национальный исследовательский университет «МИЭТ», г. Москва, Россия*
[2]*ООО «НМ-Тех», г. Москва, Россия*

xoma2525@mail.ru

Разработанные на сегодняшний день математические модели, описывающие механизм деградации подзатворного диэлектрика, позволяют определить значение времени наработки до отказа устройства в зависимости от его внутренних свойств и условий эксплуатации. Данные модели существенно снижают временные и материальные затраты на проведение тестирования и обработку больших массивов экспериментальных данных. В работе проведено исследование подзатворных диэлектриков на основе SiO_2 в *n*- и *p*-канальных МОП-транзисторах. Выявлено, что при воздействии электрическим полем на подзатворный диэлектрик толщиной 5,3 нм деградация наиболее вероятно происходит согласно термохимической модели (*E*-модели), а толщиной 7 нм – согласно модели анодной инжекции дырок (1/*E*-модели). Рассчитаны коэффициенты и проведен анализ математических моделей, позволяющих определить срок службы подзатворных диэлектриков на основе SiO_2 толщиной 7 нм в *n*- и *p*-канальных МОП-транзисторах и толщиной 5,3 нм в *n*-канальных МОП-транзисторах, при разных значениях их площади, рабочего напряжения и температуры. Данное исследование может служить методом контроля и определения качества подзатворных диэлектриков изготавливаемых МОП-транзисторов.

Ключевые слова: МОП-транзистор; подзатворный диэлектрик; надежность; времязависимый отказ

Для цитирования: Елисеева Д.А., Сафонов С.О. Анализ механизмов деградации подзатворных диэлектриков на основе SiO_2 в МОП-транзисторах // Изв. вузов. Электроника. 2020. Т. 25. № 6. С. 517–524. DOI: 10.24151/1561-5405-2020-25-6-517-524

© Д.А. Елисеева, С.О. Сафонов, 2020

Analysis of Degradation Mechanisms of Gate Dielectrics Based on SiO_2 in MOS Transistors

***D.A. Eliseeva*[1,2], *S.O. Safonov*[2]**

[1]*National Research University of Electronic Technology, Moscow, Russia*
[2]*OOO «NM-Tekh», Moscow, Russia*

xoma2525@mail.ru

Abstract: Nowadays, the developed mathematical models, describing the degradation mechanism of the gate dielectric, permit to determine the value of the operating time to failure of a device depending on its internal properties and operating conditions. These models significantly reduce the time and material required for performing testing and processing of large amounts of experimental data. In the paper the gate dielectric gates based on SiO_2 in *n*-and *p*-channel MOS transistors have been studied. It has been found that under the impact of the electric field the degradation of the gate dielectric with 5.3 nm thickness most likely occurs according to the thermochemical model (*E*-model) and in case with 7 nm thickness dielectric– in accordance with the anode hole injection model (1/*E*-model). The coefficients have been calculated and the analysis of the mathematical models, permitting to determine the service life gate dielectrics based on SiO_2 with 7 nm thickness in *n*- and *p*-channel MOS transistors for different values, of their area, operating voltage and temperature, has been performed. This study can serve as a method for monitoring and determining the quality of the gate dielectrics of manufactured MOS transistors.

Keywords: MOS transistor; gate dielectric; reliability; time dependent dielectric breakdown

For citation: Eliseeva D.A., Safonov S.O. Analysis of degradation mechanisms of gate dielectrics based on SiO_2 in MOS transistors. *Univ. Electronics*, 2020, vol. 25, no. 6, pp. 517–524. DOI: 10.24151/1561-5405-2020-25-6-517-524

Введение. Следствием масштабирования размеров МОП-транзисторов является уменьшение толщины подзатворного диэлектрика, из-за чего его надежность стала одним из основных ограничивающих факторов при проектировании схем. Создание точной универсальной модели, позволяющей описать механизм пробоя подзатворных диэлектриков МОП-транзисторов и спрогнозировать срок службы устройства, – актуальная задача. Под действием электрического поля в объеме оксида и на границе раздела оксид/кремний непрерывно генерируются структурные дефекты. Как следствие, свойства оксида ухудшаются до тех пор, пока не наступает диэлектрический пробой.

Молекулярная природа дефектов, которые вызывают окончательный пробой оксида, точно не известна, но их влияние на его электрические свойства могут быть описаны несколькими математическими моделями: термохимической [1–4], анодной инжекции дырок [1, 5, 6] и высвобождения водорода [1, 5–9]. Им соответствуют экспоненциальная, обратная экспоненциальная и степенная зависимости времени наработки до отказа от электрического поля в оксиде, что подтверждается многочисленными экспериментами, проводимыми в последние десятилетия. Кроме того, известно, что

пробой диэлектрика – термически активируемый процесс. Когда на транзистор воздействуют только высокой температурой, обычно деградация оксида происходит согласно модели Аррениуса, дающей прогноз, что скорость процесса деградации увеличивается экспоненциально с ростом температуры [10–13].

Расчет срока службы подзатворного диэлектрика. В зависимости от того, какой математической моделью описывается деградация подзатворного диэлектрика при воздействии электрическим полем, и с учетом независимого влияния таких факторов, как температура и площадь структуры, срок службы EOL подзатворного диэлектрика МОП-транзистора можно рассчитать по следующим формулам:

– в случае экспоненциальной модели (*E*-модели)

$$EOL_1 = B\left(\frac{1}{A}\right)^b \cdot \exp\left(-\gamma_v V_з\right) \cdot \exp\left(\frac{E_a}{kT}\right), \quad (1)$$

где B – коэффициент, зависящий от технологии изготовления транзистора; A – площадь подзатворного диэлектрика; b – коэффициент, равный обратному значению параметра формы распределения Вейбулла; γ_v – коэффициент, характеризующий электрическую прочность диэлектрика; $V_з$ – напряжение, прикладываемое к затвору; E_a – энергия активации процесса деградации; k – постоянная Больцмана; T – температура;

– в случае обратной экспоненциальной модели (1/*E*-модели)

$$EOL_2 = B\left(\frac{1}{A}\right)^b \cdot \exp\left(\frac{C}{V_з}\right) \cdot \exp\left(\frac{E_a}{kT}\right), \quad (2)$$

где C – коэффициент, характеризующий полевую зависимость туннельного тока Фаулера – Нордхейма и вероятность туннелирования дырок;

– в случае степенной модели

$$EOL_3 = B\left(\frac{1}{A}\right)^b V_з^{-n} \cdot \exp\left(\frac{E_a}{kT}\right), \quad (3)$$

где n – коэффициент, характеризующий скорость деградации при воздействии напряжения.

Общепринятые международные стандарты [14, 15] дают рекомендации по использованию моделей деградации в зависимости от толщины диэлектрика и типа проводимости транзистора. Однако данные стандарты не гарантируют точности расчета, поскольку в зависимости от технологии формирования подзатворного диэлектрика возможно преобладание тех или иных механизмов деградации.

Эксперимент. Исследование направлено на определение моделей деградации подзатворного диэлектрика на основе SiO_2 для *n*- и *p*-канальных МОП-транзисторов, изготовленных по технологии 250 нм, и поиск их коэффициентов. Рабочий номинал напряжений транзисторов составляет 2,5 и 3,3 В, толщина подзатворных оксидов равна 5,3 и 7 нм соответственно. Эксперименты выполнены с использованием полуавтоматической зондовой станции Summit 12000 и анализатора полупроводниковых приборов Agilent B1500. Проведены испытания на времязависимый отказ (TDDB), что подразумевает воздействие на образец постоянной повышенной температурой и напряжением. Полученные экспериментальные данные обработаны в соответствии с распределением Вейбулла.

Деградация подзатворного диэлектрика толщиной 7 нм происходит, вероятнее всего, в соответствии с 1/*E*-моделью (2) независимо от типа проводимости транзистора. На рис.1,*а*,*б* показаны зависимости времени наработки до отказа t_{bd} от величины, обратной напряжению на затворе МОП-транзистора, при котором происходит пробой диэлектрика $1/V_{bd}$. Согласно 1/*E*-модели основным механизмом деградации является возбуждение туннельными электронами поверхностных плазмонов на границе раздела с анодом, которые затем распадаются с образованием электронно-дырочных пар. Часть сгенерированных горячих дырок инжектируется в диэлектрик, что приводит к образованию ловушек, при достижении критического числа которых происходит пробой [1, 5].

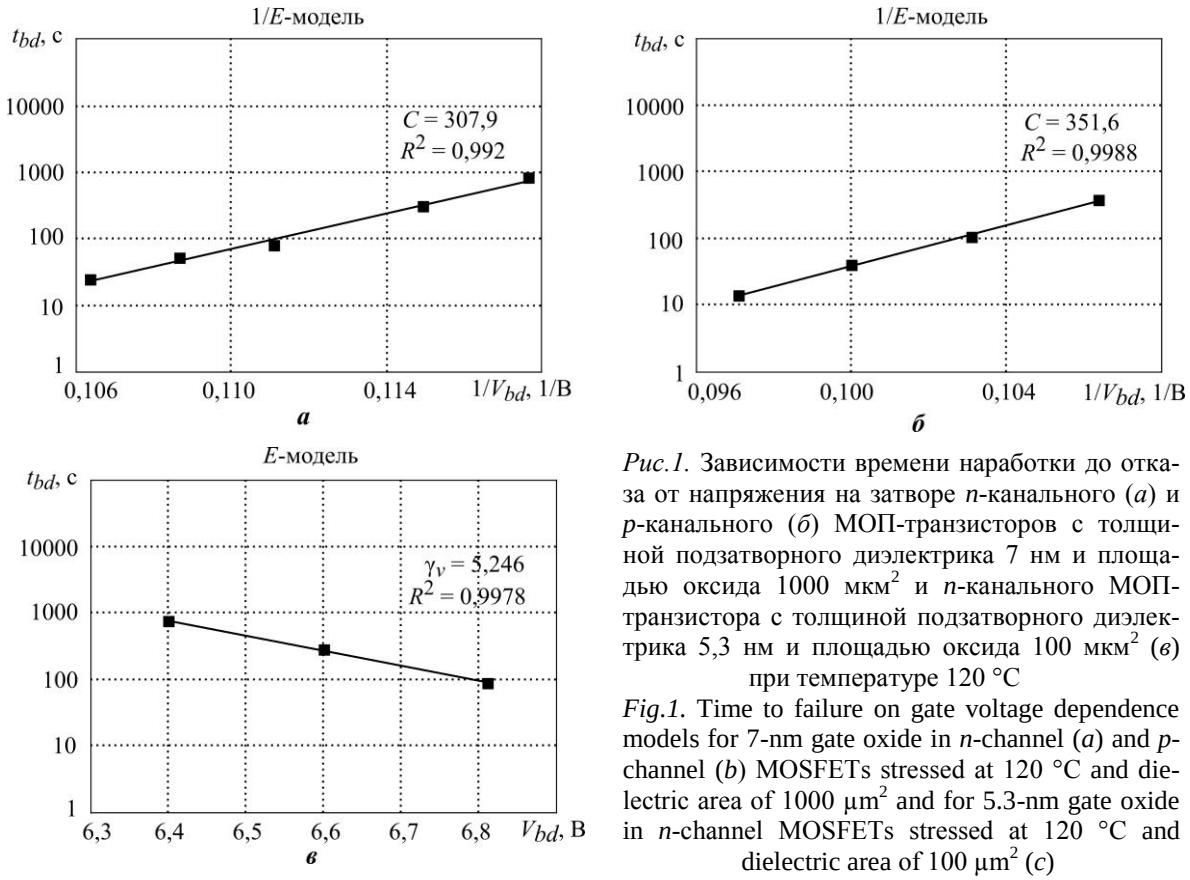


Рис.1. Зависимости времени наработки до отказа от напряжения на затворе *n*-канального (*а*) и *p*-канального (*б*) МОП-транзисторов с толщиной подзатворного диэлектрика 7 нм и площадью оксида 1000 мкм^2 и *n*-канального МОП-транзистора с толщиной подзатворного диэлектрика 5,3 нм и площадью оксида 100 мкм^2 (*в*) при температуре 120 °С

Fig.1. Time to failure on gate voltage dependence models for 7-nm gate oxide in *n*-channel (*a*) and *p*-channel (*b*) MOSFETs stressed at 120 °C and dielectric area of 1000 μm^2 and for 5.3-nm gate oxide in *n*-channel MOSFETs stressed at 120 °C and dielectric area of 100 μm^2 (*c*)

Для описания деградации подзатворного диэлектрика толщиной 5,3 нм наиболее подходит *E*-модель (1) (рис.1,*в*). В этом случае основным механизмом деградации является разрыв связей Si−Si в молекулярных дефектах $O_3{\equiv}Si{-}Si{\equiv}O_3$ при воздействии электрическим полем с последующей усиленной генерацией дефектов. При достижении критического числа нарушенных связей Si−Si происходит пробой диэлектрика [1–3].

Выбор математической модели основан на наибольшем значении коэффициента аппроксимации экспериментальных данных. Для расчета процента отказов использовано приближение Бернанда. Согласно стандарту [16] для построения аппроксимирующих прямых в каждом из проведенных экспериментов необходимо использовать не менее трех различных значений напряжения на затворе, превышающих рабочий номинал. С целью повышения достоверности полученных коэффициентов в случае диэлектрика толщиной 7 нм принято решение увеличить количество точек значений напряжений.

Увеличение выборки для каждого условия испытаний и уточнение полученных коэффициентов математических моделей деградации – цель последующих исследований.

Предварительно проведен дополнительный эксперимент – тестирование рассматриваемых транзисторов на времязависимый отказ при идентичных стрессовых условиях и площади оксида. Полученные в ходе испытаний распределения Вейбулла плотности накопленного предпробойного заряда отличаются, в частности, наклоном распределения в случае диэлектриков толщиной 5,3 и 7 нм. Это свидетельствует о разных преобладающих механизмах деградации.

Для получения математических моделей, позволяющих рассчитать срок службы МОП-транзисторов с исследуемыми диэлектриками, и определения коэффициентов этих моделей проведены ускоренные испытания при следующих стрессовых условиях: разном напряжении при одинаковых значениях температуры и площади оксида (см. рис.1), разной температуре нагрева при одинаковых значениях напряжения и площади оксида (рис.2,*а*), разной площади оксида при одинаковых значениях напряжения и температуры (рис.2,*б*).

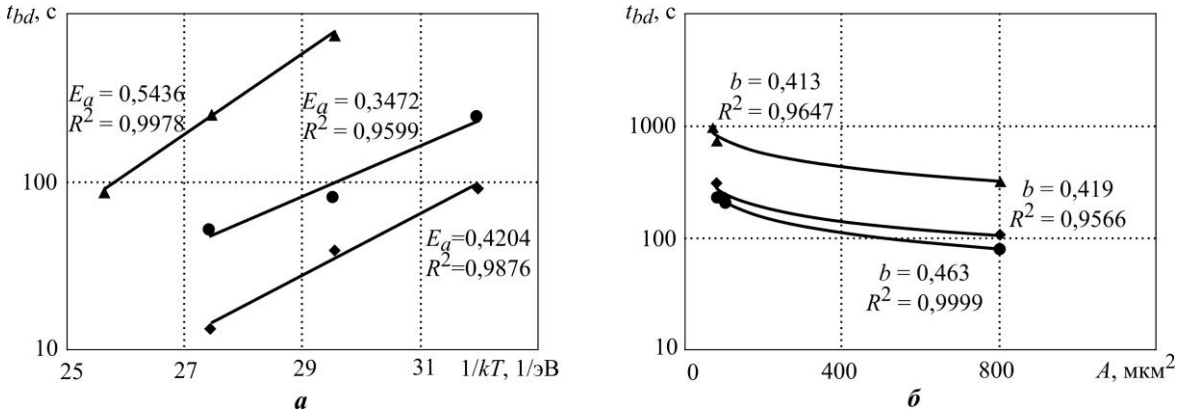


Рис.2. Зависимости времени наработки до отказа от температуры (*а*) и от площади оксида (*б*): ●, ♦ – соответственно подзатворный диэлектрик толщиной 7 нм *n*-канального и *p*-канального МОП-транзисторов; ▲ – подзатворный диэлектрик толщиной 5,3 нм *n*-канального МОП-транзистора

Fig.2. Temperature (*a*) and area (*b*) dependences of time to failure for: ● – 7-nm gate oxide *n*-channel MOSFET; ♦ – 7-nm gate oxide *p*-channel MOSFET; ▲ – 5.3-nm gate oxide *n*-channel MOSFET

Путем анализа экспериментальных данных найдены коэффициенты математических моделей, согласно которым при разных значениях площади, рабочего напряжения и температуры можно рассчитать срок службы подзатворных диэлектриков МОП-транзисторов. Значения коэффициентов моделей прогноза надежности подзатворных диэлектриков толщиной 5,3 и 7 нм на основе SiO_2 в *n*- и *p*-канальных МОП-транзисторах представлены в таблице.

Значения коэффициентов моделей прогноза надежности исследуемых подзатворных диэлектриков

Values of the coefficients of reliability prediction models

Толщина диэлектрика, нм	Тип проводимости транзистора	*B*, с	*b*	γ_v, 1/В	E_a, эВ	*C*, В
5,3	*n*-канальный	$2{,}282\cdot10^{11}$	0,413	5,246	0,5436	—
7	*n*-канальный	$9{,}776\cdot10^{-17}$	0,463	–	0,3472	307,9
	p-канальный	$1{,}569\cdot10^{-18}$	0,419	–	0,4204	351,6

Общепринятое значение требуемого срока службы интегральной схемы составляет порядка 10^5 ч [1, 17]. При температуре 125 °С, напряжении на затворе 2,75 В и площади готового устройства 10 мм^2 срок службы МОП-транзистора с толщиной подзатворного диэлектрика 5,3 нм составляет:

$$EOL^{5{,}3\ \text{нм},n} \approx 1{,}2 \cdot 10^5 > 10^5\ \text{ч}.$$

При температуре 125 °С, напряжении на затворе 3,63 В и площади готового устройства 10 мм^2 согласно полученным моделям срок службы МОП-транзистора с толщиной подзатворного диэлектрика 7 нм составляет:

$$EOL^{7\ \text{нм},n} \approx 9 \cdot 10^{17} >> 10^5\ \text{ч},$$

$$EOL^{7\ \text{нм},p} \approx 5 \cdot 10^{22} >> 10^5\ \text{ч}.$$

Из полученных результатов следует, что выбор модели оказывает значительное влияние на прогноз срока службы устройства наряду с фактором роста надежности с увеличением толщины подзатворного диэлектрика.

Заключение. В ходе проведенных экспериментов определено, что деградация подзатворного диэлектрика на основе SiO_2 толщиной 5,3 нм при воздействии электрическим полем протекает согласно экспоненциальной модели, толщиной 7 нм – в соответствии с обратной экспоненциальной моделью. Полученные коэффициенты математических моделей позволяют рассчитать срок службы подзатворных диэлектриков толщиной 5,3 нм в случае *n*-канального МОП-транзистора и толщиной 7 нм в случае *n*- и *p*-канального МОП-транзисторов при разных значениях их площади, рабочего напряжения и температуры. Рассчитанные значения срока службы подзатворных диэлектриков на основе SiO_2 превышают требуемое значение, равное 10^5 ч.

Литература

1. Reliability wearout mechanisms in advanced CMOS technologies / ***A. Strong, E. Wu, R. Vollertsen et al.*** // IEEE Press Series on Microelectronic Systems. 2009. P. 209–330.

2. ***White M., Bernstein J.*** Microelectronics reliability: physics-of-failure based modeling and lifetime evaluation // NEPP Program Office of Safety and Mission Assurance. 2008. 210 p.

3. ***Wu B.*** Time dependent breakdown of gate oxide and prediction of oxide gate lifetime. San Francisco State University, 2012. 42 p.

4. ***McPherson J., Kim J., Shanware A., Mogul H.C.*** Thermochemical description of dielectric breakdown in high dielectric constant materials // Applied Physics Letters. 2003. Vol. 82. No. 13. P. 2121–2123.

5. ***Borja J.P., Plawsky J.L., Lu T.*** Dielectric breakdown in gigascale electronics // SpringerBriefs in Materials. 2016. P. 11–19.

6. Interplay of voltage and temperature acceleration of oxide breakdown for ultra-thin gate oxides / ***E. Wu, J. Suñé, W.L. Lai et al.*** // Solid-State Electronics. 2002. Vol. 46. P. 1787–1798.

7. ***Wu E.*** Comprehensive physics-based breakdown model for reliability assessment of oxides with thickness ranging from 1 nm up to 12 nm // 47th Annual International Reliability Physics Symposium (Montreal, 2009). 2009. P. 708–717.

8. ***Wu E., Suñé J.*** Towards a viable TDDB reliability assessment methodology: from breakdown physics to circuit failure // IEEE Proceedings of 16th IPFA (China, 2009). 2009. P. 1–8.

9. ***Choudhury M., Chandra V., Mohanram K.*** Analytical model for TDDB-based performance degradation in combinational logic // Department of Electrical and Computer Engineering. Rice University. 2010. P. 1–6.

10. Temperature-accelerated dielectric breakdown in ultrathin gate oxides / ***C.Y. Chen, C.Y. Chang, C.H. Chien et al.*** // Applied Physics Letters. 1999. Vol. 74. No. 24. P. 3708–3710.

11. Interplay of voltage and temperature acceleration of oxide breakdown for ultra-thin gate oxides / ***E. Wu, J. Suñé, W.L. Lai et al.*** // Solid-State Electronics. 2002. Vol. 46. P. 1787–1798.

12. ***Wu E., Suñé J., LaRow C., Dufresne R.*** Temperature dependence of TDDB voltage acceleration in high-κ/SiO_2 bilayers and SiO_2 gate dielectrics // IEEE International Electron Devices Meeting. 2012. P. 28.5.1–28.5.4.

13. ***Rosenbaum E., King J.C., Hu C.*** Accelerated testing of SiO_2 reliability // IEEE Trans. Electron Devices. 1996. Vol. 43(1). P. 70–80.

14. JEDEC Standard JEP122H. Failure mechanisms and models for semiconductor devices. September 2016. 114 p.

15. JEDEC Standard JESD92. Procedure for characterizing time-dependent dielectric breakdown of ultra-thin gate dielectrics. August 2003. 32 p.

16. JEDEC Standard JEP001-2A. Foundry process qualification guidelines – front end transistor level. September 2018. 36 p.

17. ***Строгонов А.В.*** Оценка долговечности БИС по результатам ускоренных испытаний // Технологии в электронной промышленности. 2007. №3. С. 90–96.

Поступила в редакцию 04.05.2020 г.; после доработки 31.08.2020 г.; принята к публикации 22.09.2020 г.

Елисеева Дарья Андреевна – студентка Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, 1), инженер-технолог лаборатории надежности процессов и приборов ООО «НМ-Тех» (Россия, 124527, г. Москва, г. Зеленоград, Солнечная аллея, 6), xoma2525@mail.ru

Сафонов Сергей Олегович – кандидат технических наук, начальник лаборатории надежности процессов и приборов ООО «НМ-Тех» (Россия, 124527, г. Москва, г. Зеленоград, Солнечная аллея, 6), safonov.sergey1987@gmail.com

References

1. Strong A., Wu E., Vollertsen R. et al. Reliability wearout mechanisms in advanced CMOS technologies. *IEEE Press Series on Microelectronic Systems*, 2009, pp. 209–330.

2. White M., Bernstein J. Microelectronics reliability: physics-of-failure based modeling and lifetime evaluation. *NEPP Program Office of Safety and Mission Assurance*, 2008, 210 p.

3. Wu B. *Time dependent breakdown of gate oxide and prediction of oxide gate lifetime*. San Francisco State University, 2012, 42 p.

4. McPherson J., Kim J., Shanware A., Mogul H.C. Thermochemical description of dielectric breakdown in high dielectric constant materials. *Applied Physics Letters*, 2003, vol. 82, no. 13, pp. 2121–2123.

5. Borja J. P., Plawsky J. L., Lu T. Dielectric breakdown in gigascale electronics. *SpringerBriefs in Materials*, 2016, pp. 11–19.

6. Wu E., Suñé J., Lai W. L. et al. Interplay of voltage and temperature acceleration of oxide breakdown for ultra-thin gate oxides. *Solid-State Electronic*, 2002, vol. 46, pp. 1787–1798.

7. Wu E. Comprehensive physics-based breakdown model for reliability assessment of oxides with thickness ranging from 1 nm up to 12 nm. *47th Annual International Reliability Physics Symposium, Montreal*, 2009, pp. 708–717.

8. Wu E., Suñé J. Towards a viable TDDB reliability assessment methodology: from breakdown physics to circuit failure. *IEEE Proceedings of 16th IPFA, China*, 2009, pp. 1–8.

9. Choudhury M., Chandra V., Mohanram K. Analytical model for TDDB-based performance degradation in combinational logic. *Department of Electrical and Computer Engineering, Rice University*, 2010, pp. 1–6.

10. Chen C.Y., Chang C.Y., Chien C.H. et al. Temperature-accelerated dielectric breakdown in ultrathin gate oxides. *Applied Physics Letters*, 1999, vol. 74, no. 24, pp. 3708–3710.

11. Wu E., Suñé J., Lai W.L. et al. Interplay of voltage and temperature acceleration of oxide breakdown for ultra-thin gate oxides. *Solid-State Electronics*, 2002, vol. 46, pp. 1787–1798.

12. Wu E., Suñé J., LaRow C., Dufresne R. Temperature dependence of TDDB voltage acceleration in high-κ/ SiO_2 bilayers and SiO_2 gate dielectrics. *IEEE International Electron Devices Meeting*, 2012, pp. 28.5.1–28.5.4.

13. Rosenbaum E., King J.C., Hu C. Accelerated testing of SiO_2 reliability. *IEEE Trans. Electron Devices*, 1996, vol. 43(1), pp. 70–80.

14. JEDEC Standard JEP122H. *Failure mechanisms and models for semiconductor devices*. 2016. September. 114 p.

15. JEDEC Standard JESD92. *Procedure for characterizing time-dependent dielectric breakdown of ultra-thin gate dielectrics*. 2003. August. 32 p.

16. JEDEC Standard JEP001-2A. *Foundry process qualification guidelines – front end transistor level*. 2018. September. 36 p.

17. Strogonov A.V. LSI longevity assessment based on accelerated test results. *Tekhnologii v ehlektronnoj promyshlennosti = Technologies in Electronic Industry*, 2007, no. 3, pp. 90–96. (in Russian).

Received 04.05.2020; Revised 31.08.2020; Accepted 22.09.2020.

Information about the authors:

Daria A. Eliseeva – Student of the National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), Process Engineer of the Laboratory of Processes and Instruments Reliability, OOO «NM-Tekh» (Russia, 124527, Moscow, Zelenograd, Solnechnaya alleya, 6), xoma2525@mail.ru

Sergey O. Safonov – Cand. Sci. (Eng.), Head of the Laboratory of Processes and Instruments Reliability, OOO «NM-Tekh» (Russia, 124527, Moscow, Zelenograd, Solnechnaya alleya, 6), safonov.sergey1987@gmail.com

Вниманию читателей журнала
«Известия высших учебных заведений. Электроника»

Подписку на печатную версию журнала можно оформить:

- **по каталогу** «Газеты, журналы» АО Агентство «Роспечать» в любом почтовом отделении. Подписной индекс 47570
- **по прямой подписке** в АО Агентство «Роспечать»: www.press.rosp.ru
- **по объединенному каталогу** «Пресса России» ООО «Агентство «Книга-Сервис» в любом почтовом отделении. Подписной индекс 38934
- **через редакцию -** с любого номера и до конца года

Подписку на электронную версию журнала можно оформить на сайтах:

- **Научной электронной библиотеки:** www.elibrary.ru
- **ООО «Агентство «Книга-Сервис»:** www.rucont.ru; www.akc.ru; www.pressa-rf.ru
- **ООО «УП Урал-Пресс»:** www.delpress.ru
- **ООО «ИВИС»:** www.ivis.ru

СХЕМОТЕХНИКА И ПРОЕКТИРОВАНИЕ
CIRCUIT ENGINEERING AND DESIGN

УДК 621.3.049.771.14:621.3.062 **DOI: 10.24151/1561-5405-2020-25-6-525-538**

Методы анализа выполнимости булевых формул для современных задач систем автоматизации проектирования в микроэлектронике

М.А. Заплетина, Д.В. Жуков, С.В. Гаврилов

Институт проблем проектирования в микроэлектронике Российской академии наук, г. Москва, Россия

zapletina_m@ippm.ru

Методы анализа выполнимости булевых формул являются одним из эффективных подходов к решению задачи булевого сопоставления и проверки эквивалентности цифровых схем. В комбинации с классическими трассировочными алгоритмами и оптимизационными техниками данные методы показывают результаты, превосходящие классические алгоритмы трассировки по скорости работы и качеству получаемого результата. В работе выполнен анализ современной практики применения методов на основе задачи выполнимости булевых формул в системах автоматизации проектирования сверхбольших интегральных схем. Рассмотрены примеры подходов на основе задачи выполнимости булевых формул к задачам трассировки и формальной проверки эквивалентности описаний цифровых схем в рамках технологического отображения в составе маршрута проектирования ПЛИС. Разработан и представлен алгоритм детальной трассировки блоков коммутации ПЛИС с применением задачи выполнимости. Результаты его работы продемонстрированы на примере программируемого логического блока интегральной микросхемы российского производства 5400ТР094. Блок имеет островную архитектуру, т.е. малые программируемые логические блоки и блоки коммутации образуют регулярно повторяющуюся схемотехническую структуру. Свойства выбранной классической архитектуры позволяют расширить область применения предложенного алгоритма на весь класс ПЛИС островного типа. Тестирование алгоритма проведено на наборах проектных схем ISCAS-85, ISCAS-89 и LGSynth-89. Выполнено сравнение разработанного алгоритма на основе методов анализа выполнимости булевых формул с известным алгоритмом трассировки Pathfinder по критериям затраченного времени и достигнутой степени разводимости блоков коммутации. Установлено, что методы анализа выполнимости булевых формул для задачи трассировки способны к доказательству неразводимости рассматриваемой трассировочной задачи в отличие от алгоритма Pathfinder, результаты работы которого могут лишь косвенно свидетельствовать об этом. Показано, что

© М.А. Заплетина, Д.В. Жуков, С.В. Гаврилов, 2020

применение более производительного решателя для задачи выполнимости существенно ускоряет работу предложенного алгоритма детальной трассировки.

Ключевые слова: задача выполнимости булевых формул (SAT-подход); система автоматизации проектирования (САПР); программируемая логическая интегральная схема; ПЛИС; трассировка; островная архитектура; автоматическая генерация тестов; верификация СБИС

Для цитирования: Заплетина М.А., Жуков Д.В., Гаврилов С.В. Методы анализа выполнимости булевых формул для современных задач систем автоматизации проектирования в микроэлектронике // Изв. вузов. Электроника. 2020. Т. 25. № 6. С. 525–538. DOI: 10.24151/1561-5405-2020-25-6-525-538

Boolean Satisfiability Methods for Modern Computer-Aided Design Problems in Microelectronics

M.A. Zapletina, D.V. Zhukov, S.V. Gavrilov

Institute for Design Problems in Microelectronics of Russian Academy of Sciences, Moscow, Russia

zapletina_m@ippm.ru

Abstract: Currently, the methods based on a Boolean satisfiability (SAT) problem are one of the efficient approaches to solving the problem of Boolean matching and the equivalence checking of digital circuits. In combination with classic routing algorithms and optimization techniques, the SAT methods demonstrate the results exceeding the classic routing algorithms by the operation speed and the quality of obtained results. In the paper, the analysis of the modern practice of using the SAT methods in the CAD systems for VLSI has been performed. The examples of modern SAT approaches to the problems of the formal equivalence checking of digital circuits descriptions within the technological mapping framework and to the routing problem as a part of the FPGA design flow have been considered. The algorithm of the detailed routing of the FPGA switching blocks using the satisfiability problem has been developed and presented. The results of its work have been demonstrated on the example of the programmable logic-block of the domestic made integrated circuit 5400TP094. The block has the island architecture, where the configurable logic blocks and switching blocks form a regularly repeated layout template. The properties of the chosen classic architecture permit to expand the region of presented algorithm to the entire class of island style FPGA. The algorithm has been tested on the project benchmarks ISCAS-85, ISCAS-89 and LGSynth-89. The comparison of the developed SAT-based algorithm with the well-known routing algorithm Pathfinder by criteria of the elapsed time and the achieved portion of routed nets in the switching blocks is presented. It has been determined that the considered Boolean satisfiability methods for the routing problem are capable to prove the circuit unroutability, unlike the algorithm Pathfinder which results can only implicitly indicate it. The paper demonstrates that the application of more efficient SAT solver significantly accelerates work of the suggested detailed routing algorithm.

Keywords: Boolean satisfiability problem; SAT; computer-aided design; CAD; FPGA; routing; island architecture; ATPG; VLSI verification

For citation: Zapletina M.A., Zhukov D.V., Gavrilov S.V. Boolean satisfiability methods for modern computer-aided design problems in microelectronics. *Proc. Univ. Electronics*, 2020, vol. 25, no. 6, pp. 525–538. DOI: 10.24151/1561-5405-2020-25-6-525-538

Введение. Задача выполнимости для заданной булевой формулы (Boolean satisfiability problem, SAT) позволяет найти такую подстановку входных переменных, которая обращает значение этой формулы в истинное. Если подобная подстановка может быть найдена, формула является выполнимой, в противном случае формула невыполнима. Наряду с родственным ему методом резолюций [1] в настоящее время SAT-подход часто применяется для решения задач автоматизации проектирования в микроэлектронике.

Задача выполнимости булевой формулы стала одной из первых задач с доказанной *NP*-полнотой (теорема Кука – Левина [2, 3]). Это означает, что существование эффективного универсального алгоритма для всей группы задач выполнимости (как и доказательство его отсутствия) эквивалентно одному из центральных вопросов теории сложности о равенстве между классами *P* и *NP*. Но, несмотря на то что в настоящее время известны только алгоритмы решения задач выполнимости с экспоненциальной сложностью, на практике многие современные SAT-решатели способны находить решение конкретных сложных задач за приемлемое время.

Задача выполнимости часто решается для булевой формулы в конъюнктивной нормальной форме (КНФ). Формула в КНФ представляет собой конъюнкцию дизъюнкций, каждая из которых описывает отношение литералов. Для более легкого представления, как правило, SAT-задачи записываются в виде системы булевых ограничений (constraints), каждое из которых представляет собой формулу в КНФ. В большинстве работ (в том числе и в этой) ограничением считается одна дизъюнкция.

Современные SAT-решатели [4] – программы для доказательства выполнимости (или невыполнимости) передаваемой им булевой формулы – эффективно решают задачи, содержащие сотни тысяч литералов и миллионы ограничений [5, 6]. Это значительным образом определяет круг возможных задач, для которых могут применяться методы анализа выполнимости булевых формул. Так, например, подход к детальной трассировке подразумевает использование менее 100 литералов и до 350 ограничений в составе финальной булевой системы для каждого блока коммутации. С учетом высокой доли разведенных схем эта информация свидетельствует в пользу уместности использования SAT-методов в данном случае.

В последние два десятилетия отмечается ускоренный рост производительности SAT-решателей. Наглядно этот процесс отражают результаты ежегодных международных соревнований [6–8]. Одна из ключевых причин постоянного совершенствования методов решения задач выполнимости – широкий спектр их практического применения в различных областях науки и техники (искусственный интеллект, биоинформатика, верификация аппаратного и программного обеспечения, автоматическое доказательство теорем и др.). Методы анализа выполнимости активно применяются и для задач систем автоматизации проектирования.

Цель настоящей работы – демонстрация возможностей SAT-подхода, свойственных ему ограничений и наиболее частых способов повышения производительности алгоритмов на его основе.

Методы анализа выполнимости булевых формул для задач современных САПР. Для области проектирования микроэлектроники методы анализа выполнимости булевых формул являются сравнительно новыми. Рассмотрим примеры того, как SAT-методы и основанные на них алгоритмы позволяют решать некоторые сложные задачи САПР.

SAT-методы для задач технологического отображения. Технологическое отображение является одним из важнейших этапов маршрута проектирования на ПЛИС. Его назначение состоит в конвертации булевого представления проектной схемы из общего вида в функционально эквивалентную сеть программируемых логических ячеек целевой ПЛИС. Задача формальной проверки эквивалентности описаний цифровых схем является необходимой составляющей процедур логического синтеза и формальной верификации в составе маршрута проектирования СБИС. Подход, представленный в [9], эффективно решает ее для схем с сотнями и тысячами входов и выходов. При поиске решения, кроме перестановок входов и выходов, допускалось наличие инверсии на них. Гибридный подход на основе [9] обеспечил коллективу авторов работы [10] первое место среди участников соревнования по алгоритмам и методам булевого сопоставления, проводимого в рамках конференции ICCAD в 2016 г.

Опишем основной принцип применения методов выполнимости булевых формул для задачи проверки эквивалентности. Пусть две булевы функции f и g, имеющие по одному выходу, эквивалентны. В терминах SAT-подхода это означает, что булева формула $f \oplus g$ невыполнима для всех входных значений этих функций. В этом случае $f \oplus g \equiv g \oplus f \equiv 0$, где $\oplus$ – логическая операция исключающего ИЛИ. В обратном случае, если формула $f \oplus g$ выполнима, функции f и g не являются эквивалентными. Найденные при этом наборы входных значений могут быть использованы в качестве тестовых векторов для функциональной верификации [11, 12], если f и g представляют реализованную в кристалле функцию и ее спецификацию.

В составе предложенной многоступенчатой системы [9] методы анализа выполнимости булевых формул применены на финальной стадии. Помимо них она включает в себя алгоритмы для работы над графами и сигнатурного моделирования схем, позволяющие на основе определенных свойств проверяемых функций значительным образом сократить число комбинаций значений входных сигналов, передаваемых на анализ в SAT-решатель.

Применение методов анализа выполнимости в составе расширения системы ABC [13] для технологически независимой логической оптимизации и структурного ресинтеза комбинационной логики описано в работе [14]. Авторы показали, как решатель MiniSAT [15] используется совместно с интерполяционным пакетом, преобразующим булевы функции узлов схемы после ресинтеза, для доказательства корректности проведенной процедуры. Практические результаты исследования сконцентрированы на минимизации числа межсоединений конечного отображения проектной схемы в базисе ПЛИС. Оптимизация занимаемой площади и задержек межсоединений также предусмотрена. Однако, по мнению исследователей [14], специфика этих критериев требует дальнейшего изучения. Тестирование работы предложенного метода проводилось на наборе схем, содержащих от 800 до 20 000 шестивходовых LUT. Важное преимущество метода состоит в масштабируемости и возможности его применения в промышленном дизайне.

Методы анализа выполнимости булевых формул используются при решении задач в рамках технологического отображения. Работы в этой области демонстрируют результаты использования SAT-методов, которые выгодно отличают их от других подходов [10]. Одновременно с постоянным совершенствованием SAT-решателей это вызывает интерес исследователей и стимулирует дальнейшее развитие методов анализа выполнимости как самодостаточного методологического направления.

SAT-методы для трассировки ПЛИС. Значительная часть исследовательских работ по решению задачи трассировки в рамках маршрута топологического проектирования на базе ПЛИС посвящена применению методов анализа выполнимости булевых формул. Так, алгоритмы оценки разводимости размещений и трассировки представлены в работах [16–20]. Особенность трассировки на основе SAT-методов заключается в одновременном поиске решения для всего списка межсоединений, а не итерационно для каждой цепи. Это позволяет отказаться от приема разрыва и перетрассировки [21], широко применяемого для классических алгоритмов.

В исследовании [16] предложен метод для представления трассировочных ограничений в виде одной булевой формулы. Любое ее решение – это полное детальное трассировочное решение. Запись задачи трассировки в форме диаграммы двоичных решений (binary decision diagram, BDD) позволяет одновременно перечислить все возможные маршруты для всех цепей. Общий вид структуры ПЛИС с архитектурой островного типа, для которой в [16] решена задача трассировки, представлен на рис.1. Программируемые логические блоки и блоки коммутации в этом случае образуют регулярно повторяющуюся схемотехническую структуру.

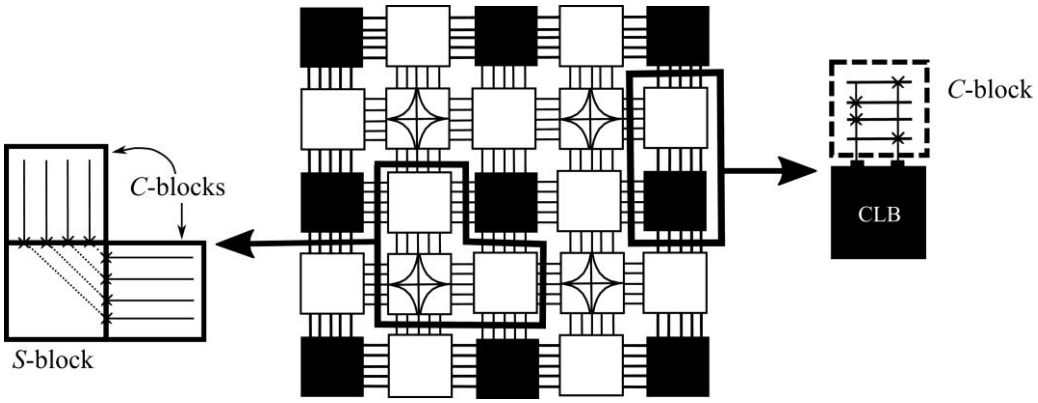


Рис.1. Структура ПЛИС с архитектурой островного типа: CLB – программируемый логический блок; *S*-block (*SB*) и *C*-block (*CB*) – блоки коммутации двух типов [16]
Fig.1. Island style FPGA architecture model: CLB – configurable logic block; *S*-block (*SB*) – switch block, and *C*-block (*CB*) – connection block [16]

Рассмотрим базовые этапы выполнения трассировки с применением задачи анализа выполнимости булевых формул. На первом этапе происходит разделение трассировочных ресурсов ПЛИС на области и/или элементы, которым присваиваются уникальные имена, в дальнейшем используемые в качестве переменных булевой системы ограничений. Так, в [16] введены переменные (уникальные имена) для обозначения доступных для трассировки магистралей ПЛИС, программируемых коммутационных ключей, находящихся на них, входов-выходов блоков коммутации, коммутационных элементов внутри них и др. На втором этапе глобальный алгоритм трассировки выстраивает все возможные маршруты для каждой проектной цепи в терминах введенных обозначений. В формируемую впоследствии булеву формулу переменная входит в прямом виде, если

соответствующий ей трассировочный ресурс задействован в данном маршруте, и в инверсном – в обратном случае. На третьем этапе на основе найденных маршрутов для каждой цепи происходит формирование булевой формулы, которая в случае своей выполнимости гарантирует целостность цепи от источника до приемника. Формула ограничений целостности составляется объединением всех возможных маршрутов (наборов трассировочных ресурсов), при которых цепь разведена без разрывов. На четвертом этапе формируется формула ограничений исключительности, в случае своей выполнимости гарантирующая отсутствие перегруженности трассировочных ресурсов. Она составляется таким образом, чтобы конкретный элемент трассировочных ресурсов был использован не более чем в одной проектной цепи. На заключительном этапе создается финальная булева система полного трассировочного решения, являющаяся конъюнкцией ограничений целостности и исключительности и подлежащая передаче на анализ в SAT-решатель.

Недостаток представленного метода – необходимость его адаптации для работы на топологиях с большим объемом трассировочных ресурсов, что вызвано генерацией чрезмерно сложных булевых формул из-за высокой гибкости трассировочного решения. Преимущество метода заключается в его эффективности для быстрой оценки разводимости отдельных областей ПЛИС (например, отдельного канала или блока коммутации). В [17] представлен обновленный вариант данного метода. Важный результат этой работы заключается в том, что в ней впервые заявлено о том, что SAT-методы могут гарантированно выявлять принципиально не разводимые размещения. Оптимизация метода формирования конечной булевой системы полного трассировочного решения и применение более эффективного на больших задачах SAT-решателя GRASP [22] позволили расширить область использования предложенного метода для оценки разводимости всей ПЛИС, а не только отдельных ее областей. Недостатком метода можно считать наличие примеров задач, для которых поиск решения или его отсутствия требует много времени (24 ч) [17].

В работе [18] рассмотрено применение методов анализа выполнимости к детальной трассировке. Главная особенность представленного метода состоит в том, что наборы трассировочных ограничений сформулированы в терминах возможных маршрутов для цепей, назначенных на блок коммутации, а не в терминах доступных трассировочных ресурсов (магистралей, ключей и т.д.). В этом случае переменными базовой КНФ-формулы являются не уникальные имена всех доступных элементов трассировочных ресурсов, а индексы целостных маршрутов для каждой из проектных цепей. Поскольку один маршрут объединяет ряд магистралей и коммутационных ключей, метод позволяет сформировать более простую и короткую булеву формулу для искомого трассировочного решения. Однако с ростом значения параметра связности F_c блоков коммутации число возможных маршрутов растет экспоненциально, что потенциально может быть проблемой. Здесь и далее параметр связности отражает число терминалов коммутационного блока, с которыми может быть скоммутирован один его терминал.

В работе [19] проведено сравнение двух методов решения задачи трассировки – анализа выполнимости булевых формул и целочисленного линейного программирования. Экспериментальные результаты показали преимущество первого метода как по скорости работы алгоритма, так и по качеству найденного решения. Тем не менее в [18, 19] отмечаются некоторые ограничения по применению современных SAT-методов трассировки для ПЛИС с высокой степенью интеграции, что характеризует усовершенствование этих методов как актуальную исследовательскую задачу.

Стратегия комбинированного применения классического алгоритма трассировки Pathfinder [23] и подхода на основе анализа выполнимости булевых формул представлена в [20]. Несмотря на то что Pathfinder является одним из наиболее известных и часто используемых алгоритмов трассировки, он имеет весомый недостаток. Если конкретное размещение является неразводимым, то это нельзя определить в самом начале процедуры трассировки. Pathfinder в таком случае совершает большое количество итераций до тех пор, пока не достигнет заранее заданного ограничения работы (например, по ее длительности), так и не получив сходимости решения. Для нивелирования этого недостатка в работе [20] предложено следующее. Раз в несколько итераций алгоритма Pathfinder выполняется построение булевой формулы на основе набора всех ранее найденных детальных трассировочных решений для каждого двухтерминального межсоединения. При этом в качестве булевых переменных, как и в работе [18], используются индексы возможных маршрутов цепей. Анализ полученной булевой формулы в SAT-решателе позволяет выяснить, были ли за все время работы Pathfinder найдены такие детальные решения для всех межсоединений, которые в комбинации дадут корректное полное трассировочное решение. Такая проверка способна сократить количество генерируемых Pathfinder детальных трассировочных решений и найти решение до того момента, как будет достигнута естественная сходимость Pathfinder, при условии, что она возможна в данном случае. Данный метод в ряде случаев позволяет улучшить суммарное время трассировки по сравнению с классическим алгоритмом Pathfinder. Если принять во внимание другие алгоритмы и методы трассировки, то комбинирование SAT-подхода, например, с алгоритмом Frontier [24] обеспечивает в разы меньшее суммарное время трассировки по сравнению с алгоритмом, описанным в [20], без потери качества решения. В целом рассмотренные работы позволяют сделать вывод о жизнеспособности идеи комбинирования методов анализа выполнимости булевых формул с классическими алгоритмами трассировки.

В работе [25] представлены два подхода к формулировке задачи выполнимости булевых формул для трассировки сетей синхросигналов для семейства архитектур Xilinx UltraScale. Применение нового алгоритма вызвано необходимостью решения сложной задачи трассировки межсоединений при наличии большого количества синхронизационных доменов. В основе представленного алгоритма лежит модель ориентированного ациклического графа трассировочных ресурсов. Первый подход (бинарный) используется для уменьшения количества переменных итоговой булевой формулы методом логарифмического кодирования. Второй подход (унарный) применяется для создания более компактной булевой формулы разными способами обхода графов. Унарная формулировка SAT-задачи применена в ряде других работ [26, 27]. SAT-подход с ее использованием [28] как наиболее эффективный из двух внедрен в среду проектирования Vivado Design Suite [29] компании Xilinx.

Рассмотренные применения методов анализа выполнимости булевых формул для задач трассировки ПЛИС позволяют сделать следующие выводы. Будучи скомбинированными с классическими трассировочными алгоритмами [20, 24], они показывают результаты, превосходящие классические алгоритмы по скорости работы и качеству получаемого результата. Кроме того, современные вариации SAT-методов для задачи трассировки являются частью коммерческих сред проектирования [28], что свидетельствует в пользу их актуальности и соответствия требованиям отрасли в настоящее время.

SAT-подход к детальной трассировке блоков коммутации. SAT-подход к детальной трассировке блоков коммутации предназначен для второго этапа двухуровневой трассировки ПЛИС островного типа. Такой тип ПЛИС подразумевает наличие про-

граммируемых логических блоков и блоков коммутации, образующих регулярно повторяющуюся схемотехническую структуру. В этом случае процедура детальной трассировки выполняется внутри блоков коммутации, для которых на первом (глобальном) этапе трассировки определен набор трассируемых через них проектных цепей.

На этапе глобальной трассировки каждому блоку коммутации устанавливается в соответствие множество из n цепей $\mathbf{E} = \{e_1, e_2, \ldots, e_n\}$, в котором каждой цепи $e_i \in \mathbf{E}$ соответствует множество терминалов блока коммутации $\mathbf{T} = \{t_0, t_1, \ldots, t_k\}$, где терминал $t_0 \in \mathbf{T}$ является источником, а подмножество $\{t_1, .., t_k\} \subset \mathbf{T}$ – приемниками сигнала. Все назначенные на блок коммутации цепи должны быть трассированы путем открытия соответствующих программируемых коммутационных элементов, соединяющих терминалы и внутренние магистрали блока. Задача детальной трассировки заключается в том, чтобы найти бесконфликтное решение для множества всех цепей в коммутационном блоке. Конфликт возникает, когда магистраль или коммутационный элемент оказываются занятыми несколькими цепями одновременно.

Структура трассировочных ресурсов программируемого блока тестового кристалла ПАЦИС 5400ТР094 [30] предполагает наличие двух типов коммутационных блоков, отличающихся значением параметра связности F_c. Терминалы блока типа *SB* могут быть скоммутированы с тремя терминалами того же разряда на трех других сторонах блока, т.е. F_c = 3. Терминалы второго типа *CB* могут быть соединены с терминалами блока на всех четырех сторонах, поэтому F_c = 4 (рис.2). Отметим, что для наглядности разрядность блоков коммутации на рис.2 не соответствует реальной на кристалле ПАЦИС 5400ТР094 [30].

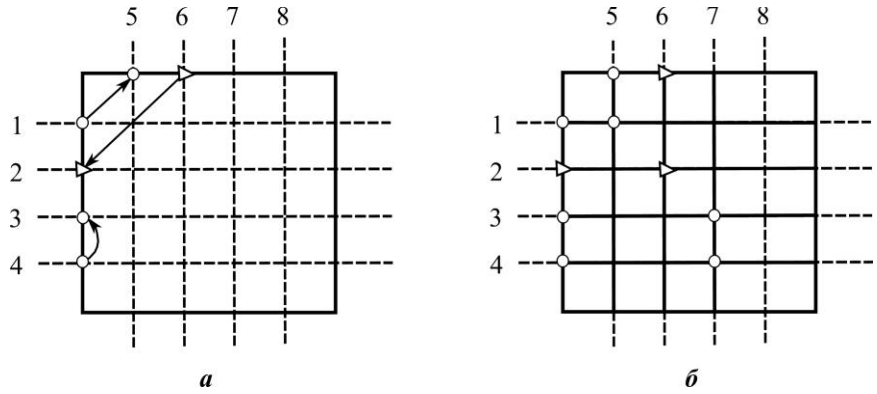


Рис.2. Детальная трассировка блоков коммутации типа *CB*: *а* – входные данные (каждая назначенная на блок цепь имеет оригинальное обозначение терминалов, стрелка указывает направление к приемникам сигнала); *б* – результат процедуры трассировки (занятые магистрали выделены жирным)

Fig.2. The *CB* switchbox detailed routing task: *a* – the input data (each net assigned to switchbox has an original terminals symbol and their arrows point to the targets); *b* – the routing procedure results (bold lines are busy)

Рассмотрим алгоритм детальной трассировки [31] блока коммутации. Он имеет итерационный характер, выражающийся в пошаговом перестроении системы булевых ограничений с учетом ранее найденных решений и возникающих перегрузок. Сгенерированный набор логических ограничений впоследствии объединяется в КНФ-формулу и передается на анализ с помощью SAT-решателя. Алгоритм перемещается по элемен-

там множества цепей $\mathbf{E} = \{e_1, e_2, \ldots, e_n\}$, присвоенных данному коммутационному блоку на этапе глобальной трассировки, и для каждого межсоединения $e_i \in \mathbf{E}$ выполняет следующие процедуры:

Шаг 1. Создание текущей системы булевых уравнений:

1) добавление базовых ограничений блока на основе его схемотехники;

2) добавление ранее найденных решений (занятых магистралей и ключей);

3) добавление терминалов цепи $T = \{t_0, t_1, \ldots, t_k\}$, $\mathbf{T} \subset e_i$;

4) добавление прочих исключений.

Шаг 2. Анализ составленной системы посредством SAT-решателя. Если трассировка блока типа *CB* невозможна, выполняется:

1) проверка наличия свободных магистралей;

2) проверка конкретных магистралей;

3) переработка ограничений и исключений;

4) обратный переход к трассировке первой цепи блока $e_1 \in \mathbf{E}$.

Примечание: если трассировка цепи в блоке *SB* невозможна, то полное детальное решение для всех его цепей отсутствует и выполняется переход к шагу 4.

Шаг 3. Переход к e_{i+1} и шагу 1 до тех пор, пока $i \le n$.

Шаг 4. Трассировка блока коммутации закончена с положительным результатом, если найдены все необходимые пути, в противном случае трассировка завершена неудачно.

Основным этапом детальной трассировки с применением SAT-подхода является создание булевой формулы, полностью описывающей трассировочное решение рассматриваемого блока коммутации. Она составляется по следующему правилу:

$$\mathrm{RouteFormula}(x) = \mathrm{base} \wedge \mathrm{conn}(x) \wedge \mathrm{live} \wedge \mathrm{exc}(b),$$

где base – базовые ограничения блока на основе его схемотехники; $\mathrm{conn}(x)$ – терминалы цепи, которые используются на текущей итерации; live – уравнения, задающие элементы внутренней конструкции блока (например, магистрали) и использующиеся на данной итерации; $\mathrm{exc}(b)$ – набор булевых ограничений на коммутационные ресурсы блока, основывающийся на ранее найденных решениях и перегрузках, возникших на текущем шаге.

Нужно отметить разницу между двумя типами блоков на этапе составления базовых ограничений, наследуемую от схемотехники. Для описания блока типа *SB* требуется намного больше условий, поскольку возможные пути сигнала в нем сильно ограничены в отличие от блока *CB*. Суть базовых ограничений состоит в том, чтобы исключить все маршруты сигнала для каждого терминала, кроме тех, которые обеспечены наличием легальных схемотехнических путей.

Численные эксперименты для представленного алгоритма выполнены на основе программируемого логического блока интегральной микросхемы российского производства 5400ТР094 [30] с применением тестовых схем ISCAS-85, ISCAS-89 и LGSynth-89 [32], выборка из которых представлена в табл.1. Расчеты проводились на персональном компьютере с процессором Intel Core i5-7400 с тактовой частотой 3,0 ГГц и 8 Гб ОЗУ. Для программирования доступны 1794 логических элемента.

Таблица 1

Количественные характеристики тестовых проектных схем

Table 1

The numerical characteristics of the test circuits

Схема	Проектные цепи	Логические элементы	Коммутационные блоки
c17	10	4	19
c432	118	82	303
c499	154	113	587
c880	204	144	628
c1355	154	113	597
c1908	178	145	623
c3540	578	528	1477
c6288	819	787	2072
misex3	641	627	1880
x4_syn	286	192	882

Для демонстрации влияния алгоритма, лежащего в основе используемого SAT-решателя, составлена табл.2, в которой столбцы SAT(1) и SAT(2) отражают время детальной трассировки на основе двух разных SAT-решателей. Процедура плоской и этап глобальной иерархической трассировки выполнены алгоритмом Pathfinder. В основе обоих SAT-решателей – алгоритм Дэвиса – Патнема – Логемана – Лавленда (DPLL, [33]).

Таблица 2

Результаты трассировки с помощью алгоритма Pathfinder и итерационного алгоритма на основе SAT-подхода

Table 2

The routing results obtained by classical Pathfinder algorithm and the proposed iterative SAT based algorithm

Схема	Время плоской трассировки, с	Время глобальной трассировки, с	SAT (1), с	SAT (2), с	Pathfinder, с
x4_synth	207,58	43,075	1,94	0,782	0,18
c1355	99,812	22,051	0,893	0,406	0,107
c1908	98,908	21,881	0,922	0,408	0,106
c3540	149,093	37,4	4,119	1,983	0,46
c6288	102,201	23,12	3,618	1,669	0,405
s838	14,975	7,997	0,433	0,188	0,056
s1488	84,01	37,053	2,252	1,064	0,277
c880	99,658	24,451	1,001	0,425	0,111
c432	51,737	10,421	0,52	0,21	0,053
c499	115,628	26,464	0,834	0,371	0,093
test_2	230,95	157,276	5,193	2,431	0,597
test_4	130,876	59,703	4,701	1,95	0,463

Результаты вычислительных экспериментов показывают, что в зависимости от реализации DPLL и дополнительных особенностей стратегии поиска решения время детальной трассировки может отличаться в несколько раз. По критерию полноты трассируемости, т.е. доле разведенных цепей, все варианты (SAT(1), SAT(2), Pathfinder) оказались эквивалентны.

Заключение. В результате анализа последних исследовательских работ установлено, что для задач автоматизации проектирования микроэлектроники методы анализа выполнимости булевых формул проявляют себя наилучшим образом в комбинации со вспомогательными методами и приемами, позволяющими замедлить рост размерности решаемой SAT-задачи. Кроме того, SAT-методы подходят для ситуаций, когда требуется доказательство наличия или отсутствия решения, например, для оценки разводимости размещения.

Литература

1. ***Гаврилов С.В., Глебов А.Л., Стемпковский А.Л.*** Методы логического и логико-временного анализа цифровых КМОП СБИС. М.: Наука, 2007. 223 с.

2. ***Cook S.*** The complexity of theorem proving procedures // Proc. of the Third Annual ACM Symposium on Theory of Computing. 1971. P. 151–158.

3. ***Левин Л.А.*** Универсальные задачи перебора // Проблемы передачи информации. 1973. Т. 9. № 3. С. 115–116.

4. SAT-solving in practice, with a tutorial example from supervisory control / ***C. Koen, N. Eén, M. Sheeran et al.*** // Discrete Event Dynamic Systems. 2009. Vol.19 (4). P. 495–524.

5. ***Ohrimenko O., Stuckey P.J., Codish M.*** Propagation = Lazy clause generation // Principles and Practice of Constraint Programming – CP 2007 Lecture Notes in Computer Science / Ed. by C. Bessière. Berlin, Heidelberg: Springer, 2007. P. 544–558.

6. ***Järvisalo M., Le Berre D., Roussel O., Simon L.*** The international sat solver competitions // AI Mag. 2012. Vol. 33 (1). P. 89–92.

7. ***Marques-Silva J.*** Practical applications of Boolean satisfiability // Proc. of the 9th International Workshop on Discrete Event Systems (Goteborg, Sweden, May 2008). 2008. P. 74–80.

8. The International SAT Competition Web Page. URL: http://www.satcompetition.org/ (дата обращения: 29.04.2020).

9. ***Katebi H., Markov I.L.*** Large-scale Boolean matching // 2010 Design, Automation & Test in Europe Conference & Exhibition (DATE 2010). Dresden, 2010. P. 771–776.

10. A two-step search engine for large scale boolean matching under NP3 equivalence / ***C. Pui, P. Tu, H. Li et al.*** // 2018 23rd Asia and South Pacific Design Automation Conference (ASP-DAC). Jeju, 2018. P. 592–598.

11. ***Dehbashi M., Fey G.*** Debug automation for synchronization bugs at RTL // 27th Intern. Conf. on VLSI Design and 2014 13th International Conference on Embedded Systems. 2014. P. 44–49.

12. ***Гаврилов С.В.*** Методы анализа логических корреляций для САПР цифровых КМОП СБИС. М.: Техносфера, 2011. 136 с.

13. ABC: A system for sequential synthesis and verification. URL: https://people.eecs.berkeley.edu/~alanmi/abc/ (дата обращения: 31.05.2020).

14. ***Mishchenko A., Brayton R., Jiang J.-H. R., Jang S.*** SAT-based logic optimization and resynthesis // Proc. IWLS. 2007. P. 358–364.

15. ***Een N., Sörensson N.*** An extensible SAT-solver // SAT'03. URL: http://www.cs.chalmers.se/Cs/Research/FormalMethods/MiniSat (дата обращения: 31.05.2020).

16. ***Wood R.G., Rutenbar R.A.*** FPGA routing and routability estimation via boolean satisfiability // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 1998. Vol. 6. No. 2. P. 222–231.

17. ***Nam G.-J., Sakaliah K.A., Rutenbar R.A.*** Satisfiability-based layout revisited: detailed routing of complex FPGAs via search-based boolean SAT // Proc. of the 1999 ACM/SIGDA Seventh International Symposium on Field Programmable Gate Arrays (Feb. 1999). 1999. P. 167–175.

18. ***Nam G.-J., Aloul F., Sakallah K.A., Rutenbar R.A.*** A comparative study of two Boolean formulations of FPGA detailed routing constraints // IEEE Transactions on Computers. 2001. Vol. 53. No. 6. P. 688–696.

19. ***Nam G.-J., Sakallah K.A., Rutenbar R.A.*** A new FPGA detailed routing approach via search-based Boolean satisfiability // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. 2002. Vol. 21. No. 6. P. 674–684.

20. ***Nam G.-J., Sakallah K., Rutenbar R.A.*** Hybrid routing for FPGAs by integrating boolean satisfiability with geometric search // Field-Programmable Logic and Applications: Reconfigurable Computing Is Going Mainstream Lecture Notes in Computer Science / Ed. by M. Glesner, P. Zipf, M. Renovell. Berlin, Heidelberg: Springer Berlin Heidelberg, 2002. P. 360–369.

21. ***Железников Д.А., Заплетина М.А., Хватов В.М.*** Исследование механизма разрыва и перетрассировки на этапе топологического синтеза в базисе реконфигурируемых систем на кристалле // Проблемы разработки перспективных микро- и наноэлектронных систем МЭС. 2018. С. 188–192.

22. ***Marques Silva J.P., Sakallah K.*** GRASP – a new search algorithm for satisfiability // Proc. of the 1996 IEEE/ACM International Conference on Computer-Aided Design (ICCAD ’96). IEEE Computer Society, USA, 1997. P. 220–227.

23. ***McMurchie L.E., Ebeling C.*** PathFinder: a negotiation-based path-driven router for FPGAs // Proc. ACM/IEEE Int. Symposium on Field Programmable Gate Arrays (Feb. 1995). 1995. P. 111–117.

24. ***Liu Z., Yu Z., Gu X.*** A new and efficient algorithm for FPGA routing // 2007 2nd IEEE Conference on Industrial Electronics and Applications. Harbin, 2007. P. 1431–1436.

25. ***Fraisse H., Joshi A., Gaitonde D., Kaviani A.*** Boolean satisfiability-based routing and its application to xilinx ultrascale clock network // Proc. of the 2016 ACM/SIGDA Intern. Symposium on Field-Programmable Gate Arrays (FPGA ’16). 2016. P. 74–79.

26. Board-level multiterminal net assignment for the partial cross-bar architecture / ***X. Song, W.N.N. Hung, A. Mishchenko et al.*** // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 2003. Vol. 11. No. 3. P. 511–514.

27. ***Velev M.N., Gao P.*** Comparison of boolean satisfiability encodings on FPGA detailed routing problems // 2008 Design, Automation and Test in Europe. Munich, 2008. P. 1268–1273.

28. ***Fraisse H.*** Incremental routing for circuit designs using a SAT router // Pat. 10445456 USA. 2019.

29. Xilinx Vivado Design Suite. URL: https://www.xilinx.com/products/design-tools/vivado.html (дата обращения: 31.05.2020).

30. ДЦ «Союз»: 5400ТР094 ПАЦИС. URL: https://dcsoyuz.ru/products/pais/art/1605 (дата обращения: 09.07.2020).

31. ***Zhukov D.V., Zheleznikov D.A., Zapletina M.A.*** The iterative SAT based approach to detailed routing for reconfigurable system-on-a-chip // 2020 IEEE Conf. of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus). 2020. P. 1905–1910.

32. Наборы тестовых схем ISCAS’89 и LGSynth’89. URL: https://ddd.fit.cvut.cz/prj/Benchmarks/ (дата обращения: 09.07.2020).

33. ***Davis M., Logemann G., Loveland D.*** A machine program for theorem-proving // Commun. ACM. 1962. Vol.5. No. 7. P. 394–397.

Поступила в редакцию 23.07.2020 г.; после доработки 23.07.2020 г.; принята к публикации 22.09.2020 г.

Заплетина Мария Андреевна – младший научный сотрудник отдела САПР Института проблем проектирования в микроэлектронике Российской академии наук (Россия, 124365, г. Москва, г. Зеленоград, ул.Советская, 3), zapletina_m@ippm.ru

Жуков Денис Владимирович – инженер-исследователь отдела САПР Института проблем проектирования в микроэлектронике Российской академии наук (Россия, 124365, г. Москва, г. Зеленоград, ул.Советская, 3), zhukov_d@ippm.ru

Гаврилов Сергей Витальевич – доктор технических наук, профессор, директор Института проблем проектирования в микроэлектронике Российской академии наук (Россия, 124365, г. Москва, г. Зеленоград, ул.Советская, 3), s.g@ippm.ru

References

1. Gavrilov S.V., Glebov A.L., Stempkovskiy A.L. *Methods of logical and logical-time analysis of digital CMOS VLSI. Metody logicheskogo i logiko-vremennogo analiza tsifrovykh KMOP SBIS*. Moscow, Nauka Publ., 2007, pp. 73–76. (in Russian).

2. Cook S. The complexity of theorem proving procedures. *Proceedings of the Third Annual ACM Symposium on Theory of Computing*, 1971, pp. 151–158.

3. Levin L.A. Universal enumeration problems. *Problemy peredachi informatsii = Problems of Information Transmission*, 1973, vol. 9, no. 3, pp. 115–116. (in Russian).

4. Koen C., Eén N., Sheeran M., Sörensson N., Voronov A., Åkesson K. SAT-solving in practice, with a tutorial example from supervisory control. *Discrete Event Dynamic Systems*, 2009, vol.19 (4), pp. 495–524.

5. Ohrimenko O., Stuckey P. J., Codish M. Propagation = Lazy Clause Generation. *Principles and Practice of Constraint Programming – CP 2007 Lecture Notes in Computer Science*. Ed. C. Bessière. Berlin, Heidelberg, Springer, 2007, pp. 544–558.

6. Järvisalo M., Le Berre D., Roussel O., Simon L. The international sat solver competitions. *AI Mag*, 2012, vol. 33 (1), pp. 89–92.

7. Marques-Silva J. Practical applications of Boolean satisfiability. *Proceedings of the 9th International Workshop on Discrete Event Systems.* Goteborg, Sweden, May 2008, pp. 74–80.

8. *The International SAT Competition Web Page.* Available at: http://www.satcompetition.org/ (accessed: 20.07.2020).

9. Katebi H., Markov I.L. Large-scale Boolean matching. *2010 Design, Automation & Test in Europe Conference & Exhibition (DATE 2010).* Dresden, 2010, pp. 771–776.

10. Pui C., Tu P., Li H., Chen G., Young E.F.Y. A two-step search engine for large scale boolean matching under NP3 equivalence. *2018 23rd Asia and South Pacific Design Automation Conference (ASP-DAC).* Jeju, 2018, pp. 592–598.

11. Dehbashi M., Fey G. Debug Automation for Synchronization Bugs at RTL. *27th International Conference on VLSI Design and 2014 13th International Conference on Embedded Systems*, 2014, pp. 44–49.

12. Gavrilov S.V. Methods for analyzing logical correlations for CAD digital CMOS VLSI. *Metody analiza logicheskih korrelyacii dlya SAPR SBIS.* Moscow, Tehnosfera Publ., 2011. 136 p. (in Russian)

13. *ABC: A system for sequential synthesis and verification*. Available at: https://people.eecs.berkeley.edu/~alanmi/abc/ (accessed: 20.07.2020).

14. Mishchenko A., Brayton R., Jiang J.-H.R., Jang S. SAT-based logic optimization and resynthesis. *Proceedings IWLS*, 2007, pp. 358–364.

15. Een N., Sörensson N. An extensible SAT-solver. *SAT'03*. Available at: http://www.cs.chalmers.se/Cs/Research/FormalMethods/MiniSat (accessed: 20.07.2020).

16. Wood R.G., Rutenbar R.A. FPGA routing and routability estimation via Boolean satisfiability. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 1998, vol. 6, no. 2, pp. 222–231.

17. Nam G.-J., Sakaliah K.A., Rutenbar R.A. Satisfiability-based layout revisited: detailed routing of complex fpgas via search-based Boolean SAT. *Proceedings of the 1999 ACM/SIGDA seventh international symposium on Field programmable gate arrays*, February, 1999, pp. 167–175.

18. Nam G.-J., Aloul F., Sakallah K.A., Rutenbar R.A.A comparative study of two Boolean formulations of FPGA detailed routing constraints. *IEEE Transactions on Computers*, 2001, Vol. 53, no. 6, pp. 688–696.

19. Nam G.-J., Sakallah K.A., Rutenbar R.A. A new FPGA detailed routing approach via search-based Boolean satisfiability. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2002, vol. 21, no. 6, pp. 674–684.

20. Nam G.-J., Sakallah K., Rutenbar R.A. Hybrid Routing for FPGAs by Integrating Boolean Satisfiability with Geometric Search. *Field-Programmable Logic and Applications: Reconfigurable Computing Is Going Mainstream Lecture Notes in Computer Science*. Ed. by M. Glesner, P. Zipf, M. Renovell. Berlin, Heidelberg, Springer Berlin Heidelberg, 2002, pp. 360–369.

21. Zheleznikov D.A., Zapletina M.A., Khvatov V.M. The rip-up and reroute technique research for physical synthesis in the basis of reconfigurable SoCs. *Problems of Advanced Micro- and Nanoelectronic Systems Development (MES-2018)*, 2018, pp. 188–192. (in Russian).

22. Marques Silva J.P., Sakallah K. GRASP – a new search algorithm for satisfiability. *Proceedings of the 1996 IEEE/ACM international conference on Computer-aided design (ICCAD '96).* IEEE Computer Society, 1997, USA, pp. 220–227.

23. McMurchie L.E., Ebeling C. PathFinder: a negotiation-based path-driven router for FPGAs. *Proceedings of the ACM/IEEE Intl Symposium on Field Programmable Gate Arrays*, 1995, pp. 111–117.

24. Liu Z., Yu Z., Gu X. A New and Efficient Algorithm for FPGA Routing. *2007 2nd IEEE Conference on Industrial Electronics and Applications.* Harbin, 2007, pp. 1431–1436.

25. Fraisse H., Joshi A., Gaitonde D., Kaviani A. Boolean satisfiability-based routing and its application to Xilinx ultrascale clock network. *Proceedings of the 2016 ACM/SIGDA International Symposium on Field-Programmable Gate Arrays (FPGA '16),* 2016, pp. 74–79.

26. Song X., Hung W.N.N., Mishchenko A., Chrzanowska-Jeske M., Kennings A., Coppola A. Board-level multiterminal net assignment for the partial cross-bar architecture. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems,* 2003, vol. 11, no. 3, pp. 511–514.

27. Velev M.N., Gao P. Comparison of Boolean satisfiability encodings on FPGA detailed routing problems. *2008 Design, Automation and Test in Europe*. Munich, 2008. pp. 1268–1273.

28. Fraisse H. *Incremental routing for circuit designs using a SAT router*. Patent USA, no. 10445456, 2019.

29. *Xilinx Vivado Design Suite*. Available at: https://www.xilinx.com/products/design-tools/vivado.html (accessed: 20.07.2020).

30. *Design Center «Soyuz»: 5400TP094 PADIC*. Available at: https://dcsoyuz.ru/products/pais/art/1605 (accessed: 20.07.2020). (in Russian).

31. Zhukov D.V., Zheleznikov D.A., Zapletina M.A. The iterative SAT based approach to detailed routing for reconfigurable system-on-a-chip. *2020 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus),* 2020, pp. 1905–1910.

32. *Circuit testbenches ISCAS'89, LGSynth'89.* Available at: https://ddd.fit.cvut.cz/prj/Benchmarks/ (accessed: 20.07.2020).

33. Davis M., Logemann G., Loveland D. A machine program for theorem-proving. *Commun. ACM,* 1962, vol. 5, no. 7, pp. 394–397.

Received 23.07.2020; Revised 23.07.2020; Accepted 22.09.2020.

Information about the authors:

Mariya A. Zapletina – Junior Researcher of the CAD Department, Institute for Design Problems in Microelectronics of Russian Academy of Sciences (Russia, 124365, Moscow, Zelenograd, Sovetskaya st., 3), zapletina_m@ippm.ru

Denis V. Zhukov – Research Engineer of the CAD Department, Institute for Design Problems in Microelectronics of Russian Academy of Sciences (Russia, 124365, Moscow, Zelenograd, Sovetskaya st., 3), zhukov_d@ippm.ru

Sergey V. Gavrilov – Dr. Sci. (Eng.), Prof., Acting Director, Institute for Design Problems in Microelectronics of Russian Academy of Sciences (Russia, 124365, Moscow, Zelenograd, Sovetskaya st., 3), s.g@ippm.ru

Информация для читателей журнала
«Известия высших учебных заведений. Электроника»

С тематическими указателями статей за 1996 - 2020 гг., аннотациями и содержанием последних номеров на русском и английском языках можно ознакомиться на сайте:

http://ivuz-e.ru

МИКРО- И НАНОСИСТЕМНАЯ ТЕХНИКА
MICRO- AND NANOSYSTEM TECHNOLOGY

УДК 621.3.049.772.1.002 **DOI: 10.24151/1561-5405-2020-25-6-539-547**

Исследование чувствительности пористых толстопленочных элементов на основе SnO_2 к концентрации водорода в воздухе

В.В. Амеличев[1], С.С. Генералов[1], А.В. Николаева[1], С.А. Поломошнов[1,3], В.А. Ковалев[2], А.М. Ковалев[3], В.В. Кривецкий[2]

[1]НПК «Технологический центр», г. Москва, Россия
[2]Московский государственный университет имени М.В. Ломоносова, г. Москва, Россия
[3]Национальный исследовательский университет «МИЭТ», г. Москва, Россия

A.Nikolaeva@tcen.ru

Полупроводниковые датчики состава газа на основе оксидов металлов характеризуются высокой чувствительностью и быстродействием при низком энергопотреблении. Особенности технологии изготовления данных преобразователей позволяют уменьшать их габаритные размеры, открывая широкие возможности для интеграции в мобильные устройства. При производстве полупроводниковых датчиков газа важным этапом является формирование металлооксидного чувствительного слоя, в частности процесс совмещения высокопористого металлооксидного слоя и интегральных структур. В работе представлены результаты исследования экспериментальных образцов преобразователей состава газа с пористым газочувствительным слоем. Газочувствительный слой сформирован методом струйной микропечати суспензии на основе SnO_2 с последующим отжигом. Проведено сравнение чувствительности экспериментальных образцов преобразователей состава газа с газочувствительными слоями, сформированными из двух вариантов исходной суспензии: на основе чистого SnO_2 и на основе SnO_2, легированного Cr и Nb. Получена зависимость изменения проводимости экспериментального образца интегрального преобразователя состава газа от концентрации H_2 в воздушной среде. Установлено, что газочувствительный слой на основе SnO_2 с добавками Cr и Nb имеет более высокую чувствительность к изменению концентрации детектируемого газа за счет более высокой удельной площади поверхности и меньшей агломерации частиц.

Ключевые слова: полупроводниковый датчик газа; газочувствительный слой; микроэлектромеханическая система; струйная микропечать; диоксид олова

© В.В. Амеличев, С.С. Генералов, А.В. Николаева, С.А. Поломошнов, В.А. Ковалев, А.М. Ковалев, В.В. Кривецкий, 2020

***Для цитирования*:** Исследование чувствительности пористых толстопленочных элементов на основе SnO_2 к концентрации водорода в воздухе / В.В. Амеличев, С.С. Генералов, А.В. Николаева и др. // Изв. вузов. Электроника. 2020. Т. 25. № 6. С. 539–547. DOI: 10.24151/1561-5405-2020-25-6-539-547

Финансирование работы: работа выполнена при финансовой поддержке РФФИ (проект № 18-33-20220) с использованием оборудования ЦКП «Функциональный контроль и диагностика микро- и наносистемной техники» на базе НПК «Технологический центр».

Study of Sensitivity of Porous Thick-Film Elements Based on SnO_2 towards Hydrogen Concentration in Air

V.V. Amelichev[1], S.S. Generalov[1], A.V. Nikolaeva[1], S.A. Polomoshnov[1,3], V.A. Kovalev[2], A.M. Kovalev[3], V.V. Krivetskiy[2]

[1]SMC «Technological Centre», Moscow, Russia
[2]Lomonosov Moscow State University, Moscow, Russia
[3]National Research University of Electronic Technology, Moscow, Russia

A.Nikolaeva@tcen.ru

Abstract: The semiconductor gas sensors with low power consumption have high sensitivity and fast response and their manufacturing technologies permit to reduce the dimensions of the transducer. In production of the semiconductor gas sensors the formation of metal-oxide sensitive layer is an important issue, in particular, the process of combination of the high-porous metal-oxide layer and integrated structures. In the paper, the results of the study on experimental transducers of the composition of gas with porous gas-sensitive layer have been presented. The gas-sensitive layer has been formed by the method of suspension inkjet printing of SnO_2 based suspension with further annealing. The comparison of the sensitivity of the experimental samples of the gas composition transducers with the gas-sensitive layers, formed from two variants of initial suspension: based on pure SnO_2 and SnO_2 doped with Cr and Nb, has been performed. The dependence of variation of conductivity of the gas composition of the integrated transducer specimen on the H_2 concentration in the air has been obtained. It has been found that the gas-sensitive layer based on SnO_2 with Cr and Nb additives has higher sensitivity to changes in the detected gas concentration due to higher effective surface area and suppressed grains agglomeration.

Keywords: semiconductor gas sensors; gas-sensitive layer; microelectromechanical system; inkjet microprinting; tin dioxide

For citation: Amelichev V.V., Generalov S.S., Nikolaeva A.V., Polomoshnov S.A., Kovalev V.A., Kovalev A.M., Krivetskiy V.V. Study of sensitivity of porous thick-film elements based on SnO_2 towards hydrogen concentration in air. *Proc. Univ. Electronics*, 2020, vol. 25, no. 6, pp. 539–547. DOI: 10.24151/1561-5405-2020-25-6-539-547

Funding: the study has been funded by RFBR (project № 18-33-20220). The study has been performed using the equipment of core facility «Functional control and diagnostics of micro- and nanosystem technics» of SMC «Technological Centre»

Введение. В настоящее время изготовление резистивных полупроводниковых датчиков газа, или МЭМС-преобразователей состава газа, содержащих в конструкции кристалла диэлектрическую мембрану, является перспективным направлением. Газочувствительный элемент МЭМС-преобразователей представляет собой оксид металла (SnO_2, ZnO, Fe_2O_3, WO_3, Co_3O_4) с легирующей добавкой металлов из платиновой группы и др. [1–3]. Для данных преобразователей состава газа характерны более высокая чувствительность, селективность и быстродействие при значительно меньших рабочих температурах и энергопотреблении. Они имеют широкий диапазон измерения концентрации (около четырех порядков), что позволяет одновременно измерять и регистрировать как низкие, так и высокие концентрации газов одним сенсором.

При производстве полупроводниковых датчиков газа металлооксидный чувствительный слой может быть сформирован несколькими методами. При выборе метода необходимо учитывать следующие факторы: чистоту материала, пористость, надежность, воспроизводимость и себестоимость процесса изготовления. К распространенным методам формирования металлооксидного чувствительного элемента относятся химическое осаждение из паровой фазы (CVD-метод), трафаретная печать, золь-гель-методы и физическое осаждение из паровой фазы (PVD-метод) [4]. Принципиальным вопросом при формировании чувствительного слоя является процесс совмещения высокопористого металлооксидного слоя и интегральных структур, создаваемых с использованием планарных технологий интегральных микросхем [5]. В последнее время активно применяется метод струйной микропечати. Преимущество данного метода – универсальность с точки зрения использования паст разного химического состава и структуры наносимого металлооксидного слоя, а также возможность его применения в мелкосерийном производстве газовых датчиков [6, 7].

Конструкция МЭМС-преобразователя состава газа. Экспериментальный образец представляет собой МЭМС-кристалл с жесткой рамкой из монокристаллического кремния размером 2×2 мм, толщиной 420 мкм и диэлектрической мембраной, со сформированными на ней тонкопленочным нагревателем и толстопленочным пористым газочувствительным слоем (рис.1 и 2).

Диэлектрическая мембрана сформирована нанесением на кремниевую подложку диэлектрических слоев диоксида кремния (SiO_2) и нитрида кремния (Si_3N_4) и последующим глубоким травлением кремния до диэлектрических слоев [8, 9]. На поверхности мембраны в центральной области методами магнетронного напыления и последующей фотолитографии сформирован тонкопленочный нагреватель из вольфрама. Выбор материала нагревателя обусловлен высокой температурой плавления

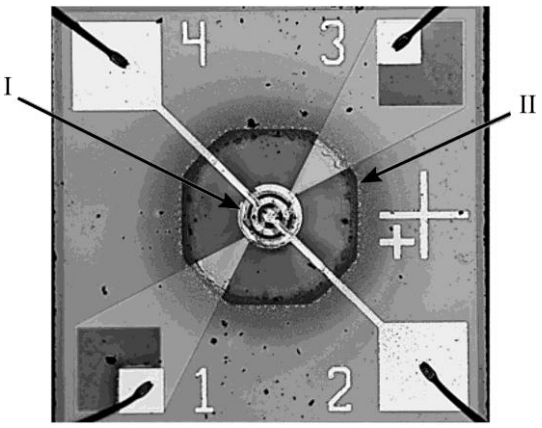


Рис.1. Экспериментальный образец интегрального преобразователя состава газа с развареными контактными площадками: 1, 3 – контактные площадки нагревателя; 2, 4 – площадки электродов – контактов к газочувствительному слою; I – структура нагревателя с платиновыми контактами к газочувствительному слою; II – граница тонкопленочной мембраны с нанесенным газочувствительным слоем

Fig.1. The gas sensor chip with contact pads: 1, 3 – the heater contact pads; 2, 4 – the contact pads of the contact electrodes to the gas sensitive layer; I – the heater and the platinum contact to the gas sensing layer; II – thin-film membrane area with coated gas-sensitive layer (haloing appear according to chip topography)

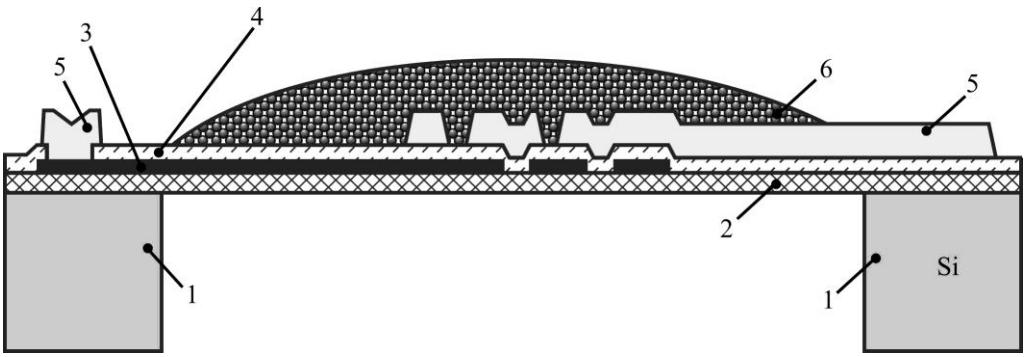


Рис.2. Структура поперечного сечения экспериментального образца интегрального преобразователя состава газа: 1 – подложка; 2 – диэлектрические слои SiO_2 и Si_3N_4; 3 – слой нагревателя; 4 – изолирующий слой SiO_2; 5 – платиновые электроды и контакты; 6 – газочувствительный слой
Fig.2. Cross-sectional structure of gas sensor chip: 1 – substrate; 2 – dielectric films (SiO_2 and Si_3N_4); 3 – heater; 4 – silicon oxide insolation film; 5 – platinum electrodes and contacts; 6 – gas sensitive layer

вольфрама, а также его стабильностью в области рабочих температур (400–600 °С) и высоким температурным коэффициентом сопротивления. Для минимизации механических напряжений в диэлектрической мембране и равномерного распределения тепла топология тонкопленочного нагревателя выполнена в форме круглого симметричного меандра. Над тонкопленочным нагревателем сформированы платиновые электроды – контакты к газочувствительному слою. Платина имеет низкое контактное сопротивление и высокую электрическую проводимость, что минимизирует время отклика преобразователя. Металлические слои изолированы пленкой осажденного SiO_2. Заключительным этапом изготовления экспериментальных образцов является процесс создания газочувствительного слоя на мембране в области нагревателя.

Газочувствительный слой сформирован методом струйной микропечати металлооксидных полупроводниковых слоев на специализированном стенде. Одной из основных проблем в технологии струйной микропечати является получение чернил – устойчивых суспензий с необходимыми функциональными параметрами вязкости и поверхностного натяжения. Устойчивость таких суспензий определяется как размерами зерен полупроводниковых оксидов, так и размерами их агломератов, формируемых в процессе термической обработки на стадии получения материала [10, 11]. В настоящей работе на кристаллы с тонкопленочным нагревателем нанесена суспензия ультрадисперсного нанокристаллического SnO_2 в этиленгликоле. Использованы два вида суспензии: на основе чистого SnO_2 и на основе SnO_2, легированного хромом Cr (1,0 % моль) и ниобием Nb (0,5 % моль). Далее с целью удаления органического связующего компонента и формирования пористого газочувствительного слоя проведена высокотемпературная (500 °С) термическая обработка (спекание) кристаллов. При этом за счет растекания и последующего затвердевания толстопленочный чувствительный элемент характеризуется разнотолщинностью, которая имеет вид ореола (см. рис.1).

Исследование параметров преобразователя состава газа. Исследована зависимость чувствительности экспериментальных образцов интегральных преобразователей состава газа от концентрации водорода в воздушной смеси. Измерения проведены при рабочей температуре нагревателя 500 °С и влажности среды в камере 2 %. При возрастании концентрации водорода в измерительной камере увеличивалась проводимость газочувствительного слоя преобразователя, что фиксировалось измерительной электронной схемой с делителем напряжения. На рис.3 представлена зависимость измене-

ния относительной проводимости газочувствительного пленочного элемента преобразователя состава газа от концентрации водорода в среде для двух видов газочувствительных слоев: SnO_2 и SnO_2-Cr-Nb.

Из графика на рис.3 видно, что у экспериментальных образцов с чувствительным слоем SnO_2-Cr-Nb во всем интервале концентраций отклик почти в 2 раза выше, чем со слоем из чистого SnO_2. Данный эффект коррелирует со значением удельной площади поверхности образцов, измеренным методом Брунауэра – Эметта – Теллера. Определено, что удельная поверхность чувствительного слоя на основе SnO_2, легированного Cr и Nb, примерно в 1,5 раза больше (41 $м^2/г$), чем у слоя на основе SnO_2 (26 $м^2/г$). Это свидетельствует о более пористой поверхности пленки и меньшей агломерации частиц [12].

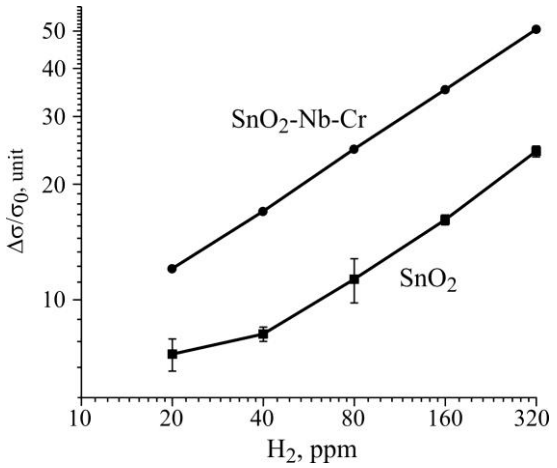


Рис.3. Зависимость чувствительности экспериментальных образцов интегрального преобразователя состава газа от концентрации водорода в воздушной среде

Fig.3. Sensor response dependence on the hydrogen concentration in the air

Оценочное значение потребляемой мощности экспериментальных образцов интегральных преобразователей состава газа при рабочей температуре 500 °C составило 30 мВт, что соответствует характеристикам известных аналогов [13, 14]. В таблице представлены характеристики экспериментального образца и известных аналогов.

Характеристики экспериментального образца интегрального преобразователя состава газа и известных аналогов
The characteristics of the experimental sample and known analogues

Чувствительный слой	Детектируемый газ	Рабочая температура, °C	Потребляемая мощность, мВт	Источник
SnO_2-Cr-Nb	H_2	500	30	Настоящая работа
SnO_2-Pd	H_2	185	10	[15]
SnO_2-Pt	$C_6H_5CH_3$ HCHO	300–440	45 ($C_6H_5CH_3$) 32 (HCHO)	[16]
SnO_2-Au	CH_4 CO	250 (CH_4) 100 (CO)	80 20	[17]
SnO_2-Au	C_2H_5OH	400	50	[18]
SnO_2	C_2H_5OH	400	9	[19]

В процессе экспериментов подтверждена восприимчивость разработанного преобразователя к другим опасным газам (NH_3, CO, H_2S, NO, NO_2 и др.) и проведены дополнительные исследования по количественной оценке его чувствительности к указанным газам.

Заключение. Разработанная конструкция МЭМС-преобразователя с тонкопленочной мембраной позволяет детектировать водород и другие газы разной химической природы. В результате измерения параметров преобразователя состава газа установлено, что газочувствительный слой на основе SnO_2 с добавками Cr и Nb, сформированный на поверхности мембраны методом струйной микропечати, по сравнению с слоем,

полученным из суспензии на основе чистого SnO_2, имеет более высокую чувствительность к изменению концентрации детектируемого газа из-за развитой пористой структуры, а также большую площадь внешней поверхности за счет меньшей агломерации частиц оксидного полупроводника.

Литература

1. Review on smart gas sensing technology / ***S. Feng, F. Farha, Q. Li et al.*** // Sensors. 2019. Vol. 19 (17). 22 p. URL: http://doi.org/10.3390/s19173760 (дата обращения: 10.06.2020).

2. ***Поломошнов С.А., Николаева А.В.*** Разработка конструкции газочувствительного полупроводникового преобразователя состава газа с использованием средств моделирования // Материалы науч.-техн. конф. «Микроэлектроника и информатика – 2017»: сб. статей. М.: МИЭТ, 2017. С. 152–157.

3. Преобразователь датчика взрывоопасных газов на диэлектрической мембране / ***С.А. Поломошнов, Ю.А. Чаплыгин, В.В. Амеличев и др.*** // Нано- и микросистемная техника. 2005. № 10. С. 39–42.

4. ***Fine G.F., Cavanagh L.M., Afonja F., Binions R.*** Metal oxide semi-conductor gas sensors in environmental monitoring // Sensors. 2010. Vol. 10 (6). P. 5469–5502. URL: https://doi.org/10.3390/s100605469 (дата обращения: 23.06.2020).

5. Tin oxide nanosensors for highly sensitive toxic gas detection and their 3D system integration / ***C. Griessler, E. Brunet, T. Maier et al.*** // Microelectronic Engineering. 2011. Vol. 88 (8). P. 1779–1781. URL: https://doi.org/10.1016/j.mee.2011.02.017 (дата обращения: 23.06.2020).

6. Organometallic synthesis of ZnO nanoparticles for gas sensing: towards selectivity through nanoparticles morphology / ***A. Ryzhikov, J. Jonca et al.*** // Journal of Nanoparticle Research. 2015. Vol. 17 (280). 10 p. URL: https:// doi.org/10.1007/s11051-015-3086-2 (дата обращения: 05.07.2020).

7. Micromachined hotplate platform for the investigation of ink-jet printed, functionalized metal oxide nanoparticles / ***P. Walden, J. Kneer, S. Knobelspies et al.*** // Journal of Microelectromechanical Systems. 2015. Vol. 24 (5). P. 1384–1390. URL: https:// 10.1109/JMEMS.2015.2399696 (дата обращения: 05.07.2020).

8. ***Амеличев В.В., Поломошнов С.А., Чаплыгин Ю.А.*** Разработка и проектирование интегральных термоэлементов // Проблемы разработки перспективных микроэлектронных систем – 2006: сб. науч. тр. / под общ. ред. А.Л. Стемпковского. М.: ИППМ РАН, 2006. С. 416–420.

9. ***Амеличев В.В., Годовицын И.В, Поломошнов С.А., Чаплыгин Ю.А.*** Оптимизация конструкции мембраны в теплодисперсионном датчике взрывоопасных газов // Изв. вузов. Электроника. 2005. № 3. С. 50–57.

10. ***Peter C., Kneer J., Wollenstein J.*** Inkjet printing of titanium doped chromium oxide for gas sensing application // Sensor Letters. 2011. Vol. 9(2). P. 807–811. URL: https://doi.org/10.1166/sl.2011.1619 (дата обращения: 03.07.2020).

11. ***Khan S., Briand D.*** All-printed low-power metal oxide gas sensors on polymeric substrates // Flexible and Printed Electronics. 2019. Vol. 4 (1). URL: https://doi.org/10.1088/2058-8585/aaf848 (дата обращения: 05.07.2020).

12. ***Кривецкий В.В., Румянцева М.Н., Гаськов А.М.*** Химическая модификация нанокристаллического диоксида олова для селективных газовых сенсоров // Успехи химии. 2013. Т. 82 (10). С. 917–941.

13. ***Liu H., Zhang L., Li K. H. H., Tan O. K.*** Microhotplates for metal oxide semiconductor gas sensor applications - towards the CMOS-MEMS monolithic approach // Micromachines. 2018. Vol. 9 (11). 24 p. URL: https://doi.org/10.3390/mi9110557 (дата обращения: 10.07.2020).

14. ***Abdeslam A.A., Fouad K., Khalifa A.*** Design and optimization of platinium heaters for gas sensor applications // Digest Journal of Nanomaterials and Biostructures. 2020. Vol. 15(1). P. 133–141.

15. Electrohydrodynamic inkjet printing of Pd loaded SnO_2 nanofibers on a CMOS micro hotplate for low power H_2 detection / ***H. Wu, J. Yu, R. Cao et al.*** // AIP Advances. 2018. Vol. 8 (5). 7 p. URL: https://doi.org/10.1063/1.5029283 (дата обращения: 10.07.2020).

16. ***Kang J.G., Park J.S., Lee H.J.*** Pt-doped SnO_2 thin film based micro gas sensors with high selectivity to toluene and HCHO // Sensors. Actuators B Chemical. 2017. Vol. 248. P. 1011–1016. URL: https://doi.org/10.1016/j.snb.2017.03.010 (дата обращения: 15.07.2020).

17. ***Kim I., Seo K.W., Kim I.*** Ultra-thin filmed SnO_2 gas sensor with a lowpower micromachined hotplate for selective dual gas detection of carbon monoxide and methane // Proc. of the 2017 Eleventh International Conference on Sensing Technology (ICST). Sydney, Australia, 2017. 5 p.

18. Mask-less deposition of Au-SnO_2 nanocomposites on CMOS MEMS platform for ethanol detection / ***S. Santra, A.K. Sinha, A. De Luca et al.*** // Nanotechnology. 2016. Vol. 27(12). 9 p. URL: https://doi: 10.1088/0957-4484/27/12/125502 (дата обращения: 20.07.2020).

19. Micro-machined gas sensor array based on metal film micro-heater / ***Y. Mo, Y. Okawa, M. Tajima et al.*** // Sensors Actuators B Chemical. 2001. Vol. 79. P. 175–181. URL: https:// doi.org/10.1016/S0925-4005(01)00871-1 (дата обращения: 20.07.2020).

Поступила в редакцию 27.07.2020 г.; после доработки 27.07.2020 г.; принята к публикации 22.09.2020 г.

Амеличев Владимир Викторович – кандидат технических наук, начальник отдела микросистемной техники НПК «Технологический центр» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, 1),V.Amelichev@tcen.ru

Генералов Сергей Сергеевич – начальник научно-исследовательской лаборатории наномикроэлектромеханических систем НПК «Технологический центр» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, 1), S.Generalov@tcen.ru

Николаева Анастасия Владимировна – младший научный сотрудник научно-исследовательской лаборатории новых технологических процессов НПК «Технологический центр» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, 1), A.Nikolaeva@tcen.ru

Поломошнов Сергей Александрович – кандидат технических наук, начальник научно-исследовательской лаборатории новых технологических процессов НПК «Технологический центр» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина), доцент кафедры интегральной электроники и микросистем Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, 1), S.Polomoshnov@tcen.ru

Ковалев Виталий Андреевич – студент Московского государственного университета имени М.В. Ломоносова (Россия,119991, г. Москва, Ленинские горы, 1, стр. 3), vitaly1195@mail.ru

Ковалев Алексей Михайлович – эксперт научно-исследовательской лаборатории интегральных технологий Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, 1), A.kovalev@gmail.com

Кривецкий Валерий Владимирович – кандидат химических наук, старший научный сотрудник химического факультета Московского государственного университета имени М.В. Ломоносова (Россия,119991, г. Москва, Ленинские горы, 1, стр. 3), vkrivetsky@inorg.chem.msu.ru

References

1. Feng S., Farha F., Li Q., Wan Y., Xu Y., Zhang T., Ning H. Review on smart gas sensing technology. *Sensors*, 2019, vol. 19 (17), 3760. 22 p. Available at: http://doi.org/10.3390/s19173760 (accessed: 10.06.2020).

2. Polomoshnov S.A., Nikolaeva A.V. Design of gas semiconductor sensor using modeling tools. *Proceedings of the scientific and technical conference «Microelectronics and Informatics-2017»*. Moscow, MIET Publ., 2017, pp. 152–157. (in Russian).

3. Polomoshnov S.A., Chaplygin Yu.A., Godovitsyn I.V., Ivanova O.M., Krutovertsev S.A. Transducer of explosive gas sensor based on dielectric diaphragm. *Nano- i mikrosistemnaya tekhnika = Nano- and Microsystems technology*, 2005, no. 10, pp. 39–42. (in Russian).

4. Fine G.F., Cavanagh L.M., Afonja F., Binions R. Metal oxide semi-conductor gas sensors in environmental monitoring. *Sensors*, 2010, vol. 10 (6), pp. 5469–5502. Available at: https://doi.org/10.3390/s100605469 (accessed: 23.06.2020).

5. Griessler C., Brunet E., Maier T., Steinhauera S., Köck A., Jordi T., Schrank F., Schrems M. Tin oxide nanosensors for highly sensitive toxic gas detection and their 3D system integration. *Microelectronic Engineering*, 2011, vol. 88 (8), pp. 1779 – 1781. Available at: https://doi.org/10.1016/j.mee.2011.02.017 (accessed: 23.06.2020).

6. Ryzhikov A., Jonca J. et al. Organometallic synthesis of ZnO nanoparticles for gas sensing: towards selectivity through nanoparticles morphology. *Journal of Nanoparticle Research*, 2015, vol. 17 (280). 10 p. Available at: https:// doi.org/10.1007/s11051-015-3086-2 (accessed: 05.07.2020).

7. Walden P., Kneer J., Knobelspies S. et al. Micromachined hotplate platform for the investigation of inkjet printed, functionalized metal oxide nanoparticles. *Journal of Microelectromechanical Systems*, 2015, vol. 24 (5), pp. 1384–1390. Available at: https:// 10.1109/JMEMS.2015.2399696 (accessed: 05.07.2020).

8. Amelichev V.V., Polomoshnov S.A., Chaplygin Yu.A. Development and design of integrated thermoelements. *Problems of Perspective Microelectronic Systems Development – 2006. Proceedings.* Ed. by A.L. Stempkovsky. Moscow, IPPM RAS Publ., 2006, pp. 416–420. (in Russian).

9. Amelichev V.V., Godovitsyn I.V., Krasukov A.Yu., Polomoshnov S.A., Chaplygin Yu.A. Design optimization of membrane in mems explosive gas sensor. *Izvestiya vuzov. Elektronika = Proceedings of Universities. Electronics*, 2005, no. 3, pp. 50–57. (in Russian).

10. Peter C., Kneer J., Wollenstein J. Inkjet printing of titanium doped chromium oxide for gas sensing application. *Sensor Letters*, 2011, vol. 9(2), pp. 807–811. Available at: https://doi.org/10.1166/sl.2011.1619 (accessed: 03.07.2020).

11. Khan S., Briand D. All-printed low-power metal oxide gas sensors on polymeric substrates. *Flexible and Printed Electronics*, 2019, vol. 4 (1) Available at: https://doi.org/10.1088/2058-8585/aaf848 (accessed: 05.07.2020).

12. Krivetskiy V.V., Rumyantseva M.N., Gaskov A.M. Chemical modification of nanocrystalline tin dioxide for selective gas sensors. *Russ. Chem. Rev*., 2013, 82 (10), pp. 917–941. Available at: https://doi.org/10.1070/RC2013v082n10ABEH004366 (accessed: 05.07.2020). (in Russian).

13. Liu H., Zhang L., Li K.H.H., Tan O.K. Microhotplates for metal oxide semiconductor gas sensor applications – towards the CMOS-MEMS monolithic approach. *Micromachines*, 2018, vol. 9 (11), 557. 24 p. Available at: https://doi.org/10.3390/mi9110557 (accessed: 10.07.2020).

14. Abdeslam A.A., Fouad K., Khalifa A. Design and optimization of platinium heaters for gas sensor applications. *Digest Journal of Nanomaterials and Biostructures*, 2020, vol. 15(1), pp. 133–141.

15. Wu H., Yu J., Cao R., Yang Y., Tang Z. Electrohydrodynamic inkjet printing of Pd loaded SnO_2 nanofibers on a CMOS micro hotplate for low power H_2 detection. *AIP Advances*, 2018, vol. 8 (5), 7 p. Available at: https://doi.org/10.1063/1.5029283 (accessed: 10.07.2020).

16. Kang J.G., Park J.S., Lee H.J. Pt-doped SnO_2 thin film based micro gas sensors with high selectivity to toluene and HCHO. *Sensors Actuators B Chemical*, 2017, vol. 248, pp. 1011–1016. Available at: https://doi.org/10.1016/j.snb.2017.03.010 (accessed: 15.07.2020).

17. Kim I., Seo K.W., Kim I. Ultra-thin filmed SnO_2 gas sensor with a lowpower micromachined hotplate for selective dual gas detection of carbon monoxide and methane. *In Proceedings of the 2017 Eleventh International Conference on Sensing Technology (ICST*). Sydney, Australia, 2017, p 5.

18. Santra S., Sinha A.K., De Luca A., Ali S.Z., Udrea F., Guha P.K. et al. Mask-less deposition of Au-SnO_2 nanocomposites on CMOS MEMS platform for ethanol detection. *Nanotechnology*, 2016, vol. 27(12), 9 p. Available at: https://doi: 10.1088/0957-4484/27/12/125502 (accessed: 20.07.2020).

19. Mo Y., Okawa Y., Tajima M., Nakai T., Yoshiike N., Natukawa K. Micro-machined gas sensor array based on metal film micro-heater. *Sensors Actuators B Chemical*, 2001, vol. 79, pp. 175–181. Available at: https:// doi.org/10.1016/S0925-4005(01)00871-1 (accessed: 20.07.2020).

Received 27.07.2020; Revised 27.07.2020; Accepted 22.09.2020.

Information about the authors:

Vladimir V. Amelichev – Cand. Sci. (Eng.), Head of the Microsystem Technology Department, SMC «Technological Centre» (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), V.Amelichev@tcen.ru

Sergey S. Generalov – Head of the Research Laboratory Nanomicroelectromechanical Systems, SMC «Technological Centre» (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), S.Generalov@tcen.ru

Anastasiya V. Nikolaeva – Junior Researcher of the Research Laboratory New Technological Processes, SMC «Technological Centre» (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), A.Nikolaeva@tcen.ru

Sergey A. Polomoshnov – Cand. Sci. (Eng.), Head of the Research Laboratory New Technological Processes, SMC «Technological Centre» (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), Assoc. Prof. of the Integrated Electronics and Microsystems Department, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), S.Polomoshnov@tcen.ru

Vitaliy A. Kovalev – Student, Lomonosov Moscow State University (Russia, 119991, Moscow, Leninskie Gory, 1, bld. 3), vitaly1195@mail.ru

Alexey M. Kovalev – Expert of the Research Laboratory of Integrated Technologies, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), A.kovalev@gmail.com

Valeriy V. Krivetskiy – Cand. Sci. (Chem.), Senior Researcher of the Chemistry Department, Lomonosov Moscow State University (Russia, 119991, Moscow, Leninskie Gory, 1, bld. 3), vkrivetsky@inorg.chem.msu.ru

Вниманию читателей журнала
«Известия высших учебных заведений. Электроника»

Подписку на электронную версию журнала можно оформить на сайтах:

- **Научной электронной библиотеки:** www.elibrary.ru
- **ООО «Агентство «Книга-Сервис»:** www.rucont.ru; www.akc.ru; www.pressa-rf.ru
- **ООО «УП Урал-Пресс»:** www.delpress.ru
- **ООО «ИВИС»:** www.ivis.ru

ИНФОРМАЦИОННО-КОММУНИКАЦИОННЫЕ ТЕХНОЛОГИИ
INFORMATION-COMMUNICATION TECHNOLOGIES

УДК 004.415.538:004.434 **DOI: 10.24151/1561-5405-2020-25-6-548-557**

Методика формирования тестовых последовательностей на основе графовой модели иерархии кеш-памяти

***А.В. Гаращенко*[1,2], *Л.Г. Гагарина*[1]**

[1]*Национальный исследовательский университет МИЭТ, г. Москва, Россия*
[2]*АО НПЦ «ЭЛВИС», г. Москва, Россия*

ant.gar1@mail.ru

Проверка иерархии кеш-памяти в современных системах на кристалле из-за большого пространства состояний требует огромного количества сложных тестов. Это становится основной проблемой для функциональной верификации при проектировании систем на кристалле. В работе для охвата всего пространства состояний предложены графовая модель иерархии кеш-памяти, а также методика генерации формирования тестовых последовательностей на основе этой модели, вершины которой представляют собой множество состояний (теги, значения и т.д.) каждого уровня иерархии, а ребра – множество переходов между состояниями (инструкции для чтения, записи). Разработанная графовая модель описывает все состояния иерархии кеш-памяти. Каждое ребро в графе является отдельной проверочной последовательностью. В случае возникновения недетерминированных ситуаций, например при выборе канала (порта) для многоканальной кеш-памяти, не удастся разрешить их на уровне графовой модели, поскольку выбор канала зависит от многих факторов, включая доступ к памяти со стороны других устройств, которые не рассматриваются в рамках модели. Поэтому предложено создать для каждого из вариантов поведения отдельный экземпляр подграфа в графовой модели, т.е. отдельный подграф для каждого канала. При проверке иерархии многопортовой кеш-памяти разрабатываемого ядра с новой векторной архитектурой VLIW DSP с помощью описанной методики выявлено несколько архитектурных и функциональных ошибок. В дальнейшем эта методика может применяться для тестирования других процессорных ядер и их блоков.

Ключевые слова: автоматическая генерация тестов; тестирование кеш-памяти процессора; верификация гетерогенной системы на кристалле; верификация кеш-памяти

© А.В. Гаращенко, Л.Г. Гагарина, 2020

Для цитирования: Гаращенко А.В., Гагарина Л.Г. Методика формирования тестовых последовательностей на основе графовой модели иерархии кеш-памяти // Изв. вузов. Электроника. 2020. Т. 25. № 6. С. 548–557. DOI: 10.24151/1561-5405-2020-25-6-548-557

An Approach to the Formation of Test Sequences Based on the Graph Model of the Cache Memory Hierarchy

A.V. Garashchenko[1,2], L.G. Gagarina[1]

[1]National Research University of Electronic Technology, Moscow, Russia
[2]Open Joint-Stock Company Research & Development Center «ELVEES», Moscow, Russia

ant.gar1@mail.ru

Abstract: The verification of the cache memory hierarchy in modern SoC due to the large state space requires a huge number of complex tests. This becomes the main problem for functional verification. To cover the entire state space, a graph model of the cache memory hierarchy as well as the methods of generating the formation of the test sequences based on this model have been proposed. The graph model vertices are a set of states (tags, values, etc.) of each hierarchy level, and the edges are a set of transitions between states (instructions for reading, records). The graph model, describing all states of the cache-memory hierarchy states, has been developed. Each edge in the graph is a separate check sequence. In case of the non-deterministic situations, such as the choice of a channel (port) for multichannel cache memory, it will not be possible to resolve them at the level of the graph model, since the choice of the channel depends on many factors not considered within the model framework. It has been proposed to create a separate instance of a subgraph for each channel. The described approach has revealed, in verification of the multiport cache-memory hierarchy of the developed core with the new vector architecture VLIW DSP, a few architectural and functional errors. This approach can be used to test other processor cores and their blocks

Keywords: automatic test generation; processor cache testing; heterogeneous system-on-chip verification; cache memory verification

For citation: Garashchenko A.V., Gagarina L.G. An approach to the formation of test sequences based on the graph model of the cache memory hierarchy. *Proc. Univ. Electronics*, 2020, vol. 25, no. 6, pp. 548–557. DOI: 10.24151/1561-5405-2020-25-6-548-557

Введение. Тенденция развития современной микроэлектроники ввиду уменьшения размера технологического процесса полупроводникового производства и повышения степени интеграции микросхем – увеличение производительности вычислительных систем за счет наращивания гетерогенности. Это ведет к возникновению новых классов процессоров, таких как сети и системы на кристалле (СнК). Многоядерные гетерогенные вычислительные СнК состоят из ядер общего назначения и специализированных вычислительных ядер с разной архитектурой. Это связано прежде всего с преимуществами применения разных типов процессоров для выполнения отдельных классов задач.

Один из решающих факторов, оказывающих влияние на производительность вычислительных систем, – время, необходимое на выполнение одной операции доступа в память [1], так как тактовая частота процессора на порядок выше частоты памяти. Также следует учитывать, что время взаимодействия с памятью подвержено влиянию других операций доступа, ограничено разрядностью полосы пропускания сигналов и определяется объемом и архитектурой подсистемы памяти. В высокопроизводительных вычислительных системах, к которым относятся СнК, для организации максимально эффективного с точки зрения времени доступа в память используется иерархическая память, состоящая из нескольких уровней. Чаще всего это регистры, кеш-память инструкций и данных, временные буферы для преобразования адресов, оперативная память, виртуальные и жесткие диски [2]. Иерархия формируется по принципу «чем выше уровень, тем быстрее скорость доступа к нему, а объем памяти меньше», так как быстродействующая память обходится достаточно дорого с точки зрения аппаратных затрат – места на кристалле, поэтому ее объем не может быть большим. Описанный подход становится эффективным, если данные хранить в иерархии памяти в порядке частоты их использования.

На текущем этапе развития микроэлектроники проектирование изделий происходит на уровне RTL-описания сложнофункциональных блоков. Проектирование является многоэтапным процессом. В связи с архитектурной сложностью современных многоядерных процессоров, применяемых при разработке СнК, более 60% ресурсов проектирования тратится на их верификацию. Это обусловлено высокой комбинаторной сложностью проверки корректности работы как отдельных ядер, так и системы в целом, поэтому функциональная верификация – один из важнейших этапов проектирования СнК.

Иерархия кеш-памяти. В современных гетерогенных СнК иерархия кеш-памяти является одним из самых архитектурно проблемных компонентов ввиду большой комбинаторики ее состояний [1, 3, 4]. Верификация такой подсистемы требует огромного объема комплексных тестов, что становится основной проблемой для функциональной верификации. Вычислительная сложность современных алгоритмов формальной верификации сокращает область их применения небольшими блоками [2, 3, 5] (типа ALU или отдельных элементов подсистемы памяти) или отдельными свойствами процессора, которые легко локализовать, что резко ограничивает использование формальных методов для тестов уровня подсистемы памяти процессора в целом [5]. Также ограничивающим фактором является время, которое требуется для разработки набора всевозможных тестов. Поэтому написать все тесты вручную невозможно. Таким образом, динамическая генерация верификационных последовательностей остается одним из основных методов проверки иерархии кеш-памяти вычислительных ядер.

Политика замены кеш-памяти или алгоритм кеширования – основной параметр проектирования любой иерархии памяти. Эффективность политики замены влияет как на частоту доступа, так и на задержку доступа к системе кеширования. Чем выше ассоциативность кеш-памяти, тем важнее становится алгоритм вытеснения. Существует большое количество политик замены, и каждая из них представляет собой компромисс между частотой вызовов, стоимостью (с точки зрения требуемых аппаратных ресурсов) и производительностью: наименее используемая строка, наиболее используемая строка, PseudoLRU, последняя использованная строка и многие другие. В настоящем исследовании используется кеш, реализующий политику замены LRU. Алгоритм LRU нацелен на снижение частоты промахов в ассоциативно-множественную кеш-память путем замены блока при промахе, который не использовался дольше всего. Логика политики

замены должна обновлять правильное упорядочение среди кеш-строк при каждом доступе в кеш-память на основе их времени нахождения в памяти независимо от того, чем вызван доступ – промахом или попаданием.

Вопросы верификации иерархии кеш-памяти, протоколов когерентности, включая разработку эффективных алгоритмов и методик генерации тестов, рассмотрены во многих работах [1, 2, 5]. Данные работы посвящены глубокому исследованию отдельных способов генерации стрессовых для кеш-памяти ситуаций, что свидетельствует о необходимости исследований в этом направлении.

Предложенные методы построения графовой модели иерархии многопортовой кеш-памяти для генерации тестовых последовательностей в рамках текущего исследования позволят повысить технико-экономические показатели по отношению к уже разработанным на рынке системам [6–8]. Технико-экономические характеристики процесса верификации зависят от качества и эффективности алгоритмов генерации тестов, поэтому важно увеличить полноту тестового покрытия и ускорить процесс верификации иерархии кеш-памяти гетерогенных многоядерных структур.

Математическая модель. Иерархия кеш-памяти гетерогенных СнК является промежуточным быстрым буфером с наиболее часто используемыми данными из менее высокоскоростных типов памяти. Опишем методику проверки иерархии кеш-памяти с генерацией краевых и критических ситуаций на основе графовой модели иерархии многопортовой кеш-памяти.

Для покрытия всех состояний функционального пространства иерархии многопортовой кеш-памяти предлагается построение графовой модели в соответствии со следующими правилами:

- G – модель ориентированного графа, $G=(V,E,v_0)$ (классическое определение);

- $V=\{v_0,v_1,...,v_n\}$ – множество вершин – состояния кеш-памяти (теги, значения и т.д.);

- $|V|$ зависит от конфигурации подсистемы памяти;

- $E=\{e_0,e_1,...e_n\}, |E|=5$ – множество ребер (инструкции чтения, записи, flush, prefetch и инвалидации), которое зависит от конфигурации подсистемы памяти;

- $V\cap E=\varnothing.\ \ f:v_i\mapsto f(v_i), v_{i+1}=f(v_i)$, где $f\in E$.

Графовая модель G, построенная в соответствии с приведенными правилами для одного уровня иерархии кеша с одним каналом, четырьмя ассоциативными путями, политикой LRU и $|E|=2$, состоит из 108 вершин.

Гарафовая модель LTS – граф состояний и переходов. Состояния в этом графе не предоставляют никакой информации, кроме изменений исходного состояния. Информация представлена в метках или действиях, связанных с переходами. Формально модель LTS используется в качестве основы для описания поведения тестов.

Формальное представление графовой модели LTS имеет вид (V,E,T,v_0), где

- множества V, E строятся согласно классическому определению G;

- $T\subseteq V\times E\times V$ – множество отношений переходов;

- $v_0\in V$ – начальное состояние;

- T – множество переходов;

- $t_i-\langle v_i,e_j,v_{i+1}\rangle, t_i\in T$;

- переход $t_i-\langle v_i,e_j,v_{i+1}\rangle$ в T (также $f_i(v_i)\to v_{i+1}$) означает, что система перешла из состояния v_i в состояние v_{i+1}, применив инструкцию e_j;

- $L = \{L_0, L_1, L_2\}$, L_i – кеш-память i уровня;

- $C = \{c_0, c_1, ..., c_n\}$ – значение строки кеш-памяти (используется для сравнения);

- $B = \{b_0, b_1, ..., b_n\}$ – множество блоков в кеш-строке;

- $H = \{G_0 \cup G_1 \cup ... \cup G_n\}$, $n = count(L)$, подграфами h_i которой являются графы G каждого уровня кеша;

- $S = \{s_0, s_1, ..., s_n\}$, $s_i = \{e_i, e_k, e_j\}, e_i, e_k, e_j \in E$ – множество последовательностей переходов;

- $P = \{p_0, p_1, ..., p_n\}$ – множество стратегий вытеснений из кеш-памяти;

- $updated(H, s_i) : v_i \mapsto updated(v_i), v_{i+1} = updated(v_i)$, $s_i \in S$ – функция перехода всей иерархии кеша к следующему состоянию.

На рис.1 показан пример графовой модели LTS для иерархии кеша, состоящей из одного уровня, содержащего одну строку с политикой LRU и четырьмя ассоциативными путями, где $|E| = 2$ (инструкции по доступу к памяти для чтения и записи).

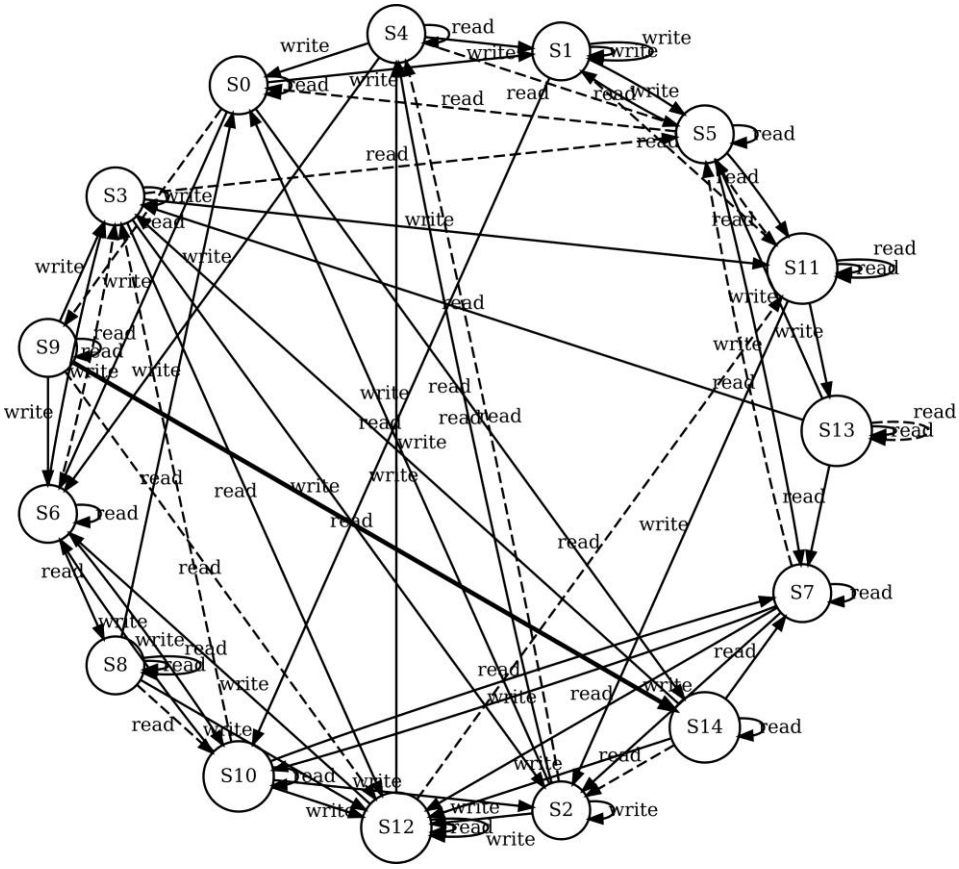


Рис.1. Графовая модель LTS
Fig.1. LTS graph model

Графовая модель для двух уровней иерархии кеш-памяти с политикой замены LRU (четыре пути и один канал) содержит около 10^8 вершин. С добавлением уровня в иерархию кеш-памяти количество вершин в графовой модели увеличивается экспоненциально.

Иерархия кеш-памяти современных гетерогенных структур состоит из нескольких уровней (обычно порядка 2–4). Уровень L_i кеш-памяти инклюзивно или эксклюзивно

обращается к следующему уровню L_{i+1}. Кеш последнего уровня самый большой, в него поступают данные из ОЗУ. В зависимости от инклюзивности кеша данные могут быть расположены сразу во всех уровнях иерархии или только на одном – эти типы кеш-памяти называются инклюзивными и эксклюзивными.

При обращении по чтению или записи в подсистему памяти блок управления памятью, входящий в состав процессора, проверяет нахождение требуемых данных в кеш-памяти (без учета когерентности в многоядерных структурах). Если возникает попадание в кеш (данные находятся в L_i), проверяются флаги валидности и Dirty/Modified. Далее данные извлекаются из нее в регистровый файл и помещаются в кеш первого уровня L_0. В противном случае – промах в кеш и одна из строк с данными (в зависимости от выбранной политики вытеснения данных), содержащимися в L_0, заменяется другой строкой с данными из оперативной памяти.

Для покрытия всего пространства состояний иерархии кеш-памяти строится иерархическая графовая модель $H = \{G_0 \cup G_1 \cup ... \cup G_n\}$, где $n = count(L)$, подграфами h_i которой является множество графов $G = \{g_0, g_1, ..., g_n\}$, каждого уровня кеша, а ребрами E_1 – множество переходов (evict, invalidate, flush и prefetch) между состояниями иерархии кеш-памяти порожденного множеством E (read, write, invalidate, flush и prefetch).

В случае возникновения недетерминированных ситуаций, например при выборе канала (порта) для многоканальной кеш-памяти, не удается разрешить их на уровне графовой модели, поскольку выбор канала зависит от многих факторов, включая доступ к памяти со стороны других устройств, которые не рассматриваются в рамках модели. Поэтому предлагается создать для каждого из вариантов поведения отдельный экземпляр подграфа $g_i \subseteq G$ в графовой модели, т.е. отдельный подграф $g_i \in G$ для каждого канала. Если состояние кеш-памяти после недетерминированного перехода t_i не соответствует ни одному состоянию кеша в подграфе модели, то кеш-память работает неверно, т.е. $\exists\ g_i, t_i$, где $t_i \in T$, $g_i \subseteq G$. Критерием ошибки в этом случае является состояние, которое не соответствует состоянию в $\{g_0, g_1, ..., g_n\}$, где n – количество каналов на соответствующем уровне иерархии кеш-памяти.

Методика генерации тестов, основанная на графовой модели иерархии кеш-памяти многоядерной структуры, позволяет с минимальным временем, затрачиваемым на генерацию тестовых последовательностей, моделировать все возможные функциональные состояния подсистемы памяти (рис.2). На рис.3 показан алгоритм построения графовой модели. Каждая тестовая последовательность представляет собой переход (ребро) в графовой модели (например, ребро между вершинами S_9 и S_{14} на рис.1) иерархии кеш-памяти H многоядерной структуры. Каждый переход в графе – это отдельный тест. Генерация тестов осуществляется путем обхода графа состояний, т.е. перебора всех переходов T графа G или H. Для моделей LTS примером является переход t_i из состояния v_i в состояние v_{i+1}. Система переходов в таком случае недетерминированная, но при этом древовидная и конечная.

Методика формирования верификационных тестов состоит в создании соответствующих инструкций метаязыка (переходам из графовой модели). Сначала генерируется стандартная последовательность, состоящая из инструкции метаязыка, которая переводит подсистему памяти в необходимое состояние без выполнения всех переходов в

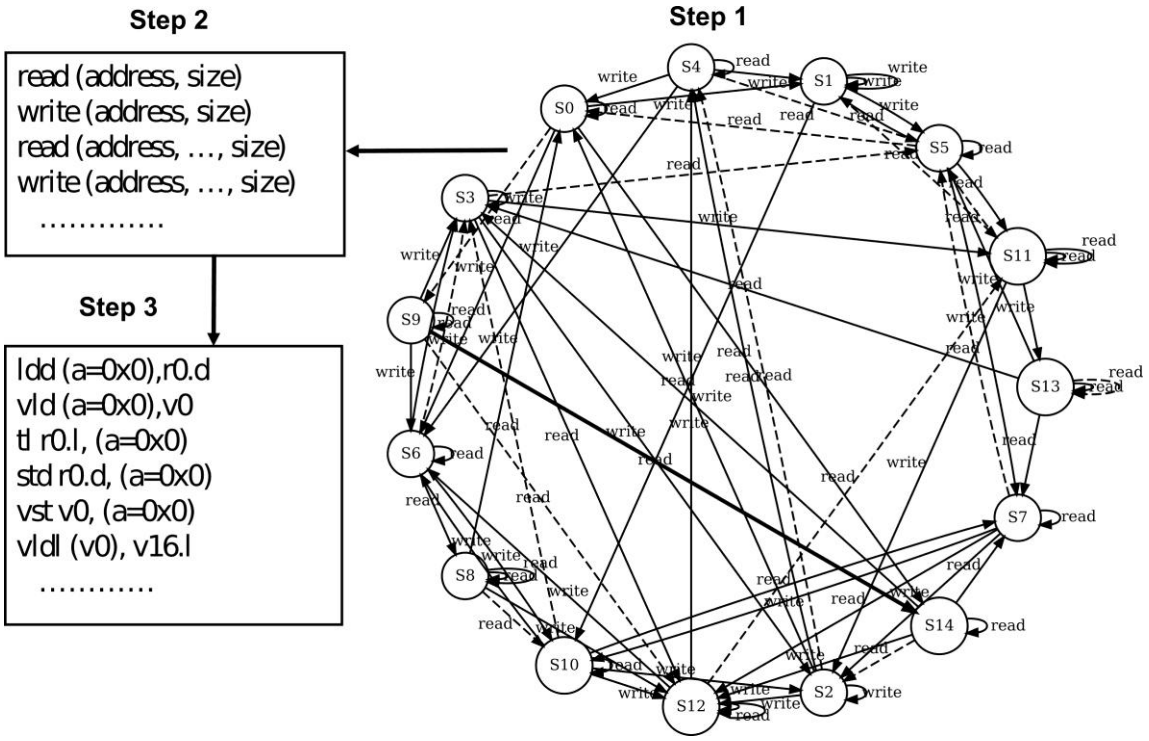


Рис.2. Алгоритм генерации верификационных тестов
Fig.2. Algorithm for generating verification tests

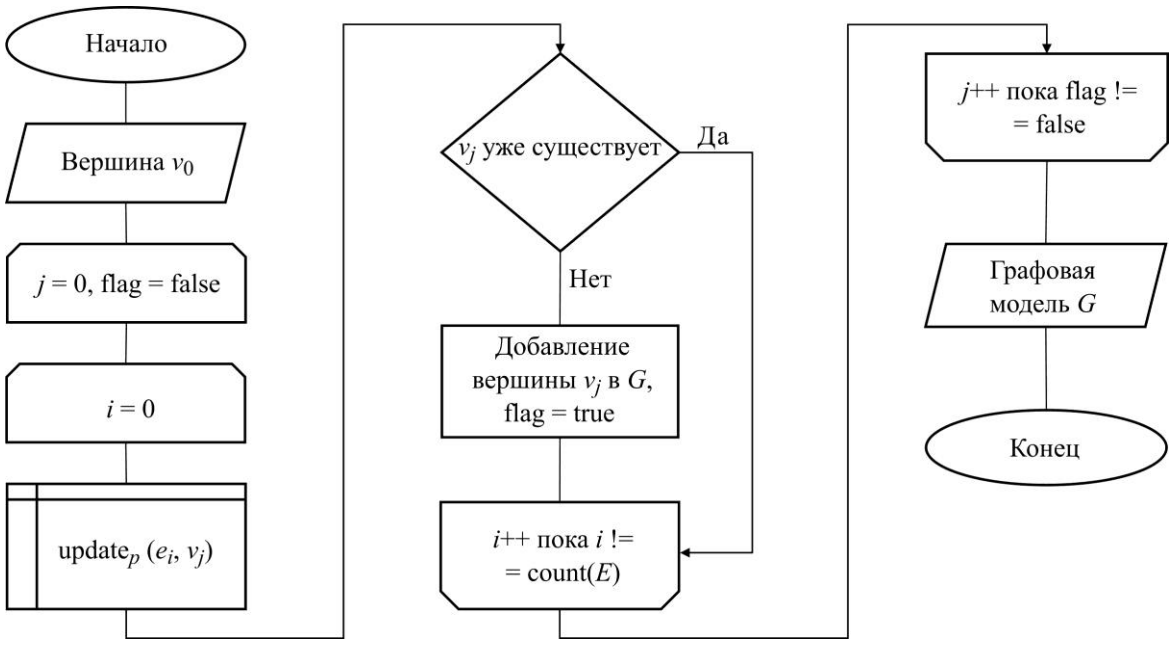


Рис.3. Алгоритм построения графовой модели иерархии кеш-памяти гетерогенных многоядерных структур
Fig.3. Algorithm for constructing a graph model of the cache memory hierarchy of heterogeneous multicore structures

графовой модели, чтобы сэкономить время моделирования. Затем создается последовательность, состоящая из инструкций, соответствующих проверяемому переходу в модели. Инструкции в множестве E написаны на метаязыке. Метаязык позволяет рабо-

тать с памятью процессора на более абстрактном уровне, что дает возможность отвязать тестовые последовательности от конкретного ассемблера и повысить степень повторного использования исходного кода от проекта к проекту. Необходимо только реализовать транслятор метаязыка для конкретного ассемблера или команд окружения. Такой подход обеспечивает возможность переноса разработанного генератора в другие проекты, в том числе с совершенно другой архитектурой вычислительных ядер.

Метаязык содержит две инструкции для работы с памятью – чтение (read) и запись (write). При необходимости в рамках тестируемой архитектуры возможно реализовать дополнительные инструкции метаязыка для трансляции в ассемблер, например с поддержкой векторного доступа в память. В настоящей работе это сделано при верификации иерархии кеш-памяти многопроцессорной СнК, состоящей из нескольких ядер ARM, MIPS и реализации VLIW DSP с новой архитектурой с поддержкой не более 16 векторных обращений в память.

Результаты исследования. Достоверность разработанных методов и алгоритмов подтверждена оценочными критериями, теоретическими расчетами и хорошей их сходимостью с использованием верифицированных моделей иерархии кеш-памяти, а также экспериментальными результатами, полученными при использовании системы генерации тестов для верификации VLIW DSP с новой архитектурой. На рис.4 приведено сравнение тестовых покрытий [4, 9–13].

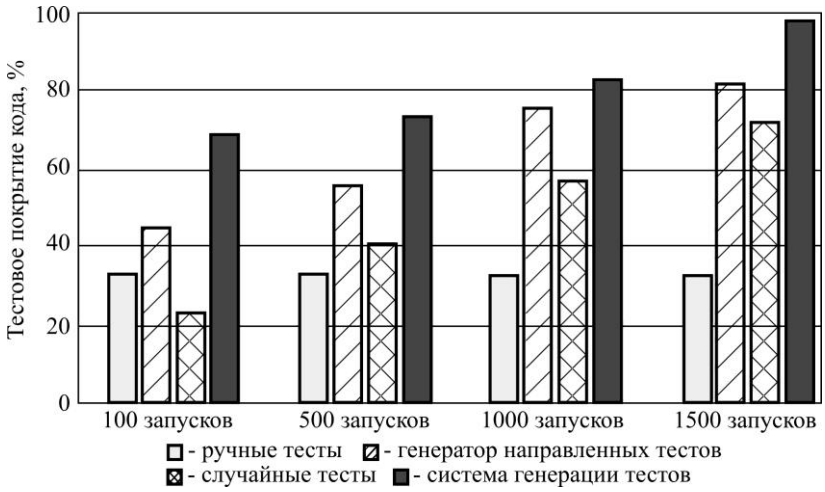


Рис.4. Сравнение тестовых покрытий кода
Fig.4. Comparison of test code coverages

Метрикой качества выбрана метрика, разработанная компанией Cadence. Данная метрика основана на измерении тестового покрытия кода, блоков, выражений и сигналов модели RTL (рис.5).

Предложенные модель и методика позволили:

- выявить 12 критичных ошибок при верификации ядра и связки кешей разрабатываемого VLIW DSP-ядра с новой архитектурой. Ошибки были найдены как в самом ядре, так и в автономных окружениях кеш-памятей;
- на 30 % сократить время на верификацию автономных окружений кеш-памятей;
- существенно сократить время формирования тестовых последовательностей, а также их количество;
- достичь 95 %-ного тестового покрытия кода RTL-описания модели кеш-памяти.

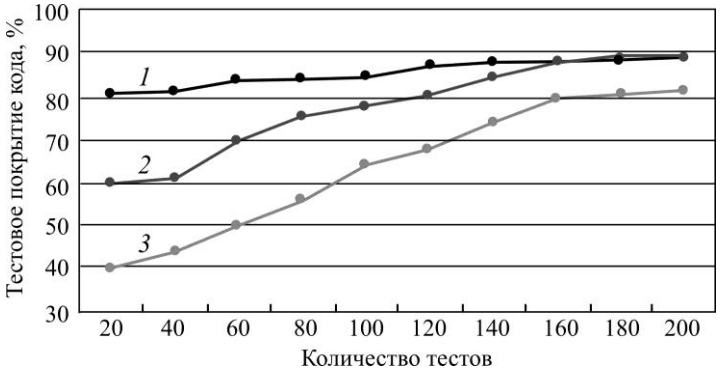


Рис.5. Зависимость тестового покрытия от количества тестов для кода блоков (*1*), кода выражений (*2*) и сигналов (*3*)
Fig.5. Dependence of test coverage on the number of tests for code block (*1*), code expression (*2*), and signals (*3*)

Заключение. Подход с использованием разработанных в работе методики и алгоритмов верификации иерархии многопортовых кеш-памятей многоядерных структур в виде программного средства позволил повысить полноту тестового покрытия кода RTL-моделей с минимальными временными затратами на генерацию тестовых последовательностей, а также промоделировать все возможные функциональные состояния подсистемы памяти.

В перспективе планируется применить данный подход для верификации других процессорных ядер.

Литература

1. ***Ajay M. Joshi, Lieven Eeckhout, Lizy K. John, Ciji IsenCiji Isen.*** Automated microprocessor stressmark generation // Conference: High Performance Computer Architecture, 2008. IEEE 14th International Symposium. 2008. – P. 229–239.

2. ***Russinoff D.M.*** Formal verification of floating-point RTL at AMD using the ACL2. Springer International Publishing, Switzerland, 2019. 343 p.

3. ***Garashchenko A., Nikolaev A., Putrya F., Sardaryan S.*** System of combined specialized test generators for a new generation of VLIW DSP processors with Elcore50 architecture // Problems of Developing Promising Micro- and Nanoelectronic Systems. 2018. No.2. P. 9–15.

4. An approach to automatic test generation for verification of microprocessor cores / ***L. Gagarina, A. Garashchenko, A. Shiryaev et al.*** // Young Researchers in Electrical and Electronic Engineering. 2018. P. 1490–1491.

5. ***Kim Y., John L.K.*** Automated di/dt stressmark generation for microprocessor power delivery networks // IEEE ACM International Symposium on Low Power Electronics and Design. Fukuoka. 2011. P. 253–258. DOI: 10.1109/ISLPED.2011.5993645

6. ***Alexandre Otto Strube, Dolores Rexachs, Emilio Luque*****.** Software probes: a method for quickly characterizing applications performance on heterogeneous environments // Parallel Processing Workshops 2009. International Conference on. 2009. P. 262–269.

7. Principles of verifiable RTL design: a functional coding style supporting verification processes in Verilog Hardcover. Springer, 2001. 101 p.

8. Means of functional verification of microprocessors / ***A. Kamkin, A. Kotsynyak, S. Smolov et al.*** // Proc. of the Institute for System Programming of the Russian Academy of Sciences. 2014. Vol. 26. No. 1. P. 149–206.

9. ***Putrya F.*** The use of random program generators and random background effects in the functional verification of multicore systems on a chip // Computer-Aided Design of Discrete Systems. 2010. P. 234–241.

10. ***Shamsul Alam S.*** Performance analysis of LT codec architecture using different processor templates // International Journal of Information Technology and Computer Science. 2019. No. 8. P. 41–48.

11. ***Kamath A.*** Automatic verification of microprocessor designs using random simulation // Computer Science. 2012. P. 1–5.

12. ***Lagoon V.*** Constraint-Based Test Generation // 13th International ACM SIGPLAN Conference on Principles and Practice of Declarative Programming (July 20–22, 2011, Odense, Denmark). 2011. P 1–2.

13. ***Litterick M., Harnisch M.*** Advanced UVM register modeling // DVCon 2014. San Jose, CA. P. 1–12.

Поступила в редакцию 08.09.2020 г.; после доработки 08.09.2020 г.; принята к публикации 22.09.2020 г.

Гаращенко Антон Витальевич – аспирант Института системной и программной инженерии и информационных технологий Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, 1), инженер АО НПЦ «ЭЛВИС» (Россия, 124498, г. Москва, г. Зеленоград, проезд 4922, 4/2), ant.gar1@mail.ru

Гагарина Лариса Геннадьевна – доктор технических наук, профессор, директор Института системной и программной инженерии и информационных технологий Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, 1), incos@miee.ru

References

1. Ajay M. Joshi, Lieven Eeckhout, Lizy K. John, Ciji IsenCiji Isen. Automated microprocessor stressmark generation. *Conference: High Performance Computer Architecture, 2008. IEEE 14th International Symposium*, 2008.

2. Russinoff D.M. *Formal verification of floating-point RTL at AMD using the ACL2*. Springer International Publishing, Switzerland, 2019. 343 p.

3. Garashchenko A., Nikolaev A., Putrya F., Sardaryan S. System of combined specialized test generators for a new generation of VLIW DSP processors with Elcore50 architecture. *Problems of developing promising micro- and nanoelectronic systems*, 2018, no. 2, pp. 9–15.

4. Gagarina L., Garashchenko A., Shiryaev A., Fedorov A. Dorogova E. An approach to automatic test generation for verification of microprocessor cores. *Young Researchers in Electrical and Electronic Engineering (EIConRus)*, 2018, pp. 1490–1491.

5. Kim Y., John L.K. Automated di/dt stressmark generation for microprocessor power delivery networks. *IEEE/ACM International Symposium on Low Power Electronics and Design*. Fukuoka, 2011, pp. 253–258. DOI: 10.1109/ISLPED.2011.5993645.

6. Alexandre Otto Strube, Dolores Rexachs, Emilio Luque. Software probes: a method for quickly characterizing applications performance on heterogeneous environments, parallel processing workshops 2009. *International Conference on*, 2009, pp. 262–269,

7. *Principles of verifiable RTL design: a functional coding style supporting verification processes in verilog hardcover*. Springer, May 31, 2001.

8. Kamkin A., Kotsynyak A., Smolov S., Tatarnikov A., Chupilko M., Sortov A. Means of functional verification of microprocessors. *Proceedings of the Institute for System Programming of the Russian Academy of Sciences*, 2014, vol. 26, no. 1, pp. 149–206.

9. Putrya F. The use of random program generators and random background effects in the functional verification of multicore systems on a chip. *Computer-aided design of discrete systems*, 2010, pp. 234 –241.

10. Shamsul Alam S. Performance analysis of LT codec architecture using different processor templates. *International Journal of Information Technology and Computer Science*, 2019, no.8, pp. 41–48.

11. Kamath A. Automatic verification of microprocessor designs using random simulation. *Computer Science*, 2012, pp. 1–5.

12. Lagoon V. Constraint-Based Test Generation. *13th International ACM SIGPLAN Conference on Principles and Practice of Declarative Programming*, July 20–22, 2011, Odense, Denmark, pp. 1–2.

13. Litterick M., Harnisch M. Advanced UVM Register Modeling. *DVCon 2014*, San Jose, CA, pp. 1–12.

Received 08.09.2020; Revised 08.09.2020; Accepted 22.09.2020.

Information about the authors:

Anton V. Garashchenko – PhD Student of the Institute of Systems and Software Engineering and Information Technology, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), Engineer of Open Joint-Stock Company Research & Development Center «ELVEES» (Russia, 124498, Moscow, Zelenograd, Proezd 4922, 4/2), ant.gar1@mail.ru

Larisa G. Gagarina – Dr. Sci. (Eng.), Prof., Director of the Institute of Systems and Software Engineering and Information Technology, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), incos@miee.ru

КРАТКИЕ СООБЩЕНИЯ
BRIEF REPORTS

УДК 621.3.049.774 **DOI: 10.24151/1561-5405-2020-25-6-558–562**

Метод проектирования широкополосного формирователя квадратурных сигналов

Ю.А. Чаплыгин[1], В.В. Лосев[1], А.Д. Калёнов[1,2]

[1]Национальный исследовательский университет «МИЭТ», г. Москва, Россия
[2]АО «НИИМА «Прогресс», г. Москва, Россия

kalyonov.alex@yandex.ru

При разработке широкополосного формирователя квадратурных сигналов с использованием SiGe-БиКМОП-технологии наиболее трудно решаются задачи линейности и широкополосного согласования. В широкой полосе частот квадратурный сигнал формируется с помощью полифазного фильтра или цифрового D-триггера. Применение только одного метода формирования является невозможным из-за ограничивающих особенностей электронно-компонентной базы SiGe-БиКМОП-технологии. В работе предложена структура, которая позволяет методом разделения рабочей полосы частот разработать широкополосный формирователь квадратурных сигналов с диапазоном рабочей частоты от 10 МГц до 6 ГГц. На частотах от 1 до 6 ГГц квадратурный сигнал формируется с применением полифазного фильтра, а на частотах менее 1 ГГц – делителя частоты. Использование метода разделения рабочей полосы частот позволило получить следующие характеристики формирователя квадратурных сигналов: разность амплитуд квадратурных сигналов менее 0,3 дБ; коэффициент стоячей волны менее 1,6 во всем диапазоне частот; коэффициент передачи не менее –2 дБ при мощности гетеродина 0 дБм; на частоте 6 ГГц P1дБ не менее 3 дБм. Экспериментальные результаты хорошо согласуются с данными моделирования.

Ключевые слова: СВЧ; полифазный фильтр; делитель частоты; квадратурный сигнал

Финансирование работы: работа выполнена при финансовой поддержке РФФИ (проект № 20-07-007-28/20).

Для цитирования: Чаплыгин Ю.А., Лосев В.В., Калёнов А.Д. Метод проектирования широкополосного формирователя квадратурных сигналов // Изв. вузов. Электроника. 2020. Т. 25. № 6. С. 558–562. DOI: 10.24151/1561-5405-2020-25-6-558-562

© Ю.А. Чаплыгин, В.В. Лосев, А.Д. Калёнов, 2020

Design Method for a Broadband Quadrature Signal Generator

Yu. A. Chaplygin[1], V.V. Losev[1], A.D. Kalyonov[1,2]

[1]National Research University of Electronic Technology, Moscow, Russia
[2]JSC Progress Microelectronics Research Institute, Moscow, Russia

kalyonov.alex@yandex.ru

Abstract: There are certain difficulties in the development of a broadband generator of quadrature signals (QSG) on a SiGe BiCMOS technology. The problem of linearity and broadband matching is the most difficult to solve. When designing QSG in a wide frequency band, there is a problem of forming a quadrature signal using traditional solutions using a polyphase filter or a digital D-trigger. The use of only one method for forming a quadrature signal is impossible due to the limiting features of the electronic component base of SiGe BiCMS technology. To solve this problem, we propose a structure that allows us to develop a broadband quadrature signal generator with an operating frequency range from 10 MHz to 6 GHz, using the method of dividing the operating frequency band. At frequencies from 1 to 6 GHz, the quadrature signal is generated using a polyphase filter, and at frequencies less than 1 GHz using a frequency divider. Using this method, the following characteristics of the FCS have been achieved: the difference in the amplitudes of quadrature signals is less than 0.3 dB; the VSWR is less than 1.6 over the entire frequency range; the transmission coefficient is not less than –2 dB at a 0 dBm heterodyne power; at a frequency of 6 GHz P1dB of at least 3 dBm. The experimental results are in good agreement with the simulation data.

Keywords: microwave; polyphase filter; frequency divider; quadrature signal

Funding: this work has been supported by the RFBR grant (project no. 20-07-007-28 / 20).

For citation: Chaplygin Yu.A., Losev V.V., Kalyonov A.D. Design method for a broadband quadrature signal generator. *Proc. Univ. Electronics*, 2020, vol. 25, no. 6, pp. 558–562. DOI: 10.24151/1561-5405-2020-25-6-558-562

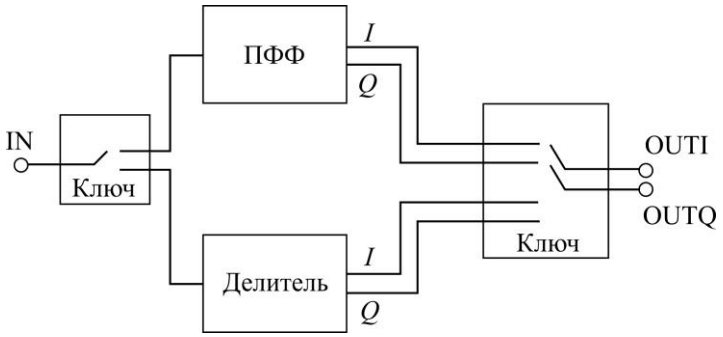
Формирователи квадратурных сигналов (ФКС) широко применяются в приемопередающих трактах военной аппаратуры связи, спутниковой навигации, устройствах радиолокации, аппаратуре радиоэлектронного противодействия, а также в бытовых устройствах сотовой и беспроводной связи. Интегральные ФКС характеризуются относительной простотой реализации, малой площадью топологии, сравнительно высокой устойчивостью характеристик к технологическому разбросу. В процессе разработки широкополосного ФКС выявлены и исследованы различные способы формирования квадратурных сигналов. Для широкополосного использования наиболее предпочтительно применение полифазного фильтра на высоких частотах и D-триггеров на низких частотах.

Традиционно для генерации квадратурных сигналов используется пара *RC–CR* и ее полифазные расширения. Полифазные фильтры (ПФФ) представляют собой разновидности *RC*-фильтров, которые при подаче на их вход сигнала синусоидальной формы формируют на выходе пару синусоидальных сигналов, имеющих разность фаз приблизительно 90° (в радиотехнике это так называемый фазовый метод формирования однополосного сигнала). В *RC–CR*-цепочке разность фаз между выходами $V_{I_{out}}$ и $V_{Q_{out}}$ равна 90° для всех частот. Однако ПФФ характеризуются большими вносимыми потерями (около 3 дБ на секцию). Для компенсации этих потерь требуется использовать буферные усилители. Количество каскадов фильтра выбирается от 2 до 5, исходя из требуемых величин разбаланса амплитуд и фаз, диапазона частот и допустимого ослабления фильтра. Рабочая частота для каждого каскада полифазного фильтра рассчитывается по формуле [1]:

$$f = \frac{1}{2\pi RC}.$$

Однако реализация *RC–CR*-фильтра на низких частотах нецелесообразна, так как для уменьшения рабочей частоты необходимо увеличивать номиналы резисторов и конденсаторов. Как следствие, резко возрастают размеры разрабатываемого блока и уменьшается линейность схемы [2]. Для решения этой проблемы разработан метод, согласно которому на низких частотах (до 1 ГГц) предлагается использовать цифровые D-триггеры для формирования квадратурного сигнала. Ограничением применения триггерных схем на высоких частотах является необходимость использования входного сигнала с удвоенной рабочей частотой. На формирование квадратурного сигнала с помощью триггеров на частотах выше 1 ГГц большое влияние оказывают паразитные составляющие. Несимметричность топологии приводит к изменению скважности сигнала и увеличению амплитудной и фазовой ошибок [3]. Применение только одного метода формирования квадратурного сигнала невозможно из-за ограничивающих особенностей электронно-компонентной базы SiGe-БиКМОП-технологии.

На рисунке представлена реализация метода в виде общей структурной схемы ФКС, состоящей из входного ключа, ПФФ, делителя частоты и выходного ключа. В зависимости от входной частоты квадратурный сигнал формируется с помощью ПФФ (на частотах от 1 до 6 ГГц) или делителя частоты (на частотах менее 1 ГГц).



Общая структурная схема широкополосного формирователя квадратурных сигналов
General block diagram of a broadband quadrature signal generator

Наиболее приемлемый способ формирования широкополосных квадратурных сигналов основан на использовании цепи с упорядоченными фазовыми сдвигами, которая представляет собой регулярную структуру, состоящую из резисторов с равными номиналами, а номиналы конденсаторов уменьшаются в геометрической прогрессии в зависимости от полосы рабочей частоты [4]. Для получения наилучших характеристик используются четыре каскада *RC–CR*-цепочек. ПФФ имеет следующие преимущества перед другими способами генерации квадратуры: простота исполнения (каскад ПФФ содержит четыре сопротивления и четыре емкости); широкая полоса рабочих частот при использовании трех-пяти каскадов в ПФФ; незначительная зависимость от разброса параметров при изготовлении [5]. Для получения требуемых параметров на частотах от 1 до 6 ГГц подключение должно обеспечивать постоянную амплитуду сигнала.

Для генерации квадратурного сигнала на низких частотах (от 10 до 1000 МГц) применяется каскад D-триггеров. Выходной триггер формирует *I* и *Q* составляющие. Разрабатываемый делитель частоты состоит из нескольких цифровых DFF-триггеров и одного триггера, формирующего квадратурный сигнал. С помощью управляемых мультиплексоров существует возможность делить частоту входного сигнала на 2, 4, 8 и 16. Преимущество триггерных формирователей квадратурных сигналов – возможность достичь высокого уровня согласования в широком диапазоне частот [6, 7]. Особенность триггерных схем, ограничивающая возможность их применения, заключается в необходимости использования входного сигнала с удвоен-

ной рабочей частотой. Триггерные схемы чувствительны к качеству топологии. Длины проводников, по которым протекает сигнал гетеродина, должны быть строго равны [8]. Невыполнение данного условия приводит к изменению скважности и, соответственно, появлению фазовой ошибки [9].

В таблице представлены значения требуемых параметров для различных ФКС. Данные для *RC–CR*-фильтра, полифазного фильтра и D-триггера взяты из открытых литературных источников. Эксперимент проводился при нормальных условиях после корпусирования кристаллов. В таблицу занесены средние значения параметров после измерения десяти образцов.

Значения требуемых параметров для различных ФКС
Values of required parameters for various of quadrature signals

ФКС	Диапазон частоты, ГГц	Разность амплитуд, дБ	Разность фаз, град	P1дБ, дБм	КСВ	$K_п$, дБ	$I_п$, мА
RC–CR-фильтр	2–3	<0,1	<2	5	<1,5	–12	40
ПФФ	1–6	<0,1	<0,8	5	<1,5	–10	60
D-триггеры	0,01–1	<0,3	<0,1	8	<1,6	12	60
Моделирование (предложенный метод)	0,005–7,5	<0,1	<0,5	6	<1,5	0	60
Эксперимент	0,01–6,1	<0,3	<0,8	3	<1,6	–2	70

Как видно из таблицы, экспериментальные значения разности амплитуд, фаз, коэффициента стоячей волны (КСВ) и коэффициента передачи $K_п$ сравнимы с данными из актуальных литературных источников и хорошо согласуются с результатами моделирования. Таким образом, можно говорить об адекватности предлагаемого метода разделения рабочей полосы частот.

При использовании данного метода достигнуты следующие характеристики ФКС: разность амплитуд квадратурных сигналов менее 0,3 дБ; КСВ менее 1,6 во всем диапазоне частот; коэффициент передачи не менее –2 дБ при мощности гетеродина 0 дБм; на частоте 6 ГГц P1dB не менее 3 дБм. При этом общий ток потребления $I_п$ формирователя квадратурных сигналов менее 70 мА; площадь разработанного блока составляет 1,12×1,01 мм.

Результаты исследований показывают высокую эффективность разработанного метода проектирования формирователя квадратурных сигналов.

Литература

1. ***Kaukovuori J.*** Analysis and design of passive polyphase filters // IEEE Transactions on Circuits and Systems. 2008. Vol. 55. No. 10. P. 3023–3037.

2. ***Park J.S., Wang H.A.*** Transformer-based poly-phase network for ultra-broadband quadrature signal generation // School of Electrical and Computer Engineering (Georgia Tech, Atlanta). 2015. Vol. 63. No. 12. P. 4444–4457.

3. ***Huizhen J., Yiyang S., Jie Z., Hun L.*** A 20–32-GHz quadrature digital transmitter using synthesized impedance variation compensation // IEEE Journal of Solid-State Circuits. 2020. Vol. 55. No.5. P. 1297–1309.

4. 9-GHz wideband CMOS RX and TX front-ends for universal radio applications / ***S. Hampel, O.Schmitz, M.Tiebout et al.*** // IEEE Transactions on Microwave Theory and Techniques. 2012. Vol. 60. No. 2. P. 1105–1116.

5. ***Chung-Yun C.*** The design of wideband and low-power CMOS active polyphase filter and its application in RF double-quadrature receivers // IEEE Transactions on Circuits and Systems. 2005. Vol. 52. No.5. P. 825–833.

6. ***Frounchi M.*** A low-loss broadband quadrature signal generation network for high image rejection at millimeter-wave frequencies// IEEE Transactions on Microwave Theory and Techniques. 2018. Vol. 66. No. 12. P. 5336–5346.

7. Wide locking-range frequency multiplier by 1.5 employing quadrature injection-locked frequency tripler with embedded notch filtering / ***S. Saebyeok et al.*** // IEEE Transactions on Microwave Theory and Techniques. 2019. Vol. 67. No.12. P. 4791–4802.

8. ***Kalcher M., Gruber D.*** 1-3-GHz self-aligned open-loop local quadrature phase generator with phase error below 0.4° // IEEE Transactions on Microwave Theory and Techniques. 2020. Vol. 68. No.8. P. 3510–3518.

9. ***Yatao P., Li-jun Z., Jun F., Yudong W.*** Analysis and design of a broadband SiGe HBT image-reject mixer integrating quadrature signal generator // IEEE Transactions on Microwave Theory and Techniques. 2016. Vol. 64. No. 3. P. 688–698.

Поступило в редакцию 22.08.2020 г.; после доработки 22.08.2020 г.; принято к публикации 22.09.2020 г.

Чаплыгин Юрий Александрович – академик РАН, доктор технических наук, профессор, заведующий кафедрой интегральной электроники и микросистем, президент Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, 1), president@miet.ru

Лосев Владимир Вячеславович – доктор технических наук, профессор кафедры интегральной электроники и микросистем Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, 1), dsd@miee.ru

Калёнов Александр Дмитриевич – аспирант кафедры интегральной электроники и микросистем Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, 1), дизайнер СБИС Отделения микроэлектроники СВЧ АО «НИИМА «Прогресс» (Россия, 125183, г. Москва, пр. Черепановых, 54), kalyonov.alex@yandex.ru

References

1. Kaukovuori J. Analysis and design of passive polyphase filters. *IEEE Transactions on Circuits and Systems*, 2008, vol. 55, no. 10, pp. 3023–3037.

2. Park J.S., Wang H. A. Transformer-based poly-phase network for ultra-broadband quadrature signal generation. *School of Electrical and Computer Engineering.* Georgia Tech, Atlanta, 2015, vol. 63, no. 12, pp. 4444–4457.

3. Huizhen J., Yiyang S., Jie Z., Hun L. A 20–32-GHz quadrature digital transmitter using synthesized impedance variation compensation. *IEEE Journal of Solid-State Circuits*, 2020, vol. 55, no. 5, pp. 1297–1309.

4. Hampel S., Schmitz O., Tiebout M. et al. 9-GHz wideband CMOS RX and TX front-ends for universal radio applications. *IEEE Transactions on Microwave Theory and Techniques*, 2012, vol. 60, no. 2, pp. 1105–1116.

5. Chung-Yun C. The design of wideband and low-power CMOS active polyphase filter and its application in RF double-quadrature receivers. *IEEE Transactions on Circuits and Systems*, 2005, vol. 52, no. 5, pp. 825–833.

6. Frounchi M. A low-loss broadband quadrature signal generation network for high image rejection at millimeter-wave frequencies. *IEEE Transactions on Microwave Theory and Techniques*, 2018, vol. 66, no. 12, pp. 5336–5346.

7. Saebyeok S. et al. Wide locking-range frequency multiplier by 1.5 employing quadrature injection-locked frequency tripler with embedded notch filtering. *IEEE Transactions on Microwave Theory and Techniques*, 2019, vol. 67, no. 12, pp. 4791–4802.

8. Kalcher M., Gruber D. 1-3-GHz self-aligned open-loop local quadrature phase generator with phase error below 0.4°. *IEEE Transactions on Microwave Theory and Techniques*, 2020, vol. 68, no. 8, pp. 3510–3518.

9. Yatao P., Li-jun Z., Jun F., Yudong W. Analysis and design of a broadband SiGe HBT image-reject mixer integrating quadrature signal generator. *IEEE Transactions on Microwave Theory and Techniques*, 2016, vol. 64, no. 3, pp. 688–698.

Received 22.08.2020; Revised 22.08.2020; Accepted 22.09.2020.

Information about the authors:

Yuri A. Chaplygin – Correspondent Member of the Russian Academy of Sciences, Dr. Sci. (Eng.), Prof., Head of the Integrated Electronics and Microsystems Department, President, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), president@miet.ru

Vladimir V. Losev – Dr. Sci. (Eng.), Prof. of the Integrated Electronics and Microsystems Department, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), dsd@miee.ru

Alexander D. Kalyonov – PhD student of the Integrated Electronics and Microsystems Department, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), VLSI Designer of the Microwave Microelectronics Department, JSC NIIMA Progress (Russia, 125183, Moscow, Proyezd Cherepanovykh, 54), kalyonov.alex@yandex.ru

УДК 621.383.8 DOI: 10.24151/1561-5405-2020-25-6-563-568

Влияние внешнего излучения на емкостные и токовые характеристики излучающих структур

В.В. Урумов

Северо-Кавказский горно-металлургический институт (государственный технологический университет), г. Владикавказ, Россия
Северо-Осетинский государственный университет имени Коста Левановича Хетагурова, г. Владикавказ, Россия

m.o.r.b.i.u.s@mail.ru

Электролюминесцентный источник света может использоваться в качестве гибких компактных плоских источников равномерного подсвечивания. Исследования по совершенствованию его основных характеристик, в особенности яркости цветности генерации, продолжаются. В работе рассмотрена возможность использования изменяющихся емкостных и токовых параметров гибких электролюминесцентных источников света для фиксации и определения уровня внешнего излучения, включающего ближний инфракрасный, видимый и ультрафиолетовый диапазоны. Определена степень влияния излучения на емкостные и токовые характеристики структур, изготовленных на основе ZnS:Cu, Mn-люминофора с применением сегнетоэлектрика – титаната бария. В ходе исследований проведены инструментальный и экспертный анализы, а также неразрушающий и разрушающий технологический контроль. Установлено, что при изменении яркости излучения от 0 до 2500 кд/м^2 электроемкость структуры площадью 600 см^2 увеличивается на 25 % (до 60 нФ), а повышение яркости приводит к существенному пропорциональному увеличению (до 20 %) тока проводимости структуры.

Ключевые слова: электролюминесцентный источник света; электроемкость; плоский конденсатор; диэлектрическая проницаемость; цинксульфидный люминофор; титанат бария

Для цитирования: Урумов В.В. Влияние внешнего излучения на емкостные и токовые характеристики излучающих структур // Изв. вузов. Электроника. 2020. Т. 25. № 6. С. 563–568. DOI: 10.24151/1561-5405-2020-25-6-563-568

Influence of External Radiation on Parameters of Electroluminescent Panel

V.V. Urumov

North Caucasian Institute of Mining and Metallurgy (State Technological University), Vladikavkaz, Russia
North Ossetian State University Named after Kosta Levanovich Khetagurov, Vladikavkaz, Russia

m.o.r.b.i.u.s@mail.ru

Abstract: The electroluminescent light source can be used as flexible compact flat sources of uniform illuminating. The studies on improvement of its main characteristics, especially of color intensity generation, continue. In the paper the possibility of using the changing capacitive and current characteristics of flexible light sources – electrolu-

© В.В. Урумов, 2020

minescent panels to fix and determine the level of external radiation, which includes the near infrared, optical and ultraviolet ranges, has been shown. The degree of the influence of radiation on the capacitive and current characteristics of these structures based on ZnS: Cu, Mn phosphor using a barium titanate ferroelectric has been revealed. During the studies the instrumental and expert analysis as well as the non-destructive and destructive technological control have been used. It has been found that while changing the radiation intensity from 0 to 2500 kd/m^2 the electric capacity of the structure with 600 cm^2 area becomes 25 % increased, and the intensity increase leads to considerable proportional increase (up to 20 %) of the structure conductivity current

Keywords: optical radiation detector; electroluminescent panel; dielectric constant; zinc sulfide phosphor; barium titanate

For citation: Urumov V.V. Influence of external radiation on parameters of electroluminescent panel. *Proc. Univ. Electronics*, 2020, vol. 25, no. 6, pp. 563–568. DOI: 10.24151/1561-5405-2020-25-6-563-568

Электролюминесцентные источники света (ЭЛИС) – гибкие компактные и плоские источники равномерного подсвечивания. Исследования по совершенствованию их основных характеристик, в особенности яркости цветности генерации, продолжаются [1].

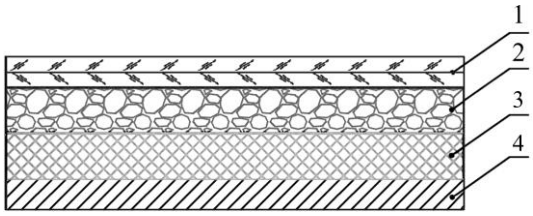


Рис.1. Структура электролюминесцентной панели: 1 – лавсановая пленка и прозрачный проводящий слой ITO (10 % SnO и 90 % In_2O_3); 2 – люминесцентный слой (ZnS-люминофор и диэлектрическое связующее); 3 – диэлектрический слой ($BaTiO_3$ и диэлектрическое связующее); 4 – непрозрачный электрод (Al, Ag)

Fig.1. Design of the electroluminescent panel: 1 – lavsan film and a transparent conductive layer of ITO (10% SnO and 90% In_2O_3); 2 – luminescent layer (ZnS phosphor and dielectric binder); 3 – dielectric layer ($BaTiO_3$ and dielectric binder); 4 – opaque electrode (Al, Ag)

Электролюминесцентная панель – это конденсатор с двумя проводящими поверхностями, между которыми располагаются светоизлучающий и диэлектрический слои (рис.1). В качестве одной проводящей поверхности используется ITO-пленка с осажденным на пластиковой основе оксидом индия, легированным оловом (indium tin oxide, ITO). ITO-пленка является полупроводником *n*-типа с низким поверхностным сопротивлением ≤500 Ом/□ и высокой прозрачностью ≈85% в видимой области спектра. Другая проводящая поверхность – алюминиевая фольга [2]. Параметры ЭЛИС: напряжение питания U = 40–350 В, частота питающего напряжения f = 50–1000 Гц, яркость свечения 200–300 кд/м^2 при f = 1000 Гц, средняя потребляемая мощность $P_п$ ≤30 Вт/м^2.

В момент приложения переменного напряжения к проводящим областям возникает электрическое поле, напряженность которого описывается выражением [3]

$$E = E_{ср}\frac{3\varepsilon_д}{\varepsilon_{эл} + 2\varepsilon_д - \chi(\varepsilon_{эл} - \varepsilon_д)}, \quad (1)$$

где $E_{ср}$ – средняя напряженность поля в слое в целом, В/м; $\varepsilon_д$ – относительная диэлектрическая проницаемость диэлектрического слоя; $\varepsilon_{эл}$ – относительная диэлектрическая проницаемость зерен электролюминофора; χ – доля объема, занятого люминофором.

Экспериментальные исследования различных оптических и электрических характеристик ЭЛИС показали, что его можно использовать и как фотоприемник излучения, и как датчик света, например входящий в состав автоматического ключа для питания какой-либо электросистемы. ЭЛИС как конденсатор характеризуется значением электроемкости C, варьируемой в широком диапазоне (десятки и сотни нанофарад) при разных условиях функционирования и уровнях внешней засветки даже в отключенном состоянии. Таким образом, зная значение C, можно оценить интенсивность внешнего воздействия.

Наличие в составе люминесцирующих слоев ЭЛИС поляризующегося сегнетоэлектрика обусловливает изменение электроемкости системы под влиянием внешнего электромагнитного излучения. Оптическое излучение поляризует диэлектрический слой, содержащий сегнетоэлектрик, в результате чего изменяется относительная диэлектрическая проницаемость структуры, а значит, и электроемкость C между электродными покрытиями в соответствии с выражением

$$C = \frac{\varepsilon_0 \varepsilon S}{d}, \qquad (2)$$

где ε_0 – электрическая постоянная, $Ф \cdot м^{-1}$; ε – относительная диэлектрическая проницаемость слоя; S – площадь пластин конденсатора, $м^2$; d – расстояние между пластинами, м.

Значение ε в зависимости от количества титаната бария ($BaTiO_3$) достигает 20 ед. и более, площадь S может составлять от нескольких квадратных сантиметров до десятков квадратных дециметров, а расстояние d в среднем равно 70 мкм [4]. Из выражения (2) видно, что эти величины определяют значение электроемкости структуры и могут повлиять на ее рост, что повысит уровень фоточувствительности системы в целом.

В ходе экспериментальной части работы изготовлены ЭЛИС площадью 60 и 600 $см^2$, с использованием которых проведены исследования по определению степени влияния внешней засветки на электроемкость структуры (рис.2). Значения d и ε в обоих случаях составляют 75 мкм и 22 ед. Видно, что варьирование яркости L внешнего излучения от 0 до 2500 $кд/м^2$ приводит к изменению электроемкости структуры в среднем на 25 %, при этом прирост по абсолютному значению достигает более 60 нФ.

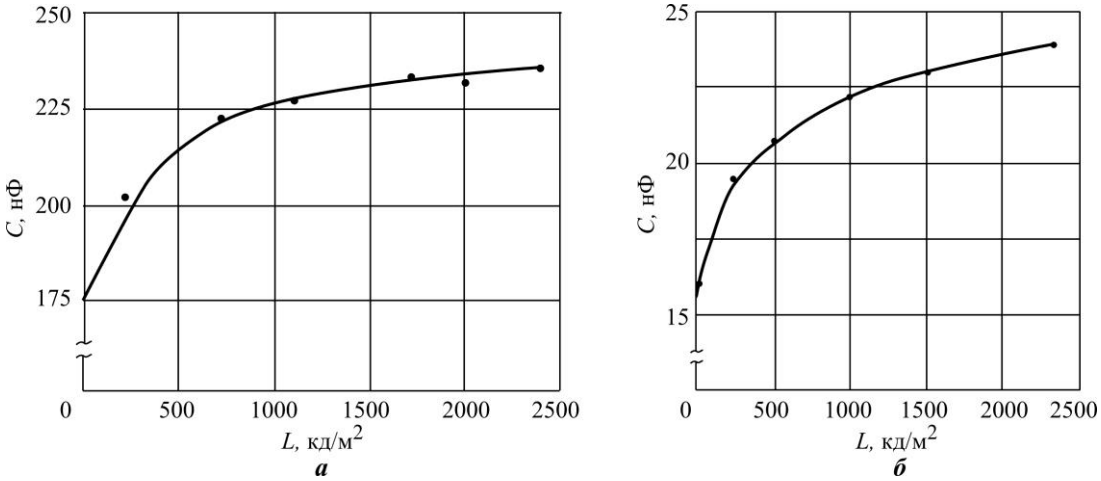


Рис.2. Зависимости электроемкости ЭЛИС площадью 600 $см^2$ (*а*) и 60 $см^2$ (*б*) от уровня яркости свечения светодиодной лампы с излучаемым спектром 6500 К

Fig.2. Dependences of the electric intensity of an ELP with an area of 600 cm^2 (*a*) and 60 cm^2 (*b*) on the brightness level of the glow of an LED lamp with an emitted spectrum of 6500 K

Интересным техническим решением рассматриваемого ЭЛИС-приемника является использование с нижней стороны подложки электродного полупрозрачного в жесткой УФ- и ближней рентгеновской области спектра покрытия (тонкая пленка алюминия или серебряная паста). Излучения подобного спектрального состава вызывают активную фотолюминесценцию в электролюминофоре. Излучение от электролюминофора поглощается кристаллами $BaTiO_3$, входящего в состав связующего, благодаря чему меняется его диэлектрическая проницаемость (фотодиэлектрический эффект). Это способствует дополнительному росту электроемкости структуры, а значит, и фоточувствительности структуры в целом [5].

Для использования эффекта воздействия внешней освещенности на ЭЛИС в прикладных целях при изготовлении датчиков результаты фиксируются не на емкостных, а на токовых характеристиках структуры. В соответствии с этим исследовано влияние внешней освещенности на ток проводимости ЭЛИС. Следует отметить, что структура изготовлена на основе

ZnS:Cu, Mn-люминофора с пиком излучения в относительно длинноволновой оранжево-красной области (λ = 600 нм) [6, 7]. Данное свойство достигается наличием в составе электролюминофора соактиватора – Mn в количестве ≈$3{,}6\cdot10^{-5}$ г на 1 г ZnS, что обеспечивает снижение энергии возбуждения рабочих примесных уровней. Это, в свою очередь, способствует расширению спектра фотоэлектрической чувствительности ЭЛИС-приемника в его длинноволновой области.

На изготовленную панель площадью 60 см^2 подавалось излучение яркостью L, достигающей 2000 кд/м^2 при малом питающем напряжении 30 В и частоте 600 Гц (рис.3,*а*). Из рисунка видно, что повышение яркости приводит к существенному пропорциональному увеличению тока I структуры, который изменяется практически на 40% – с 0,8 до 1,2 мА. Это можно объяснить переходом дополнительных электронов с примесных уровней в зону проводимости кристаллов цинксульфидного люминофора.

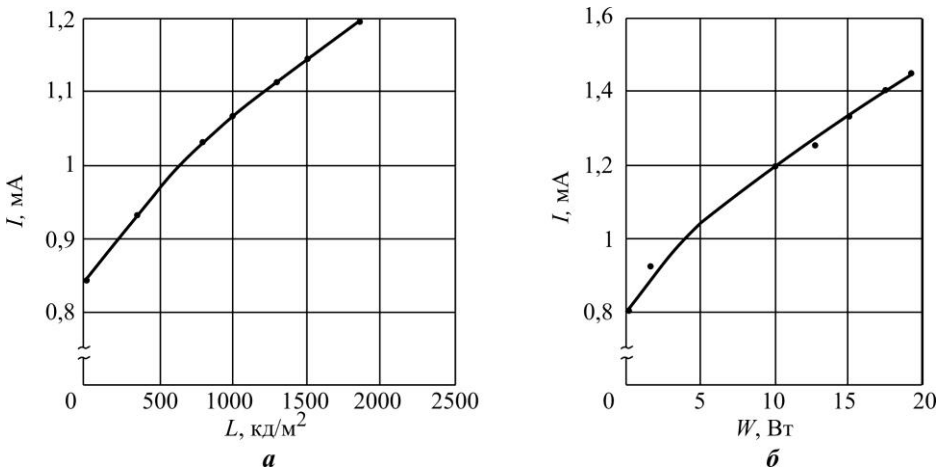


Рис.3. Зависимости тока проводимости ЭЛИС от яркости свечения лампы (*а*) и от мощности УФ-излучения лампы Wonder Light HE-360 (*б*) при напряжении 30 В и частоте 600 Гц

Fig.3. Dependences of the conductivity current of the ELP from the brightness of the lamp (*a*) and from the radiation power of the UV lamp Wonder Light HE-360 (*b*) at a voltage of 30 V and a frequency of 600 Hz

Сравнение зависимостей показывает, что при одинаковом воздействии излучения на ЭЛИС ее емкостная зависимость после роста переходит в фазу насыщения (см. рис.2,*а*), а токовая в том же яркостном диапазоне практически линейно увеличивается. (см. рис.3,*а*). Поэтому можно сказать, что в данном случае отсутствует строгая сонаправленная прямая связь между изменениями электроемкости и тока проводимости структуры, обусловленными внешним оптическим воздействием. Также установлено, что повышение питающего структуру напряжения до 100 В приводит к существенному, более чем наполовину, снижению темпа прироста тока проводимости с увеличением яркости. Это объясняется обеднением примесных уровней полупроводника под воздействием прилагаемого потенциала.

В ходе исследований проведен эксперимент по определению влияния излучения УФ-области спектра на ЭЛИС. Лампа Wonder Light HE-360, размещенная на расстоянии 1 м от поверхности структуры, испускала УФ-излучение мощностью от 0 до 20 Вт. Установлена высокая чувствительность структуры, ток проводимости пропорционально нарастал от 0,8 до 1,45 мА (рис.3,*б*).

Основываясь на полученных результатах, можно сделать вывод о возможном практическом применении рассмотренного эффекта, наблюдаемого в ЭЛИС при их использовании в том числе в качестве датчиков. Его преимущество – в более широком спектральном диапазоне в отличие, например, от представленного в [8] полупроводникового датчика УФ-излучения, содержащего подложку из монокристаллического сапфира, слой полупроводника, чувствительного к УФ-излучению, и электродную систему.

В результате проведенных исследований установлено, что при изменении яркости излучения от 0 до 2500 кд/м^2 электроемкость структуры площадью 600 см^2 увеличивается на 25 % (до 60 нФ). Повышение уровня яркости приводит к существенному пропорциональному увеличению до 20 % тока проводимости структуры. Таким образом, электролюминесцентные источники света можно использовать как приемные устройства датчиков излучения.

Литература

1. ***Гончаров И.Н., Козырев Е.Н., Малдзигати А.И., Аскеров Р.О.*** Исследование и повышение важнейших характеристик гибких световых панелей // Светотехника. 2017. № 4. С.47–50.

2. ***Гончаров И.Н., Козырев Е.Н., Аскеров Р.О., Малдзигати А.И.*** Исследование и повышение долговечности излучения электролюминесцентных панелей // Радиотехника и электроника. 2016. Т. 61. № 1. С. 89–92.

3. Исследование импеданса электролюминесцентного конденсатора / ***И.Н. Гончаров, Е.Н. Козырев, В.Ф. Ивакин и др.*** // Устойчивое развитие горных территорий. 2014. № 4 (22). С. 115–117.

4. Разработка и изготовление высокоэффективных электролюминесцентных панелей / ***Н.Е. Шубин, Е.Н. Козырев, А.А. Платова и др.*** // Вестник Воронежского государственного технологического университета. 2013. Т.9. №6-2. С. 74–77.

5. ***Барышников С.В.*** Влияние внешних воздействий на диэлектрические и оптические свойства сегнетоэлектриков с различным электронным спектром: дис. ... докт. физ-мат. наук. Благовещенск, 1990. 280 с.

6. ***Верещагин И.К.*** Электролюминесценция кристаллов. М.: Наука, 1974. 280 с.

7. ***Бурковский В.Л., Глотова Ю.Н., Ефремов Д.А., Романов А.В.*** Физические явления и эффекты в технических системах: уч. пособие. Воронеж: ГОУ ВПО «Воронежский государственный технический университет», 2007. 242 с.

8. Полупроводниковый датчик ультрафиолетового излучения / ***А.В. Корляков, С.В. Костромин, В.В. Лучинин и др.*** // Патент России №2155418, МПК2000.01 H01L31/06. 2000.

Поступило в редакцию 14.04.2020 г.; после доработки 14.04.2020 г.; принято к публикации 22.09.2020 г.

Урумов Владимир Владимирович – аспирант Северо-Кавказского горно-металлургического института (государственного технологического университета) (Россия, 362021, Республика Северная Осетия – Алания, г. Владикавказ, ул. Николаева, 44), сотрудник лаборатории ядерных исследований Северо-Осетинского государственного университета имени Коста Левановича Хетагурова (Россия, 362025, Республика Северная Осетия – Алания, г. Владикавказ, ул. Ватутина, 43), m.o.r.b.i.u.s@mail.ru

References

1. Goncharov I.N., Kozyrev E.N., Maldzigati A.I., Askerov R.O. Research and improvement of the most important characteristics of flexible light panels. *Svetotekhnika = Lighting*, 2017, no. 4. pp. 47–50. (in Russian).

2. Goncharov I.N., Kozyrev E.N., Askerov R.O., Maldzigati A.I. Investigation and increasing the durability of the radiation of electroluminescent panels. *Radiotekhnika i elektronika = Radio engineering and electronics*, 2016, vol., 61, no. 1, pp. 89–92. (in Russian).

3. Goncharov I.N., Kozyrev E.N., Ivakin V.F., Askerov R.O., Shubin N.E. Investigation of the impedance of an electroluminescent capacitor. *Ustoychivoye razvitiye gornykh territoriy = Sustainable development of mountainous areas*, 2014, no. 4 (22), pp. 115–117. (in Russian).

4. Shubin N.E., Kozyrev E.N., Platova A.A., Brezhnev A.A., Maldzigati A.I. Development and making of highly efficient electroluminescent panels. *Vestnik Voronezhskogo gosudarstvennogo tekhnologicheskogo universiteta = Bulletin of the Voronezh State Technological University*, 2013, vol. 9, no. 6-2, pp. 74–77. (in Russian).

5. Baryshnikov S.V. *Influence of external influences on dielectric and optical properties of ferroelectrics with different electronic spectrum*. Dr. phys. and math. sci. diss. Blagoveshchensk, 1990. 280 p. (in Russian).

6. Vereshchagin I.K. *Electroluminescence of crystals*. Moscow, Nauka Publ., 1974. 280 p. (in Russian).

7. Burkovsky V.L., Glotova Yu.N., Efremov D.A., Romanov A.V. *Physical phenomena and effects in technical systems: textbook*. Voronezh, 2007. 242 p. (in Russian).

8. Korlyakov A.V., Kostromin S.V., Luchinin V.V., Sazanov A.P., Chetvergov M.V. *Solid-state UV sensor*. Patent RF №2155418, МПК2000.01 H01L31/06. 2000. (in Russian).

Received 14.04.2020; Revised 14.04.2020; Accepted 22.09.2020.

Information about the author:

Vladimir V. Urumov – PhD student of North-Caucasian Institute of Mining and Metallurgy (State Technological University) (Russia, Republic of North Ossetia – Alania, 362021, Vladikavkaz, Nikolaev st., 44), Employee of the Nuclear Research Laboratory of North Ossetian State University named after Kosta Levanovich Khetagurov (Russia, Republic of North Ossetia – Alania, 362025, Vladikavkaz, Vatutin st., 43), m.o.r.b.i.u.s@mail.ru

УДК 621.382 **DOI: 10.24151/1561-5405-2020-25-6-568-572**

Релаксация глубоких центров в транзисторах и интегральных микросхемах

В.П. Крылов, А.М. Богачев

Владимирский государственный университет имени Александра Григорьевича и Николая Григорьевича Столетовых, г. Владимир, Россия

v_p_krylov@vlsu.ru

Для обеспечения надежности полупроводниковой электронной компонентной базы, предназначенной для аппаратуры ответственного применения, необходимо оптимальное сочетание статистической (групповой) и физико-технологической (индивидуальной) оценок надежности. В работе в качестве перспективного средства индивидуальной отбраковки потенциально ненадежной электронной компонентной базы предложен термодинамический подход на базе методов релаксационной спектроскопии глубоких центров в полупроводниках. Для транзисторов и интегральных микросхем получены зависимости амплитуды релаксации емкости от частоты следования электрических импульсов заполнения глубоких уровней, обусловленных объемными и поверхностными дефектами различной природы. Для многовыводных КМОП ИС предложены схемы двухполюсного подключения к спектрометру. Определены индивидуальные различия исследуемых образцов разных производителей, а также отдельных образцов из одной производственной партии. Показана перспективность использования методов релаксационной спектроскопии глубоких уровней в качестве средств дополнительного контроля качества полупроводниковых приборов и КМОП-микросхем как в процессе производства, так и при отбраковке изделий с потенциальными дефектами, не предусмотренными проектом инженерного дефектообразования.

Ключевые слова: полупроводниковые приборы; интегральные микросхемы; глубокие центры; релаксация глубоких уровней; частотное сканирование

Для цитирования: Крылов В.П., Богачев А.М. Релаксация глубоких центров в транзисторах и интегральных микросхемах // Изв. вузов. Электроника. 2020. Т. 25. № 6. С. 568–572. DOI: 10.24151/1561-5405-2020-25-6-568-572

© В.П. Крылов, А.М. Богачев, 2020

Deep Trapping Centers Relaxation in Transistors and Integrated Circuits

V.P. Krylov, A.M. Bogachev

Vladimir State University named after Alexander and Nikolay Stoletovs, Vladimir, Russia

v_p_krylov@vlsu.ru

Abstract: For ensuring the efficiency of the semiconductor electronic component base for apparatus, responsible for application, an optimal combination of statistical (group) and physical-technological (individual) reliability assessments is required. In the paper a thermodynamic approach, based on the deep-level transient spectroscopy in semiconductors promising means of individual rejection of potentially unreliable electronic component base has been proposed. For transistors and integrated circuits, the dependences of the amplitude of capacitance transient, caused by the bulk and surface defects of various nature on the repetition rate of electric filling pulses of deep levels, have been obtained. For multi-pin CMOS IC, the two-pole connection schemes to the spectrometer have been proposed. The obtained dependences show individual differences of studied specimens of various manufacturers as well as individual specimens from the same production batch. The performed studies have shown the promises of using the methods of the relaxation spectroscopy of deep level as the means of additional quality control of semiconductor devices and CMOS microcircuits both in the production process and in rejection of the items with potential defects, not specified by the project of engineering defect formation.

Keywords: semiconductor devices; integrated circuits; deep trapping centers; relaxation of deep level; frequency scanning

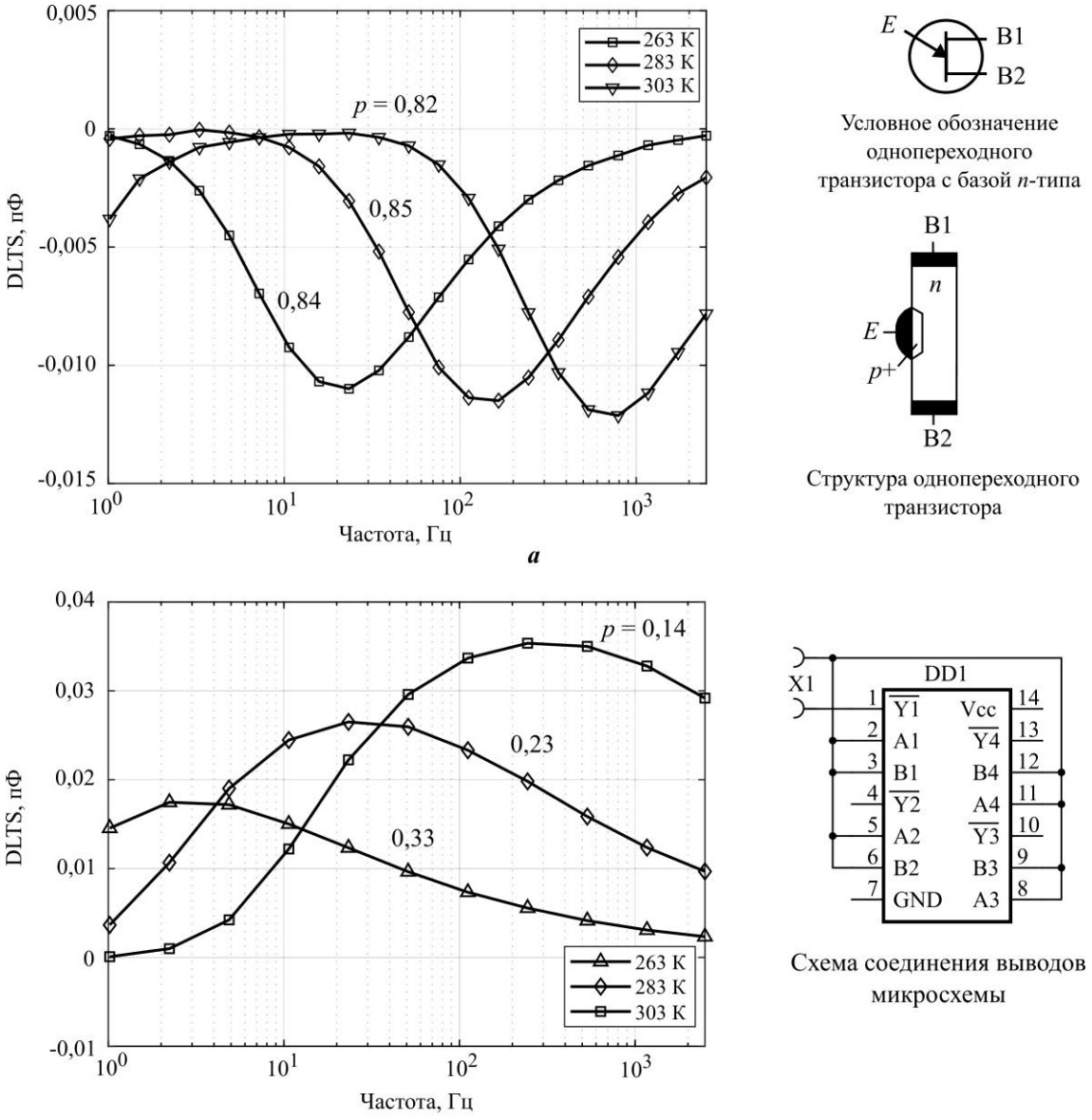
For citation: Krylov V.P., Bogachev A.M. Deep trapping centers relaxation in transistors and integrated circuits. *Proc. Univ. Electronics*, 2020, vol. 25, no. 6, pp. 568–572. DOI: 10.24151/1561-5405-2020-25-6-568-572

Анализ процессов релаксации емкости полупроводниковых барьерных структур, таких как *p*–*n*-переходы, барьеры Шоттки, МОП-структуры, после стрессового воздействия (скачка постоянного напряжения, импульса ионизирующего воздействия и т.п.) привел к появлению нового метода исследования дефектов в полупроводниках – емкостной релаксационной спектроскопии глубоких уровней (РСГУ, DLTS) [1, 2]. Термин «релаксация» определяет относительно медленную стадию нестационарного (переходного) процесса восстановления исходного состояния барьерной структуры, которая обусловлена глубокими центрами – объемными и поверхностными дефектами различного происхождения. Указанные дефекты проявляют себя в запрещенной зоне полупроводника в виде одного или нескольких (в пределе компактного множества) энергетических уровней, более удаленных от границ запрещенной зоны по сравнению с мелкими уровнями основных примесей, определяющих тип проводимости. Установлено, что незначительные концентрации глубоких центров могут оказывать существенное влияние, как положительное, так и отрицательное, на качество полупроводниковых приборов и интегральных микросхем [3–5]. Данное обстоятельство обусловливает практический интерес технологов полупроводникового производства к внедрению методов РСГУ в практику обеспечения качества изделий [6, 7], несмотря на существование известных проблем интерпретации экспериментальных данных в теории РСГУ [8].

Для транзисторов КТ-117Б, изготовленных на советском заводе «Старт» (г. Москва), и современных интегральных КМОП-микросхем IN74VHC02D производства АО «Интеграл» (г. Минск) в режиме двухполюсного подключения получены частотные зависимости преобразованного сигнала релаксации емкости при постоянной температуре (далее – частотные зависимости). Экспериментальная установка представляет собой измерительно-вычислительный комплекс на базе модернизированного спектрометра DLS-82E фирмы SemiLab и климатиче-

ской испытательной камеры S-1.2B-3200 фирмы Thermotron Industries с автоматическим поддержанием заданной температуры от –70 до +170 °C в рабочем объеме 30 л. Указанный температурный диапазон перекрывает требования большинства технических условий на применение исследуемых образцов, обеспечивая неразрушающий характер контроля.

Модернизация спектрометра свелась к замене внутреннего задающего генератора блока формирования временных диаграмм внешним генератором с управлением от компьютера. В состав измерительно-вычислительного комплекса входят ПК с прикладным программным обеспечением собственной разработки, а также управляемые компьютером генератор прямоугольных импульсов АКИП-3305 фирмы «ПРИСТ», мультиметр 34450A фирмы Keysight Technologies и 16-разрядный аналого-цифровой преобразователь собственной разработки для регистрации DLTS-сигнала. Точность поддержания температуры внутри рабочего объема климатической камеры обеспечивается на уровне ±1 K встроенной автоматикой. Дополнительно стабилизируется температура в помещении лаборатории с помощью кондиционера.



а

б

Частотные зависимости перехода эмиттер – база 1 транзистора КТ117-Б (*а*) и двухполюсника на микросхеме IN74VHC02D (*б*)
Frequency dependences of the emitter-base 1 junction of the KT117-Б transistor (*a*) and ICIN74VHC02D in the two-pole connection mode (*b*)

В работе [8] приведены экспериментальные частотные зависимости для быстродействующих импульсных диодов, *p*-*n*-переходы которых сформированы по эпитаксиально-планарной технологии с легированием золотом для повышения быстродействия. Наличие атомов золота приводит к появлению хорошо изученного дискретного глубокого уровня с энергией активации порядка 0,54 эВ, располагающегося практически в середине запрещенной зоны кремния. Экспериментальные данные показали существенный разброс частотных зависимостей, что связано с проблемами контроля диффузии золота.

На рисунке *а* представлены частотные зависимости перехода эмиттер – база 1 транзистора КТ-117Б в металлическом корпусе при трех температурах образца. Здесь количество экспериментальных точек не требует интерполяции и аппроксимации. Барьерная структура эмиттер – база 1 по форме и взаимному расположению частотных зависимостей близка по свойствам к диодам с глубокими центрами золота. Значение параметра *p* зависимостей приближается к 1, что указывает на объемные глубокие центры золота, появление которых в базе *n*-типа можно объяснить посадкой кристалла со стороны эмиттера на основание металлического корпуса с использованием эвтектики золото – кремний. Обработав три зависимости по методике [2], получим E_a = (0,557 ± 0,012) эВ, что однозначно указывает на присутствие глубоких центров золота в базе. В данных низкочастотных приборах нет необходимости повышать быстродействие за счет таких центров, но превышение их концентрации, которое фиксируется по величине амплитуды пика, может привести к повышению обратного тока перехода.

На рисунке *б* представлены частотные зависимости мультибарьерной структуры двухполюсного подключения КМОП-микросхемы IN74VHC02D. Показатель *p* указывает на неэкспоненциальную релаксацию емкости, обусловленную медленными поверхностными состояниями, которые характеризуются непрерывным спектром глубоких уровней. В работе [9, с. 154–155] показано, что эти виды глубоких центров приводят к нестабильности электрических параметров приборов, постепенным и внезапным отказам. Тем не менее наличие слабовыраженного пика на частотной зависимости позволяет и здесь определить эквивалентное значение E_a = (0,720 ± 0,121) эВ. Снижение точности определения эквивалентной энергии активации легко объясняется менее выраженными пиками на частотных зависимостях.

Таким образом, использование методов РСГУ в качестве средств дополнительного контроля качества полупроводниковых приборов и КМОП-микросхем как в процессе производства, так и при отбраковке изделий с потенциальными дефектами, не предусмотренными проектом инженерного дефектообразования, целесообразно и перспективно.

Литература

1. ***Lang D.V.*** Deep level transient spectroscopy: A new method to characterize traps in semiconductors // J. of Applied Physics. 1974. Vol. 45. No 7. P.3023–3032.

2. ASTM F 978-02 Standard test method for characterizing semiconductor deep levels by transient capacitance techniques // Annual Book of ASTM Standards. 2002. Vol. 10.05. P. 489–496.

3. ***Берман Л.С., Лебедев А.А.*** Емкостная спектроскопия глубоких центров в полупроводниках. Л.: Наука, 1981. 176 с.

4. ***Литвинов В.Г., Гудзев В.В., Милованова О.А., Рыбин Н.Б.*** Релаксационная спектроскопия глубоких уровней и ее применение для исследования полупроводниковых структур микро- и наноэлектроники // Датчики и системы. 2009. № 9. С. 71–78.

5. ***Крылов В.П.*** Квалигенетика полупроводниковой ЭКБ: фантастика или необходимость? Некоторые аспекты обеспечения качества полупроводниковой ЭКБ // Электронные компоненты. 2015. № 10. С. 22–25.

6. ***Ma Y., Xu P., Guanetal M.*** Analysis of deep level defects in bipolar junction transistor sirradiated by 2 MeV electrons // Microelectronics Reliability. 2017. Vol. 79. P. 149–152.

7. ***Li X., Yang J., Liu Ch.*** Evolution of activation energy of interface traps in LPNP transistors characterized by deep-level transient spectroscopy // IEEE Transactions on Nuclear Science. 2017. Vol. 64. No. 7. P. 1905–1911.

8. ***Крылов В.П., Богачев А.М., Пронин Т.Ю.*** Релаксационная спектроскопия глубоких уровней и неразрушающий контроль потенциальных дефектов полупроводниковой электронной компонентной базы // Радиопромышленность. 2019. Т. 29. № 2. С.35–44.

9. ***Чернышев А.А.*** Основы надежности полупроводниковых приборов и интегральных микросхем. М.: Радио и связь, 1988. 256 с.

Поступило в редакцию 02.06.2020 г.; после доработки 02.06.2020 г.; принято к публикации 22.09.2020 г.

Крылов Владимир Павлович – доктор технических наук, профессор кафедры биомедицинских и электронных средств и технологий, руководитель Научно-образовательного центра «CALS в электронике» Владимирского государственного университета имени Александра Григорьевича и Николая Григорьевича Столетовых (Россия, 600014, г. Владимир, пр. Строителей, 3/7), krylov_vp@mail.ru

Богачев Алексей Михайлович – аспирант кафедры биомедицинских и электронных средств и технологий Владимирского государственного университета имени Александра Григорьевича и Николая Григорьевича Столетовых (Россия, 600014, г. Владимир, пр. Строителей, 3/7), bogachev-al2012@yandex.ru

References

1. Lang D.V. Deep level transient spectroscopy: A new method to characterize traps in semiconductors. *Journal of Applied Physics*, 1974, vol. 45, no. 7, p. 3023–3032.

2. ASTM F 978 – 02. *Standard test method for characterizing semiconductor deep levels by transient capacitance techniques*. Current edition approved Jan. 10, 2002. Originally published as F 978 – 86. Last previous edition F 978 – 90. Annual Book of ASTM Standards, 2002, vol. 10.05, pp. 489–496.

3. Berman L.S., Lebedev A.A. *Capacitance deep level transient spectroscopy in semiconductors.* Saint-Petersburg, Nauka Publ., 1981, 176 p. (in Russian).

4. Litvinov V.G., Gudzev V.V., Milovanova O.A., Rybin N.B. Deep-level transient spectroscopy and its application for studying the semiconductor structures of micro- and nanoelectronics. *Datchiki i sistemy = Sensors and systems*, 2009, no. 9, pp. 71–78 (in Russian).

5. Krylov V.P. Qualigenetics of semiconductor components: science fiction or necessity? Some aspects of quality assurance of semiconductor components. *Elektronnyye komponenty = Electronic component*, 2015, no. 10, pp. 22–25 (in Russian).

6. Ma Y., Xu P., Guan M. et al. Analysis of deep level defects in bipolar junction transistors irradiated by 2 MeV electrons. *Microelectronics Reliability*, 2017, vol. 79, pp. 149–152.

7. Li X., Yang J., Liu Ch. Evolution of activation energy of interface traps in LPNP transistors characterized by deep-level transient spectroscopy. *IEEE Transactions on Nuclear Science*, 2017, vol. 64, no. 7, pp. 1905–1911.

8. Krylov V.P., Bogachev A.M., ProninT.Yu. Deep level relaxation spectroscopy and nondestructive testing of potential defects in the semiconductor electronic component base. *Radiopromyshlennost' = Radio Industry*, 2019, vol. 29, no. 2, pp. 35–44. (in Russian).

9. Chernyshev A.A. Fundamentals of the reliability of semiconductor devices and integrated circuits. *Moscow, Radio i svyaz' Publ.,* 1988, 256 p. (in Russian).

Received 02.06.2020; Revised 02.06.2020; Accepted 22.09.2020.

Information about the authors:

Vladimir P. Krylov – Dr. Sci. (Eng.), Prof. of the Biomedical and Electronic Means and Technologies Department, Head of the Scientific and Educational Center «CALS in Electronics», Vladimir State University named after Alexander and Nikolay Stoletovs (Russia, 600014, Vladimir, Stroiteley Ave., 3/7), krylov_vp@mail.ru

Aleksey M. Bogachev – PhD student of the Biomedical and Electronic Means and Technologies Department, Vladimir State University named after Alexander and Nikolay Stoletovs (Russia, 600014, Vladimir, Stroiteley Ave., 3/7), bogachev-al2012@yandex.ru

Тематический указатель статей, опубликованных в 2020 году

Фундаментальные исследования

Гузатов Д.В., Гапоненко С.В., Тевель О.И. Возможное увеличение скорости модуляции светодиодов в беспроводных оптических сетях передачи данных с помощью металлических наночастиц с диэлектрической оболочкой. **Т. 25, № 2, с. 103–113.**
Лавров И.В. Метод прогнозирования эффективной проводимости текстурированных поликристаллов с учетом межкристаллитных промежутков. **Т. 25, № 4, с. 299–309.**

Материалы электроники

Браже Р.А., Долгов Д.А. Метод определения упругих характеристик графена и других 2D-наноаллотропов. **Т. 25, № 1, с. 7–18.**
Федянина М.Е., Лазаренко П.И., Воробьев Ю.В., Козюхин С.А., Дедкова А.А., Якубов А.О., Левицкий В.С., Сагунова И.В., Шерченков А.А. Влияние степени кристалличности на дисперсию оптических параметров тонких пленок фазовой памяти $Ge_2Sb_2Te_5$. **Т. 25, № 3, с. 203–218.**

Технологические процессы и маршруты

Афанасьев А.В., Ильин В.А., Лучинин В.В., Решанов С.А. Анализ эпитаксии карбида кремния из газовой фазы как базового процесса в технологии силовой электроники. Обзор. **Т. 25, № 6, с. 483–496.**
Белостоцкая С.О., Кузнецов Е.В., Рыбачек Е.Н., Губанова О.В. Латеральная рекристаллизация наноструктур аморфного кремния с использованием силицида никеля. **Т. 25, № 1, с. 19–30.**
Воробьев А.В., Жора В.Д., Плис Н.И., Тимошенков С.П. Исследование влияния технологических факторов на характеристики гибких безадгезивных фольгированных диэлектриков. **Т. 25, № 6, с. 505–516.**
Новак А.В., Новак В.Р. Исследование процесса электрохимического стоп-травления кремния при изготовлении кантилеверов. **Т. 25, № 1, с. 31–39.**
Силаев И.В., Гончаров И.Н., Магкоев Т.Т., Радченко Т.И. Метод и реализация высокоэффективной диагностики формы электронного зонда растрового электронного микроскопа. **Т. 25, № 6, с. 497–504.**

Элементы интегральной электроники

Асаёнок М.А., Зеневич А.О., Новиков Е.В. Исследование возможности использования кремниевых фотоэлектронных умножителей для создания генераторов случайных числовых последовательностей. **Т. 25, № 2, с. 114–122.**
Браже Р.А., Долгов Д.А. Плазмон-акустические преобразователи на структурах графен – 2D нитрид бора для терагерцового диапазона частот. **Т. 25, № 2, с. 145–154.**
Гончаров И.Н., Козырев Е.Н., Тваури И.В. Моделирование процессов электронного усиления в каналах умножителей на пористых структурах оксида алюминия. **Т. 25, № 5, с. 402–409.**
Егоркин В.И., Беспалов В.А., Зайцев А.А., Земляков В.Е., Капаев В.В., Кухтяева О.Б. Нормально-закрытый транзистор с затвором *p*-типа на основе гетероструктур AlGaN/GaN. **Т. 25, № 5, с. 391–401.**

Елисеева Д.А., Сафонов С.О. Анализ механизмов деградации подзатворных диэлектриков на основе SiO_2 в МОП-транзисторах. **Т. 25, № 6, с. 517–524.**
Исмаил-Заде М.Р. SPICE-модели JFET и MOSFET в широком диапазоне температур. **Т. 25, № 1, с. 40–47.**
Смирнов В.И., Сергеев В.А., Гавриков А.А., Куликов А.А. Сравнительный анализ методов измерения теплового сопротивления нитрид-галлиевых HEMT-транзисторов. **Т. 25, № 3, с. 219–233.**
Чердинцев А.А., Ковалев Г.А. Моделирование влияния расположения кармана на параметры транзисторов в КМОП ИС с технологическими нормами менее 130 нм. **Т. 25, № 2, с. 136–144.**
Якунин А.Н., Аунг Мьо Сан, Хан Мьо Хтун. Повышение эффективности работы многоразрядного двоичного параллельно-префиксного сумматора. **Т. 25, № 2, с. 123–135.**

Схемотехника и проектирование

Белов Е.Н., Швец А.В. Стохастическая оптимизация RLC-модели вывода корпуса с целью увеличения ее достоверности на высоких частотах. **Т. 25, № 4, с. 320–329.**
Гаврилов С.В., Железников Д.А., Чочаев Р.Ж. Разработка и сравнительный анализ методов решения задачи размещения для реконфигурируемых систем на кристалле. **Т. 25, № 1, с. 48–57.**
Заплетина М.А., Жуков Д.В., Гаврилов С.В. Методы анализа выполнимости булевых формул для современных задач систем автоматизации проектирования в микроэлектронике. **Т. 25, № 6, с. 525–538.**
Иванников А.Д., Стемпковский А.Л. Формализация выбора отладочных тестов при проектировании цифровых микроэлектронных систем на основе проверки выполнения требуемых функций. **Т. 25, № 4, с. 310–319.**
Иванов Е.А., Якунин А.Н. Импульсный DC/DC-преобразователь напряжения с уменьшенными массогабаритными параметрами. **Т. 25, № 5, с. 423–431.**
Иванов Е.А., Якунин А.Н. Цифровая схема коммутации силовых ключей источников питания в квазирезонансном режиме. **Т. 25, № 3, с. 234–243.**
Кулакова А.А., Лукьяненко Е.Б. Мемристорная логика в цифровой схемотехнике. **Т. 25, № 4, с. 330–338.**
Рябцев В.Г., Волобуев С.В. Встроенные средства саморемонта оперативной памяти системы на кристалле. **Т. 25, № 4, с. 339–346.**
Тимошенко А.В., Калеев Д.В., Перлов А.Ю., Антошина В.М., Рябченко Д.В. Сравнительный анализ аналитических и эмпирических методик оценки текущих параметров надежности радиолокационных комплексов мониторинга. **Т. 25, № 3, с. 244–254.**
Чочаев Р.Ж., Железников Д.А., Иванова Г.А., Гаврилов С.В., Эннс В.И. Модели и методы анализа структуры коммутационных ресурсов ПЛИС. Обзор. **Т. 25, № 5, с. 410–422.**

Микро- и наносистемная техника

Амеличев В.В., Генералов С.С., Николаева А.В., Поломошнов С.А., Кривецкий В.В., Ковалев В.А., Ковалев А.М. Исследование чувствительности пористых толстопленочных элементов на основе SnO_2 к концентрации водорода в воздухе. **Т. 25, № 6, с. 539–547.**
Амеличев В.В., Резнев А.А., Сауров А.Н. Микросистемы с высоким коэффициентом преобразования слабого магнитного поля на основе магниторезистивных наноструктур. **Т. 25, № 5, с. 432–439.**
Йе Ко Ко Аунг, Симонов Б.М., Тимошенков С.П. Моделирование и исследование различных типов подвесов инерционной массы в чувствительных элементах микромеханических приборов. **Т. 25, № 5, с. 440–451.**
Йе Ко Ко Аунг, Симонов Б.М., Тимошенков С.П. Моделирование чувствительного элемента сэндвич-конструкции емкостного микромеханического акселерометра с учетом изменения диэлектрической проницаемости. **Т. 25, № 2, с. 155–166.**

Интегральные радиоэлектронные устройства

Кудж С.А., Кондратенко В.С., Кадомкин В.В., Высоканов А.А. Анализ эффективности теплоотвода в тепловыделяющих устройствах при использовании различных термоинтерфейсов. **Т. 25, № 4, с. 347–357.**
Макшаков А.В., Штерн Ю.И., Волкова О.С., Васильченко К.А. Метод и аппаратно-программные средства для измерения с повышенной точностью высоты летательных аппаратов и спускаемых объектов. **Т. 25, № 5, с. 452–464.**
Сергеев А.И., Захаров В.В., Волкова О.В. Стабилизация температуры теплового химического источника тока для увеличения временного ресурса работы. **Т. 25, № 4, с. 358–366.**

Биомедицинская электроника

Базаев Н.А. Особенности построения автономной носимой аппаратуры искусственного очищения крови. **Т. 25, № 3, с. 255–264.**
Телышев Д.В. Прогнозирование и оценка надежности аппаратов механического замещения функции сердца. **Т. 25, № 1, с. 58–68.**

Информационно-коммуникационные технологии

Брейкина К.В., Умняшкин С.В. Оценка качества изображения при компенсации смаза по методу Люси – Ричардсона. **Т. 25, № 2, с. 167–174.**
Гаращенко А.В., Гагарина Л.Г. Методика формирования тестовых последовательностей на основе графовой модели иерархии кеш-памяти. **Т. 25, № 6, с. 548–557.**
Жилинский В.О., Печерица Д.С., Гагарина Л.Г. Анализ влияния эфемеридно-временной информации на точность решения навигационной задачи по сигналам системы ГЛОНАСС. **Т. 25, № 5, с. 465–474.**
Кобяк И.П. О границах вероятностных аргументов при синтезе линейных сигнатур и статистических оценок. **Т. 25, № 2, с. 175–182.**
Лисовец Ю.П., Романова Е.Л., Вай Ян Мин. Подготовка базы данных для автоматизированного контрольно-пропускного пункта на режимный объект. **Т. 25, № 4, с. 367–373.**
Петров Е.Н. Разработка программного модуля отбора функций признаков на основе генетического алгоритма. **Т. 25, № 4, с. 374–382.**
Шепилова К.М., Сотников А.В., Шипатов А.В., Савченко Ю.В. Метод трехмерной реконструкции сцены в относительных координатах по двум изображениям с неоткалиброванных видеокамер. **Т. 25, № 3, с. 265–276.**

Краткие сообщения

Бахвалова С.А., Спиридонов А.Б., Фастовец А.А., Серегин В.В. Моделирование МДП-варикапа с переносом заряда в программной среде ADS. **Т. 25, № 2, с. 183–188.**
Головлев А.А., Березина Н.В., Кондратьева О.В., Кольцов В.Б. Оценка эффективности мероприятий по снижению накопления полиэтиленовых отходов в окружающей среде на основе инфологической модели. **Т. 25, № 3, с. 282–286.**
Ефимов А.Г., Каменев А.Г., Корнеев С.А., Чистюхин В.В. Принципы проектирования бортовых многолучевых приемных АФАР систем спутниковой связи. **Т. 25, № 1, с. 73–78.**
Зайнабидинов С., Назиров Д.Э. Влияние термического воздействия на электрофизические свойства кремния, легированного редкоземельными элементами. **Т. 25, № 1, с. 69–72.**
Комаров В.Т. СВЧ-усилитель мощности до 100 Вт на GaN-транзисторах в режиме большого сигнала. **Т. 25, № 1, с. 78–82.**
Крылов В.П., Богачев А.М. Релаксация глубоких центров в транзисторах и интегральных микросхемах. **Т. 25, № 6, с. 568–572.**

Мьо Мин Тхант, Романюк В.А., Гуминов Н.В. Влияние емкостей HEMT-транзистора на основные параметры усилителей СВЧ. **Т. 25, № 1, с. 83–88.**
Никифоров М.О., Дедкова А.А., Рыгалин Б.Н. Влияние технологических параметров процесса атомно-слоевой эпитаксии на однородность толщины зародышевых слоев GaN. **Т. 25, № 3, с. 277–281.**
Урумов В.В. Влияние внешнего излучения на емкостные и токовые характеристики излучающих структур. **Т. 25, № 6, с. 563–568.**
Чаплыгин Ю.А., Лосев В.В., Калёнов А.Д. Метод проектирования широкополосного формирователя квадратурных сигналов. **Т. 25, № 6, с. 558–562.**

Юбилеи

Быкову Дмитрию Васильевичу – 75 лет. **Т. 25, № 2, с. 193–194.**
Грибову Борису Георгиевичу – 85 лет. **Т. 25, № 2, с. 191–192.**
Неволину Владимиру Николаевичу – 75 лет. **Т. 25, № 3, с. 288.**
Саурову Александру Николаевичу – 60 лет. **Т. 25, № 1, с. 91.**
Сигову Александру Сергеевичу – 75 лет. **Т. 25, № 3, с. 287.**

Конференции

27-я Всероссийская межвузовская научно-техническая конференция студентов и аспирантов «Микроэлектроника и информатика – 2020». **Т. 25, № 1, с. 94.**
27-я Всероссийская межвузовская научно-техническая конференция студентов и аспирантов «Микроэлектроника и информатика – 2020». **Т. 25, № 3, с. 289.**
3rd International Conference on Microelectronic Devices and Technologies (MicDAT`2020), 17–19 June 2020, Tenerife (Canary Islands), Spain. **Т. 25, № 1, 4-я стр. обложки.**
3rd International Conference on Microelectronic Devices and Technologies (MicDAT`2020), 21–23 October 2020, Tenerife (Canary Islands), Spain. **Т. 25, № 2, 3-я стр. обложки.**
IX Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и наноэлектронных систем» (МЭС-2020). **Т. 25, № 3, с. 290.**
Об итогах Международной научно-практической конференции «Актуальные проблемы информатизации в цифровой экономике и научных исследованиях – 2019». **Т. 25, № 1, с. 92–93.**

Памяти Соколова Евгения Борисовича. **Т. 25, № 2, с. 189–190.**
Памяти Таирова Юрия Михайловича. **Т. 25, № 1, с. 89–90.**

Уважаемые авторы!

С правилами оформления и опубликования научных статей можно ознакомиться на нашем сайте:
http://ivuz-e.ru