

Аналоговая ячейка коммутации к тестовой шине для измерения внутренних сигналов интегральных микросхем

Д.С.Латников, М.С.Мирополюский

Санкт-Петербургский филиал компании «ЭЛМОС Дизайн Сервисис Б.В.»

Предложена аналоговая ячейка коммутации к тестовой шине с низкой и постоянной емкостью нагрузки, широким диапазоном входных напряжений, широкой полосой пропускания и малым топологическим размером. Показаны преимущества рассматриваемой аналоговой ячейки, которые дают возможность исследовать внутренние аналоговые сигналы интегральных микросхем при проведении тестирования, в том числе чувствительные узлы операционных усилителей.

Характерной чертой развития электроники сегодня является не только постоянное повышение сложности разрабатываемых систем, но и растущие требования к надежности выпускаемого оборудования. Производители интегральных схем вкладывают огромные средства в развитие методов тестирования для достижения нулевого процента отказов ИМС, доставленных заказчику. Большое внимание уделяется методам самотестирования, стандартным интерфейсам для испытаний. В области цифрового проектирования сегодня возможно достичь 100%-ной проверки логических схем с использованием специализированного программного обеспечения для синтеза автоматических тестовых последовательностей (ATPG – Automatic Test Pattern Generation) и тест-интерфейсов, таких как JTAG. Разработка аналоговых или смешанных аналого-цифровых интегральных схем ставит новые задачи.

Современная аналого-цифровая ИМС представляет собой сложную систему-на-кристалле. Такая система может включать в себя аналоговые модули питания, формирование внутренних опорных сигналов, усиление входных сигналов, выходные драйверы, а также схему цифровой обработки данных. Простой пример смешанной аналого-цифровой ИМС представлен на рис.1.

Рассматриваемое устройство представляет собой блок первичной обработки аналоговых сигналов. На устройство приходит одно напряжение питания VBAT. Все остальные сигналы, необходимые для работы устройства, формируются внутри блока BIAS, а именно напряжения питания для аналоговых – OP, ADC и цифровых – DSP блоков (Vdd, Vadc, Vop), опорное напряжение (Vref), тактовая частота (CLK), сигнал первичного сброса (POR). Для подтверждения работоспособности интегральной схемы необходимо проверить наличие всех этих сигналов, измерить их параметры, а также провести анализ поведения контрольных точек внутри самого блока BIAS. Проблема состоит в обеспечении доступа к внутренним узлам для проведения измерений.

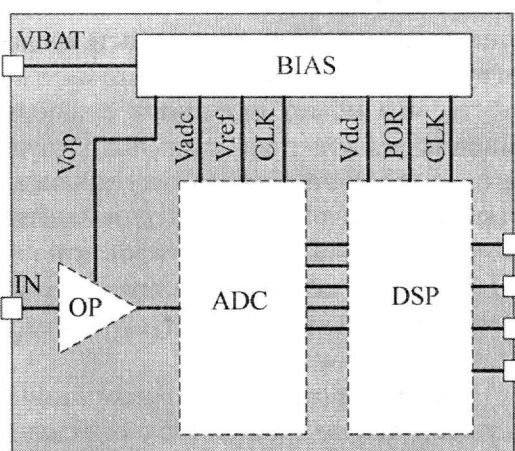


Рис.1. Пример интегральной смешанной аналого-цифровой микросхемы

Концепции построения аналоговых тест-шин. Для решения поставленной задачи применяется специализированный подход проектирования интегральных схем, который получил название «тестопригодный дизайн» (DFT – Design For Test). Данный подход развивается с середины 80-х гг. и его основные положения закреплены стандартами IEEE 1149.1 для цифровых микросхем и IEEE 1149.4 для аналоговых [1, 2]. Стандарт IEEE 1149.4 предполагает создание двух аналоговых тест-шин для коммутации внутренних сигналов на внешние тестовые выходы (рис.2). Один из выходов AT2 используется для чтения аналоговых сигналов, второй AT1 – для подачи необходимых воздействий. Управление коммутацией производится с использованием цифрового интерфейса для проведения скан-теста в соответствии со стандартом IEEE 1149.1.

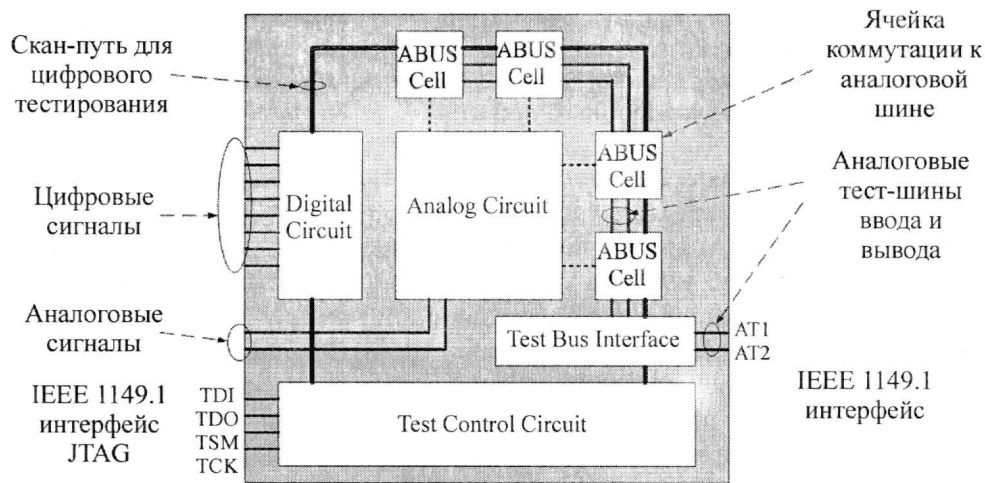


Рис.2. Архитектура построения ИМС в соответствии со стандартом IEEE 1149.4

В настоящей работе не затрагивается задача формирования воздействий на внутренние аналоговые узлы, а рассматривается только чтение внутренних аналоговых сигналов. Наиболее распространенным способом коммутации таких сигналов является использование аналогового мультиплексирования для прямого доступа к внутренним аналоговым сигналам с внешнего вывода микросхемы [3, 4]. Данный подход имеет ряд существенных недостатков, основным из которых является дополнительная емкость нагрузки, появляющаяся при коммутации и зависящая от внешних измерительных устройств, что может оказывать существенное воздействие на внутренние сигналы. Для решения данной проблемы используется дополнительное буферирование внутреннего сигнала [5]. Роль буфера, как правило, играет операционный усилитель в режиме повторителя. Подобный подход позволяет снизить емкость нагрузки, но предъявляет высокие требования к проектированию буфера (низкая входная емкость, широкий диапазон входных сигналов, широкая полоса пропускания). Недостатком этого подхода можно назвать значительную площадь кристалла, необходимую для размещения подобных буферов.

Предлагаемая ячейка коммутации к аналоговой тест-шине имеет следующие преимущества по сравнению с описанными решениями:

- низкая и постоянная емкость нагрузки на внутреннем сигнале;
- малая площадь на кристалле;
- широкая полоса пропускания;
- возможность контроля сигналов, превышающих по амплитуде внутреннее напряжение питания.

Описание ячейки для коммутации к аналоговой тест-шине. На рис.3 представлена схема предложенной ячейки и ее передаточная характеристика при внешнем задающем резисторе 10 кОм. Схема ячейки включает в себя два транзистора: управляющий транзистор М1 и коммутатор тока М2. Измеряемое напряжение, поступающее на затвор М1, управляет величиной тока через этот транзистор. В рабочем режиме, когда ячейка включена, коммутатор выполняет две функции – обеспечивает питание управляющего транзистора и пропускает выходной ток. При выключенном коммутаторе управляющий транзистор остается без напряжения питания и отключается от общей аналоговой шины.

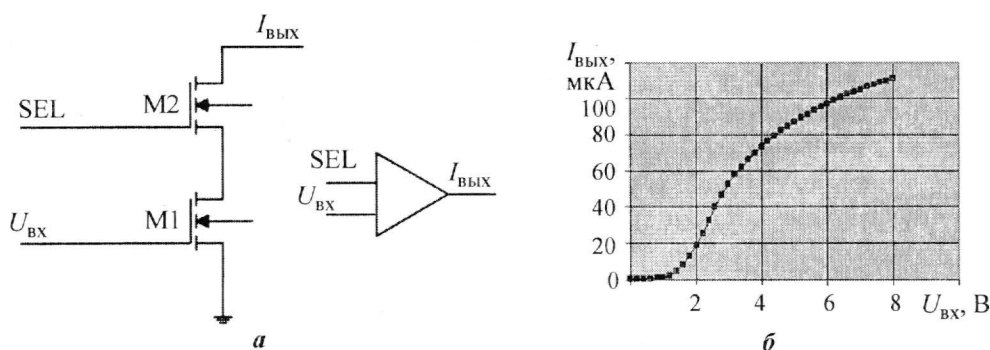


Рис.3. Ячейка для коммутации к аналоговой тест-шине (а) и ее передаточная характеристика (б)

Важно отметить, что включение и выключение ячейки не производит коммутаций в цепях контролируемого узла. Паразитная емкость измерительных цепей определяется емкостью затвора М1 и остается постоянной. При выключенном коммутаторе тока М2 схема ячейки обеспечивает высокий уровень подавления помех со стороны аналоговой шины.

Предложенная ячейка выгодно отличается от решения, рассмотренного в [6], где в качестве ячейки коммутации используется цифровой инвертор с дополнительным входом выборки. При малом размере на топологии и широкой полосе пропускания данная ячейка обладает более широким диапазоном входных напряжений, который ограничен порогом срабатывания транзистора М1 и напряжением пробоя подзатворного диэлектрика. Это позволяет исследовать аналоговые сигналы в диапазоне от 1,0 до 18,0 В, что значительно превышает внутреннее напряжение питания.

Простота и незначительный размер данного устройства позволяют создавать массивы подобных ячеек для последовательного подключения внутренних сигналов к аналоговой тест-шине (рис.4). Нелинейность передаточной характеристики можно компенсировать с использованием калибровочной кривой. Для построения подобной кривой одна из ячеек в режиме тестирования подключается к внешнему вводу микросхемы.

Для преобразования токового сигнала в значение напряжения можно использовать схемы, представленные на рис.4.

Предложенная ячейка позволяет измерять внутренние напряжения питания, опорные напряжения, пороги срабатывания цифрового сигнала начального сброса. Широкая полоса пропускания ячейки дает возможность исследовать внутренние динамические процессы в аналоговых цепях. Благодаря отсутствию входного тока и низкой входной емкости подобные ячейки могут быть подключены к внутренним чувствительным узлам аналоговых блоков, например к внутренним сигналам операционных усилителей.

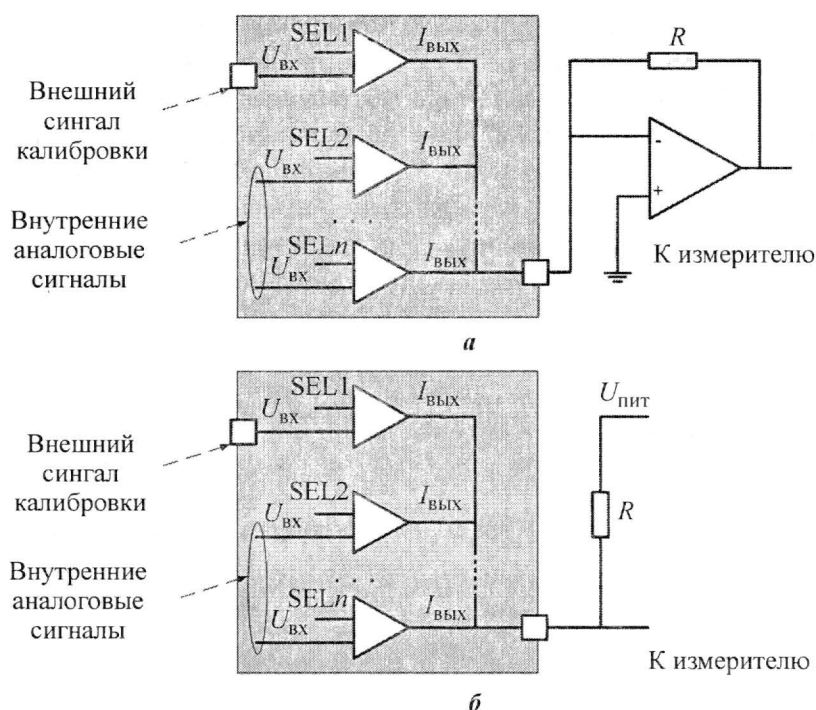


Рис.4. Массив ячеек коммутации к аналоговой тест-шине с внешним входом для калибровки и преобразователями токового сигнала в уровень напряжения с использованием внешнего операционного усилителя (а) и внешнего резистора (б)

В настоящей работе массив ячеек был включен в блок формирования внутренних напряжений питания интегральной микросхемы и использовался для измерения статических характеристик, а также для исследования динамических процессов внутренних узлов.

Результаты измерений. Важным экспериментальным результатом оказалась возможность проверить поведение напряжения на затворах транзисторов, регулирующих выходной сигнал стабилизатора напряжения при динамических бросках напряжений питания и потребляемого тока. Напряжение на этих узлах всегда превосходит значение выходного напряжения и уровни сигналов выборки.

На рис.5 приведены осциллограмма поведения стабилизатора напряжения при резком возрастании тока нагрузки и калибровочная кривая для перерасчета значений аналоговой шины. Измерение проводилось по схеме включения, показанной на рис.4,б, с резистором 10 кОм без дополнительного усиления выходного сигнала ячейки.

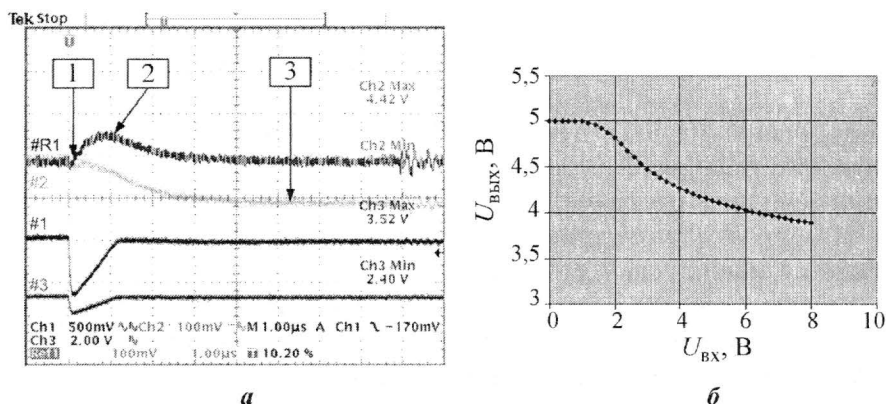


Рис.5. Передача внутренних сигналов с использованием предложенной ячейки коммутации к аналоговой тест-шине (а) и калибровочная кривая (б)

На каналы осциллографа № 1 и № 3 приходят переменная и постоянная составляющие выходного напряжения стабилизатора. Канал № 2 через аналоговую шину подключен к затвору выходного транзистора стабилизатора. Канал № R1 также через аналоговую шину подключен к цепи обратной связи выходного каскада.

Перерасчет значений с использованием калибровочной кривой показывает, что напряжение в цепи обратной связи во время броска тока изменилось с 3,3 до 2,0 В (точки 1 и 2 на осциллограмме), а затем вернулось в начальное положение. Напряжение затвора выходного транзистора увеличилось с 3,3 до 4,5 В (точки 1 и 3 на осциллограмме) для обеспечения более высокого тока потребления.

Из рис.5 видно, что разработанная ячейка коммутации позволяет исследовать уровни напряжения, превышающие внутреннее напряжение питания 3,3 В и напряжение цифровых сигналов выборки. При этом без дополнительного усиления регистрируются сигналы длительностью менее 1 мкс, что соответствует частоте более 1 МГц.

Результаты проведенных измерений показали высокую эффективность предложенного подхода. Данный подход позволяет проводить измерения внутренних сигналов при промышленном тестировании для обеспечения 100%-ного тестирования и может быть использован на этапе проектирования и предварительного производства для верификации внутренних сигналов аналоговых блоков.

При незначительном увеличении площади кристалла повышается надежность выпускаемой продукции и снижается время разработки новых аналоговых блоков.

Литература

1. IEEE standard test access port and boundary-scan architecture // IEEE Std. – 2001. – 1149.1.
2. IEEE Standard for mixed-signal test bus // IEEE Std. – 1999. – 1149.4.
3. *Starzyk J.A., Liu Z.H., Zou J.* An organization of the test bus for analog and mixed-signal systems // IEEE VLSI Test Symposium Proceedings. – 1994.
4. *Jawala M.* Design for test approaches to mixed-signal testing // Proc. of IEEE International Test Conference. – 1994.
5. *Van Pete Ghem P.M., Duque-Carrillo J.F.* Compact high-frequency output buffer for testing of analog cmos vlsi circuits // IEEE Journal of Solid-State Circuits. – 1989. – Vol. 24.
6. *Sunter S.* A low cost 100 MHz analog test bus // Proc. of VLSI Test Symposium. – 1995.

Статья поступила
27 марта 2008 г.

Латников Дмитрий Сергеевич – аспирант кафедры микроэлектроники СПбГЭТУ «ЛЭТИ», руководитель группы тестирования интегральных микросхем Санкт-Петербургского филиала компании «ЭЛМОС Дизайн Сервисис Б.В.». *Область научных интересов:* проектирование и испытания интегральных микросхем.

Миропольский Михаил Сергеевич – кандидат технических наук, директор Санкт-Петербургского филиала компании «ЭЛМОС Дизайн Сервисис Б.В.». *Область научных интересов:* аналоговые и цифровые интегральные микросхемы.