

Особенности проектирования устройств цифровой обработки сигналов в базисе ПЛИС серии 5578

А.В. Строгонов, П.С. Городков

*Воронежский государственный технический университет,
г. Воронеж, Россия*

andreistrogonov@mail.ru

По архитектурным решениям новые отечественные ПЛИС занимают промежуточное положение между низкобюджетной серией Altera Cyclone II и высокопроизводительными ПЛИС серии Stratix III.

Цель работы – исследование ПЛИС 5578 с помощью анализа задействованных логических ресурсов в проектах пользователя и их сравнение с ПЛИС серии Cyclone II и Stratix III. Новая серия ПЛИС разработана в рамках импортозамещения электронной компонентной базы. Рассмотрена структура ПЛИС типа программируемых пользователем вентильных матриц с логическими блоками на основе адаптивных логических модулей серии 5578. Выявлены особенности организации локальных и глобальных трассировочных ресурсов и блока цифровой обработки сигналов.

С использованием тестов производительности и файлов временных ограничений возможна реализация проектов цифровых устройств обработки сигналов в базисе ПЛИС серии 5578.

Ключевые слова: программируемая логическая интегральная схема; трассировочные ресурсы; цифровая обработка сигналов; тесты производительности; временные ограничения.

Для цитирования: Строгонов А.В., Городков П.С. Особенности проектирования устройств цифровой обработки сигналов в базисе ПЛИС серии 5578 // Изв. вузов. Электроника. – 2017. – Т.22. – №3. – С. 256–265.

Specific Features of Designing Digital Signal Processing Devices in FPGA Basis of 5578 Series

A.V. Strogonov, P.S. Gorodkov

Voronezh State Technical University, Voronezh, Russia

andreistrogonov@mail.ru

By architectural solutions the new domestic FPGAs take an intermediate position between the low-budget series Altera Cyclone II and high-performance series Stratix III.

The structure of the type programmable gate arrays with the logical blocks on the basis of adaptive logic modules of 5578 series has been considered. The specific features in organization of local and global wiring resources, of the digital signal processing block have been analyzed.

The designs of the digital signal devices on the basis of FPGA series 5578 using the benchmarks and the time constraints files have been implemented.

Keywords: field programmable gate array, trace resources, digital signal processing, benchmarks, constraint.

For citation: Strogonov A.V., Gorodkov P.S. Specific Features of Designing Digital Signal Processing Devices in FPGA Basis of 5578 Series // Proc. of universities. Electronics. – 2017. – Vol.22. – №3. – P. 256–265.

Введение. В рамках импортозамещения электронной компонентной базы разработана новая серия ПЛИС 5578 [1] по 180-нм КМОП-технологии с шестью слоями металлизации и напряжением питания 1,8 В. Серия представлена двумя типами ПЛИС – 5578ТС014 и 5578ТС024. ПЛИС содержат увеличенную емкость встроенной памяти и блоки цифровой обработки сигналов (БЦОС). Данные аппаратные умножители отсутствуют в ПЛИС серии 5576 [2].

Цель настоящей работы – исследование ПЛИС 5578 с помощью анализа задействованных логических ресурсов в проектах пользователя и их сравнение с ПЛИС серии Cyclone II и Stratix III.

ПЛИС 5578ТС014 и 5578ТС024 не являются прямыми аналогами зарубежных ПЛИС серии Cyclone II (EP2C5 и EP2C8 выполнены по 90-нм КМОП-технологии) фирмы Altera, но могут быть использованы для их замены. По архитектурным решениям новые отечественные ПЛИС занимают промежуточное положение между низкобюджетной серией Cyclone II [3, 4] и высокопроизводительными ПЛИС серии Stratix III [5]. ПЛИС серии 5578 также близки по своим техническим характеристикам к ПЛИС серии Spartan III фирмы Xilinx [6, 7].

ПЛИС 5578ТС014 и 5578ТС024 в своей основе имеют одинаковую архитектуру, но ПЛИС 5578ТС024 имеет лучшую трассировочную способность за счет увеличения числа локальных и глобальных трассировочных ресурсов.

Структура ПЛИС серии 5578. В основе структуры ПЛИС лежат следующие компоненты: матрица памяти, управляющая коммутацией и режимами работы элементов ядра ПЛИС; система локальных и глобальных межсоединений с блоками коммутации; глобальные сигналы управления; логические блоки (ЛБ), состоящие из восьми адаптивных логических модулей (АЛМ) для реализации комбинационной логики, счетчи-

ков, сумматоров, конечных автоматов состояний; блоки пользовательской памяти (БПП) для реализации разнообразных функций памяти или сложных логических функций; блоки цифровой обработки сигналов (БЦОС), предназначенные для реализации функций умножения, умножения-накопления и других, используемых при построении цифровых фильтров; модули ввода-вывода, осуществляющие передачу сигналов между ядром и периферией ПЛИС; программируемые периферийные блоки ввода-вывода. На рис. 1 приведена структурная схема ПЛИС серии 5578. В ПЛИС серии 5578 используется новая трассировочная структура с блоками памяти и цифровой обработкой сигналов, содержащая семь уровней программируемых межсоединений с длиной сегментированных межсоединений в четыре кластера и различной шириной трассировочного канала из разнонаправленных пар межсоединений.

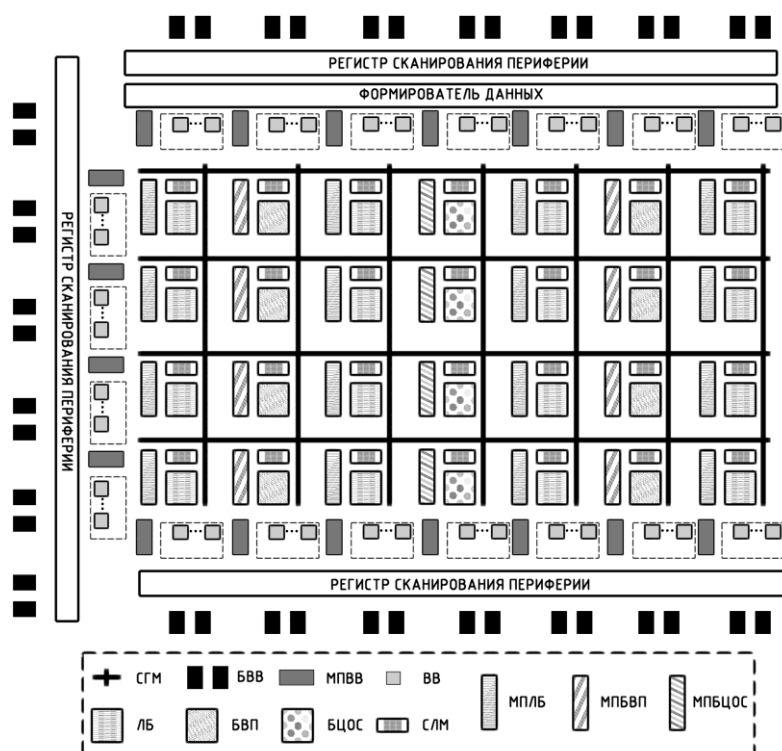


Рис.1. Структура ПЛИС серии 5578: СЛМ – система локальных межсоединений; СГМ – система глобальных межсоединений; МПВВ – матрица памяти элементов ввода-вывода; МПЛБ – матрица памяти ЛБ; МПБВП – матрица памяти блока встроенной памяти; МПБЦОС – матрица памяти БЦОС; БВВ – буфер ввода-вывода; ВВ – элемент ввода-вывода; БВП – блок встроенной памяти

На рис. 2 представлен фрагмент структуры ПЛИС серии 5578, поясняющий принцип организации многоуровневых межсоединений. Фрагмент состоит из шести кластеров, расположенных в двух рядах соединительных блоков, коммутирующих сигналы с уровня треков (коротких межсоединений в глобальном трассировочном канале) на уровень локальных межсоединений двух соседних кластеров. Между углами кластеров расположены два маршрутизатора. Кластер состоит из восьми АЛМ, имеет шестнадцать выходов, выходящих на четыре внешние стороны кластера. Входы АЛМ расположены внутри кластера и выходят на локальные межсоединения. Локальные межсоединения входят в кластер со всех сторон с соответствующих коммутаторов и расходятся ко всем входам АЛМ.

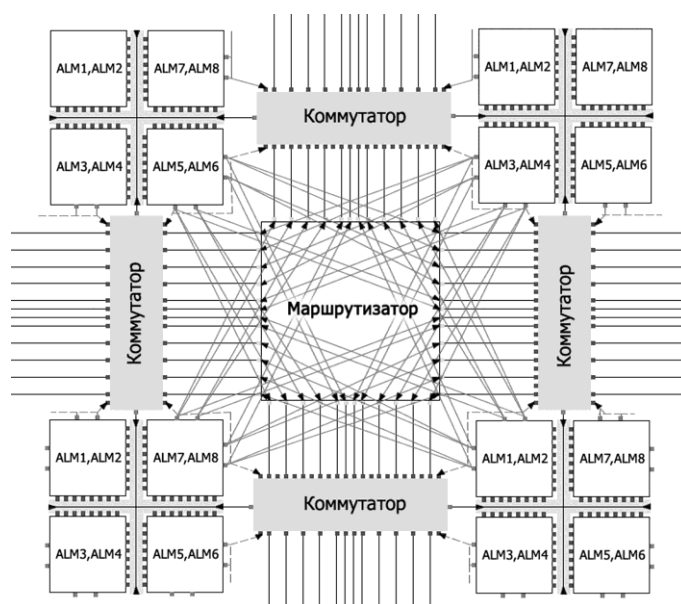


Рис.2. Фрагмент структуры ПЛИС серии 5578 с локальными и глобальными трассировочными ресурсами

ЛБ ПЛИС серии 5578 отличается от ЛБ ПЛИС Altera серии Cyclone II. Он состоит из восьми АЛМ, каждый из которых имеет восемь входов данных и может реализовывать одну произвольную шестивходовую или две произвольные четырехходовые функции. В ЛБ входят 48 локальных линий, которые могут быть скоммутированы на входы данных АЛМ, а также использованы для управляющих сигналов. В центре ЛБ находятся блоки формирования и коммутации управляющих сигналов. Управляющие сигналы могут быть получены с шести глобальных выделенных шин или с локальных линий. Кроме того, ЛБ имеет специальные линии – `register_chain` и `shared_arithmetic`, а также три линии распространения переноса (соответственно схеме суммирования с выбором переноса).

Структура разработанного АЛМ подобна структуре АЛМ ПЛИС серии Stratix III, обеспечивающего повышение быстродействия ПЛИС и эффективность упаковки проектов пользователя за счет расширенных режимов работы LUT5, LUT6 и встроенного сумматора для логико-арифметических вычислений. В БЦОС ПЛИС серии Cyclone II нет встроенных аппаратных сумматоров и все арифметические операции выполняются на LUT, работающих в арифметических режимах. АЛМ состоит из восьми трехходовых LUT, двух выделенных сумматоров и двух триггеров с возможностями синхронного и асинхронного сброса, синхронной загрузки из нескольких источников, использования обратной связи и обвода триггера.

БПП предназначены для эффективного хранения пользовательских данных, передачи данных между доменами с помощью FIFO, хранения буферов и т.д. БПП поддерживают однопортовый (`single-port`), простой двухпортовый (`simple dual-port`) и полнофункциональный двухпортовый (`true dual-port`) режимы работы. По своей структуре БПП близок к блоку памяти типа M4K ПЛИС серии Cyclone II. Основные характеристики БПП: 4096 бит памяти на блок (4608 бит, включая биты четности); поддержка различных конфигураций портов; полнофункциональный двухпортовый режим (два независимых порта с возможностью чтения и записи по каждому); сигнал `byte enable` для маскирования входов при записи; возможность инициализации содержимого памяти при загрузке.

БЦОС применяется для эффективной реализации функций, используемых при цифровой обработке сигналов. Структурная схема БЦОС показана на рис. 3. По своей структуре БЦОС ПЛИС серии 5578 близок к БЦОС ПЛИС Altera Cyclone II, но имеет некоторые архитектурные особенности, характерные для БЦОС серии Stratix III [8]. Например, БЦОС ПЛИС серии 5578 содержит аппаратный сумматор на выходах умножителя (в настоящее время он недоступен, так как ПЛИС серии 5578 выполнены для замены ПЛИС серии Cyclone II), состоит из входных и выходных регистров, умножителя с разрядностью операндов 18×18 . По классификации фирмы Altera БЦОС ПЛИС серии Cyclone II (DSP Block) называют MAC-блоком, так как его основной функцией является умножение и накопление. В каждом БЦОС имеется возможность скомутировать входные сигналы на входные регистры или напрямую на умножитель. Каждый вход может быть скомутирован через регистры независимо от других. Также возможно скомутировать выходной сигнал на выходные регистры или напрямую на выход. Умножитель поддерживает разрядность 18×18 бит и менее. Для определения знакового представления переменных используются сигналы *signa* и *signb*. Если сигнал *signa* или *signb* находится в состоянии высокого уровня, то *dataa* или *datab* имеют знаковое представление. Если хотя бы одна из переменных знаковая, то результат умножения тоже знаковый.

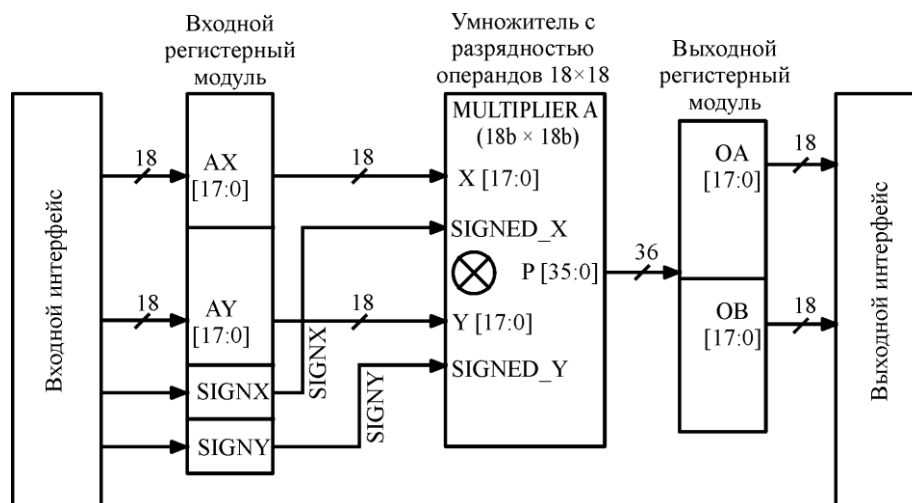


Рис.3. Структура БЦОС ПЛИС серии 5578 в режиме совместимости с MAC-блоком ПЛИС Altera Cyclone II

Среда разработки конфигурационных данных ПЛИС серии 5578. Для программирования ПЛИС создана среда разработки конфигурационных данных (АО «КТЦ «Электроника») и отладочная плата ОП5578 (АО «Воронежский завод полупроводниковых приборов – Сборка»). Процесс проектирования ПЛИС серии 5578 осуществляется в САПР Altera Quartus II версии 9.0 до 13.0 включительно с поддержкой ПЛИС серии Cyclone II и основывается на использовании VQM-файлов (Verilog Quartus Mapping). VQM-файл является ограниченным подмножеством формата Verilog и применяется для технологического отображения проекта с помощью сетевых примитивов в уникальный базис ПЛИС.

Составной частью процесса компиляции проекта в базисе ПЛИС является этап анализа и синтеза. Под термином «синтез логики» следует понимать автоматическое преобразование проекта с уровня регистровых передач на уровень вентилях технологического базиса ПЛИС. VQM-файлы можно извлечь как на этапе анализа и синтеза, так и после полной компиляции с учетом размещения и трассировки. Среда разработки чита-

ет VQM-файлы, созданные с помощью синтезатора QIS от Altera. VQM-файлы извлекаются на этапе синтеза логики в САПР Altera Quartus II с помощью опции Start VQM Writer меню Start.

Примеры реализации проектов цифровых устройств обработки сигналов в ПЛИС серии 5578 с использованием тестов производительности. Проанализируем распределение функциональных блоков в ПЛИС серии 5578 на примере типовых проектов тестирования производительности (Benchmark) параллельных фильтров с конечной импульсной характеристикой (КИХ-фильтров) с различным числом отводов. Исходные коды проектов на языке Verilog взяты из академического САПР VTR7 [9].

Для ПЛИС серии 5578 рассмотрим следующие функциональные блоки: LUT с триггерами (для реализации комбинационной и последовательностной логики); только LUT; только триггеры.

Производитель указывает обобщенные параметры, характеризующие использование функциональных блоков, которыми будем оперировать в дальнейшем: alm_ff (LUT с триггерами плюс только триггеры); lcell_comb (LUT с триггерами плюс только LUT). Под LUT понимается генератор булевых функций.

Установлено соответствие параметров между ПЛИС серии 5578 и ПЛИС серии Cyclone II: параметр alm_ff соответствует параметру Dedicated logic register, а параметр cell_comb соответствует параметру Total combinational functions (LUT).

В табл.1 приведено количество задействованных логических ресурсов – функциональных блоков, аппаратных умножителей – с указанием процентного соотношения. Блоки памяти (dpbram) в данных проектах задействованы не были.

Таблица 1

**Задействованные логические ресурсы после компиляции
в базисе ПЛИС 5578TC014 и ПЛИС 5578TC024 (режим LUT4)**

КИХ-фильтр, число отводов	Триггеры и триггеры с LUT/ LUT (alm_ff/lcell_comb)	LUT с триггерами	Только LUT	Только триггеры	Аппаратные умножители (dsp18)
VQM-файл сформирован на этапе анализа и синтеза в базисе ПЛИС EP2C5					
10	438/129 (14,1%)	125	4	313	4 (28,6%)
16	676/240 (22,7%)	235	5	441	7 (50,0%)
18	811/275 (26,9%)	271	4	540	8 (57,1%)
24	1058/387 (35,8%)	366	21	692	11 (78,6%)
VQM-файл сформирован на этапе анализа и синтеза в базисе ПЛИС Cyclone II EP2C8					
10	438/129 (9,8%)	122	7	316	4 (20%)
16	676/240 (15,9%)	228	12	448	7 (35%)
18	811/275 (18,8%)	260	15	551	8 (40%)
24	1058/387 (25,1%)	366	21	692	11 (55%)
32	1368/498 (32,4%)	471	27	897	14 (70%)
36	1556/579 (37,1%)	544	35	1012	16 (80%)
38	1688/607 (39,8%)	574	33	1114	17 (85%)

Как следует из данных табл.1, при реализации проектов в ПЛИС 5578TC014 и ПЛИС 5578TC024 соотношение параметров alm_ff/lcell_comb не меняется, а происходит незначительное перераспределение между функциональными блоками (рис. 4).

Проведен сравнительный анализ использования логических ресурсов с помощью рассмотренных проектов в базисах ПЛИС Cyclone II EP2C8 и Stratix III EP3SE50 (табл.2) на двух этапах: анализ и синтез; после полной компиляции (рис.5).

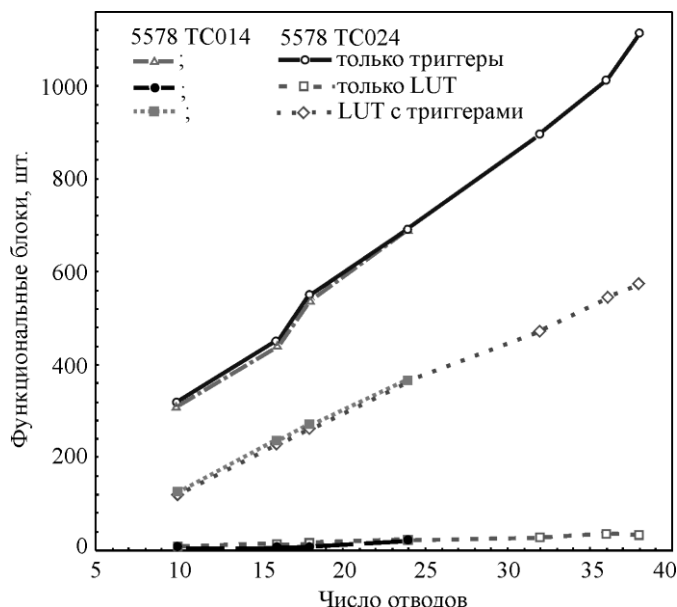


Рис. 4. Зависимость числа задействованных функциональных блоков от числа отводов при реализации проектов параллельных КИХ-фильтров с симметричными коэффициентами в базисе ПЛИС 5578TC014 и ПЛИС 5578TC024 (режим LUT4)

Таблица 2

Задействованные логические ресурсы ПЛИС

КИХ-фильтр, число отводов	Cyclone II EP2C8		Stratix III EP3SE50	
	Анализ и синтез / Полная компиляция			
	LUT	Триггеры	ALUT	Триггеры
10	123/123	438/341	104/104	402/257
16	228/228	676/528	159/159	537/366
18	261/261	811/654	192/192	672/471
24	367/367	1058/828	249/249	816/573
32	472/472	1368/1074	338/338	1092/746
36	548/548	1556/1232	392/392	1295/895
38	575/575	1688/1351	426/426	1383/942

Исходя из табл.2 следует, что число LUT на указанных этапах компиляции в САПР Quartus II остается неизменным, в то же время отмечается минимизация числа триггеров после полной компиляции. Так, например, в отчете Quartus II для проекта КИХ-фильтра на 10 отводов в папке Optimization Results в разделе Registers Removed During Synthesis указано, что в процессе синтеза было удалено 117 регистров за счет подключения информационных входов триггеров на землю.

Установлено, что до и после компиляции в базис ПЛИС серии 5578 с помощью среды разработки параметр `alm_ff` не меняется (изначально он соответствует параметру `Dedicated logic register` на этапе анализа и синтеза в базис ПЛИС Cyclone II EP2C8, выполняемого с помощью САПР Quartus II). Параметр `cell_comb` оказывается несколько выше, чем число LUT Cyclone II EP2C8F256C8, что связано с различной методикой подсчета комбинационных булевых функций.

Все ALUT ПЛИС Stratix III EP3SE50 работают в арифметическом режиме с числом входов менее трех; все LUT ПЛИС серии 5578 работают в арифметическом режиме с числом входов, равным двум.

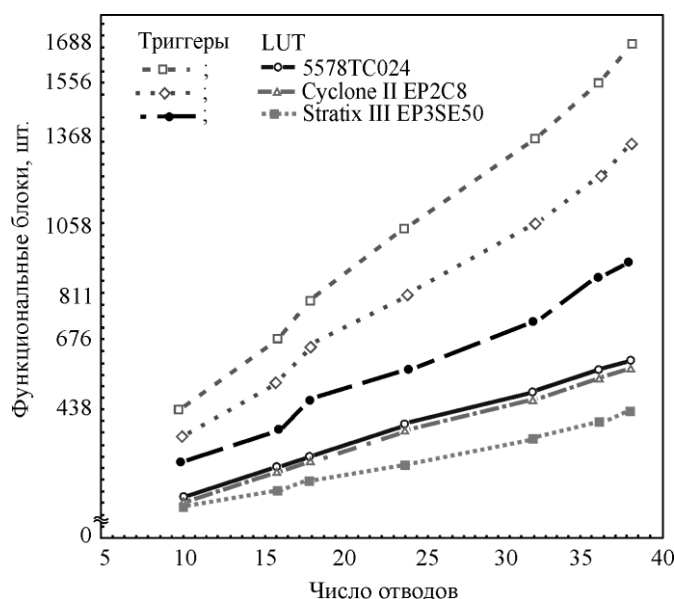


Рис.5. Зависимость числа задействованных функциональных блоков от числа отводов параллельных КИХ-фильтров с симметричными коэффициентами в базисе ПЛИС 5578TC024 (LUT4), Cyclone II EP2C8 и Stratix III EP3SE50

При компиляции проектов в ПЛИС серии 5578 (см. табл.1 и 2) число используемых триггеров не меняется (параметр *alm_ff*), т.е. остается таким же, как и при реализации проектов в базис ПЛИС Cyclone II EP2C8 на этапе анализа и синтеза. Это является следствием того, что среда разработки конфигурационных данных осуществляет прямое технологическое мэппирование (отображение) VQM-файлов в базис ПЛИС серии 5578 с этапа анализа и синтеза САПР Quartus II без последующей минимизации числа используемых триггеров. Поэтому для пользователя при подготовке проекта в САПР Quartus II установлено ограничение по логическим элементам – 3200 (для ПЛИС 5578TC014) и 3400 (для ПЛИС 5578TC024). Параметры *alm_ff* и *cell_comb* ограничиваются значениями 4032 для ПЛИС 5578TC014 и 5760 для ПЛИС 5578TC024. Для сравнения: ПЛИС Cyclone II EP2C8 содержит 8256 логических элементов, а ПЛИС EP3SE50 – 38000 ALUT.

Временной анализ среды разработки конфигурационных данных для ПЛИС серии 5578 отдаленно напоминает TimeQuest-анализ САПР Quartus II с применением SDC-файлов. Опция «Временной анализ» позволяет выводить пути «регистр – регистр» с наименьшим запасом времени. Доступен выбор рабочих условий, для которых проводится анализ «лучшие» и «худшие». Расчет осуществляется для двух моделей, для временных параметров удержания (T_{hold}) и предварительной установки (T_{setup}) информационных сигналов триггеров: *slow* (медленная, напряжение питания ядра ПЛИС 1,71 В, температура +85 °С); *fast* (быстрая, напряжение питания 1,89 В, температура –60 °С).

Содержание файла временных ограничений для синхросигнала *clk* с частотой 12,5 МГц, используемого для тестирования проектов КИХ-фильтров:

```
create_clock -name clk -period 80 -waveform { 0 40} [get_ports clk].
```

На рис.6 показаны временные запасы по параметрам T_{setup} и T_{hold} для ПЛИС 5578TC024 (модель *slow* и *fast*) и Cyclone II EP2C5 (модель *slow*, средние значения) для указанных временных ограничений. Для ПЛИС Cyclone II EP2C5 используются TimeQuest-анализ и модель *slow*, напряжение питания ядра равно 1,2 В, температура от 0 до +85 °С.

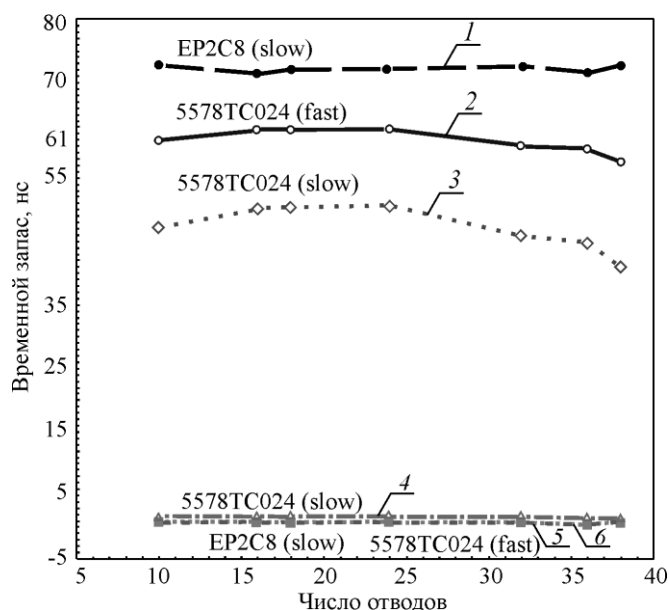


Рис.6. Временные запасы по параметрам T_{setup} (кривые 1–3) и T_{hold} (кривые 4–6) для ПЛИС 5578TC024 (модели slow и fast) и Cyclone II EP2C8 (TimeQuest-анализ, модель slow)

Исследования показали, что ПЛИС Cyclone II EP2C5 по отношению к ПЛИС 5578TC024 имеет бóльшие запасы по параметру T_{setup} и незначительно меньшие по параметру T_{hold} . Оказалось, что запасы по параметрам T_{setup} и T_{hold} модели slow TimeQuest-анализа примерно равны запасам по параметрам T_{setup} и T_{hold} модели fast ПЛИС 5578TC024. Запасы по параметрам T_{setup} и T_{hold} для ПЛИС Cyclone II EP2C5 остаются постоянными при росте числа отводов КИХ-фильтров, в то время как запасы по параметру T_{setup} для ПЛИС 5578TC014 и ПЛИС 5578TC024 снижаются.

Заключение. Маршрут проектирования цифровых устройств проводится в САПР ПЛИС Altera Quartus II с извлечением VQM-файлов на этапе анализа и синтеза и последующим технологическим отображением в базис библиотечных элементов ПЛИС серии 5578.

При проектировании параллельных КИХ-фильтров, представленных Verilog-кодом в базе ПЛИС 5578, выявлены следующие особенности среды разработки конфигурационных данных:

- технологическое отображение VQM-файлов проектов в уникальный базис ПЛИС серии 5578 проводится со стадии анализа и синтеза в САПР Quartus II без дополнительной минимизации числа используемых триггеров, что приводит к повышенному расходованию логических ресурсов, хотя ПЛИС серии 5578 имеют более прогрессивную архитектуру, чем ПЛИС серии Cyclone II;
- не предусматривается возможность получения оценок частот проектов для различных рабочих условий;
- демонстрируется снижение временных запасов по параметрам T_{setup} и T_{hold} для ПЛИС 5578TC024 (модели slow и fast) с ростом числа отводов КИХ-фильтров.

Использование ПЛИС с АЛМ и БЦОС позволяет разрабатывать высокоскоростные приложения для цифровой обработки сигналов, ранее недоступные для ПЛИС серии 5576.

Литература

1. Каталог изделий «ВЗПП-С». Предприятие АО «ВЗПП-С». — URL: <http://www.vzpp-s.ru/production/catalog.pdf> (дата обращения: 20.08.2016).

2. **Строгонов А.В., Городков П.С.** Особенности проектирования устройств цифровой обработки сигналов в базе ПЛИС серии 5578 // Вестник ВГТУ. – 2016. – Т. 12. – № 3. – С. 51–56.
3. Altera. White Paper. FPGAs for High-Performance DSP Applications. May 2005. – URL: https://www.altera.com/literature/wp/wp_dsp_comp.pdf (дата обращения: 11.01.2017).
4. Altera Corporation Cyclone II Device Handbook, February 2007. – URL: http://www.altera.com/literature/hb/cyc2/cyc2_cii5v1.pdf (дата обращения: 13.01.2017).
5. Altera Corporation Stratix III Device Handbook, July 2010. – URL: https://www.altera.com/literature/hb/stx3/stx3_siii5v1.pdf (дата обращения: 20.01.2017).
6. **Кузелин М. О., Кнышев Д. А., Зотов В. Ю.** Современные семейства ПЛИС фирмы Xilinx: справочное пособие. – М.: Горячая линия – Телеком, 2004. – 176 с.
7. **Тарасов И.Е., Певцов Е.Ф.** Программируемые логические схемы и их применение в схемотехнических решениях: учеб. пособие. – М.: МГТУ МИРЭА, 2012. – 184 с.
8. **Золотуха Р., Комолов Д.** Stratix III – новое семейство FPGA фирмы Altera // Компоненты и технологии. – 2006. – № 12. – URL: http://kit-e.ru/articles/plis/2006_12_30.php (дата обращения: 20.01.2017).
9. **Строгонов А., Цыбин С., Городков П.** САПР VTR7 для проектирования академических ПЛИС // Компоненты и технологии. – 2016. – № 3. – С. 65–73.

Поступила после доработки 26.01.2017 г.; принята к публикации 21.03.2017 г.

Строгонов Андрей Владимирович – доктор технических наук, профессор кафедры полупроводниковой электроники и нанoeлектроники Воронежского государственного технического университета (Россия, 394026, г. Воронеж, Московский пр-т, д. 14), andreistrogonov@mail.ru

Городков Павел Сергеевич – аспирант кафедры полупроводниковой электроники и нанoeлектроники Воронежского государственного технического университета (Россия, 394026, г. Воронеж, Московский пр-т, д. 14), gorodkoff@gmail.com

References

1. *Katalog izdelij «VZPP-S». Predpriyatie AO «VZPP-S»* [Product catalog «VZPP-S». Joint-stock company «Voronezh Plant of Semiconductor Devices-Assembly», JSC «VZPP-S»]. Available at: <http://www.vzpp-s.ru/production/catalog.pdf> (accessed: 20.08.2016). (In Russian).
2. Strogonov A.V., Gorodkov P.S. Osobennosti proektirovaniya ustrojstv tsifrovoy obrabotki signalov v bazise PLIS serii 5578 [Features of designing digital signal processing devices in the basis of FPGA 5578 series]. *Vestnik VGTU. – The Bulletin of Voronezh State Technical University– Voronezh*, 2016, vol. 12, no. 3, pp. 51–56. (In Russian).
3. Altera. White Paper. FPGAs for High-Performance DSP Applications. May 2005. Available at: https://www.altera.com/literature/wp/wp_dsp_comp.pdf (accessed: 11.01.2017).
4. Altera Corporation Cyclone II Device Handbook, February 2007. Available at: http://www.altera.com/literature/hb/cyc2/cyc2_cii5v1.pdf (accessed: 13.01.2017).
5. Altera Corporation Stratix III Device Handbook, July 2010. Available at: https://www.altera.com/literature/hb/stx3/stx3_siii5v1.pdf (accessed: 20.01.2017).
6. Kuzelin M. O., Knyshev D. A., Zotov V. Yu. *Sovremennye semeystva PLIS firmy Xilinx: spravochnoe posobie* [Modern family of Xilinx FPGA // Reference Manual]. Moscow, Goryachaya liniya – Telekom, 2004. – 176 p. (In Russian).
7. Tarasov I.E., Pevtsov E.F. *Programmiruemye logicheskie skhemy i ikh primeneniye v skhemotekhnicheskikh resheniyakh: ucheb. posobie* [Programmable logic devices and their application in circuit solutions]. Moscow, MGTU MIREHA, 2012. – 184 p. (In Russian).
8. Zolotukho R., Komolov D. Stratix III – novoe semeystvo FPGA firmy Altera [Stratix III - a new family Altera FPGAs]. *Komponenty i tekhnologii – Components & Technologies*, 2006, no. 12. Available at: http://kit-e.ru/articles/plis/2006_12_30.php (accessed: 20.01.2017). (In Russian).
9. Strogonov A., Tsybin S., Gorodkov P. SAPR VTR7 dlya proektirovaniya akademicheskikh PLIS [CAD VTR7 for the design of academic FPGAs]. *Komponenty i tekhnologii – Components & Technologies*, 2016, no.3, pp. 65–73. (In Russian).

Submitted 26.01.2017; accepted 21.03.2017.