

Чувствительность к тиристорному эффекту КМОП-структуры с глубоким изолирующим n -карманом

К.А. Панышев, Ю.А. Парменов

*Национальный исследовательский университет «МИЭТ»,
г. Москва, Россия*

parmenov@mail.ru

При производстве радиационно стойкой электронной компонентной базы необходимо уделять особое внимание одиночным эффектам ввиду постоянно увеличивающейся плотности элементов на микросхеме.

Исследовано влияние внедренного в 90-нм объемную КМОП-структуру глубокого изолирующего n -кармана на устойчивость к тиристорному эффекту, вызванному воздействием тяжелых заряженных частиц. Рассмотрена целесообразность использования такой технологии при разработке конструкции ячейки памяти, которая обеспечивает исключение тиристорного защелкивания и имеет минимальную площадь. Проанализировано влияние глубокого n -кармана на минимальное расстояние от истока транзистора до контакта к карману, при котором защелка гарантированно образуется. Установлено, что при малом расстоянии, равном 0,12 мкм, между n - и p -канальными транзисторами изоляция p -кармана не дает ожидаемого эффекта с точки зрения формирования паразитной тиристорной структуры, поскольку ток в данном случае протекает в приповерхностной области под мелкой щелевой изоляцией и слабо зависит от ширины базы p - n - p -транзистора. Показано, что при попадании частицы в истоковую область n -канального транзистора изоляция p -кармана может оказывать негативное влияние на чувствительность объемной КМОП-структуры к тиристорному эффекту. При этом пороговое расстояние между истоком и контактом к карману в структуре с глубоким карманом примерно на 0,6 мкм ниже, чем в стандартной структуре.

Рассмотренную структуру с глубоким n -карманом не рекомендуется использовать в радиационно стойкой электронной компонентной базе для подавления тиристорной защелки.

Ключевые слова: радиационная стойкость; тяжелые заряженные частицы; эффект защелки; глубокий изолирующий n -карман; Sentaurus TCAD.

Для цитирования: Панышев К.А., Парменов Ю.А. Чувствительность к тиристорному эффекту КМОП-структуры с глубоким изолирующим n -карманом // Изв. вузов. Электроника. – 2017. – Т.22. – №3. – С. 238–246.

Sensitivity to Thyristor Effect of CMOS Structure with Deep Insulating N-Well

K.A. Panyshev, Y.A. Parmenov

National Research University of Electronic Technology, Moscow, Russia

parmenov@mail.ru

In production of the rad-hard electronic components base it is necessary to pay specific attention to single event effects because of the constantly increasing density of components on a chip. The effect of the embedded deep insulating N-well in 90-nm bulk CMOS structure on resistance to the thyristor effect, caused by the impact of heavy charged particles, has been investigated. The result of this study has to confirm or refute the expediency of using such technology in the memory cell design, which provides the elimination of latchup and has a minimum area. The influence of the deep N-well on the minimum spacing between the source and the well ties, which guarantees the latchup to occur, has been analyzed. It has been found that in case of small spacing between the N- and P-channel transistors of 0.12 μm , the isolation of P-well doesn't give the expected result in terms of parasitic thyristor structure occurrence, since in this case the current flows near the surface region under STI and depends weakly on the base width of the pnp transistor. It has been shown that in case of the particle striking the source region of the N-channel transistor, the isolation of P-well may have a negative influence on the sensitivity of the bulk CMOS structure to the thyristor effect. In this case the threshold spacing between the source and well ties in the structure with deep well is approximately 0.6 μm lower than in the standard structure.

The structure with deep N-well is not recommended for using in the rad-hard electronic components to mitigate the thyristor latchup.

Keywords: radiation hardness; heavy charged particles; latchup effect; deep insulating N-well; Sentaurus TCAD.

For citation: Panyshev K.A., Parmenov Y.A. Sensitivity to Thyristor Effect of CMOS Structure with Deep Insulating N-Well // Proc. of universities. Electronics. – 2017. – Vol.22. – №3. – P. 238–246.

Введение. Обеспечение стойкости КМОП ИС к защелке, вызванной воздействием тяжелых заряженных частиц (ТЗЧ) космического пространства, является актуальной задачей [1, 2]. Процесс масштабирования полупроводниковой технологии имеет преимущества и недостатки в связи с образованием защелки. С переходом к каждой следующей технологической норме растет концентрация примеси в карманах, но уменьшается глубина их залегания. С масштабированием уменьшается ширина баз вертикального и горизонтального транзисторов, что увеличивает коэффициенты усиления. Однако более высокий уровень легирования в области базы ведет к уменьшению коэффициентов усиления. Данные процессы являются конкурирующими по отношению к паразитным сопротивлениям карманов R_{pw} R_{nw} .

Для увеличения устойчивости к защелке стандартной КМОП-структуры (рис.1,а) в работах [3, 4] предлагается КМОП-структура с дополнительным *n*-карманом (рис.1,б), который целиком изолирует *p*-карман от подложки. Такая структура полностью исклю-

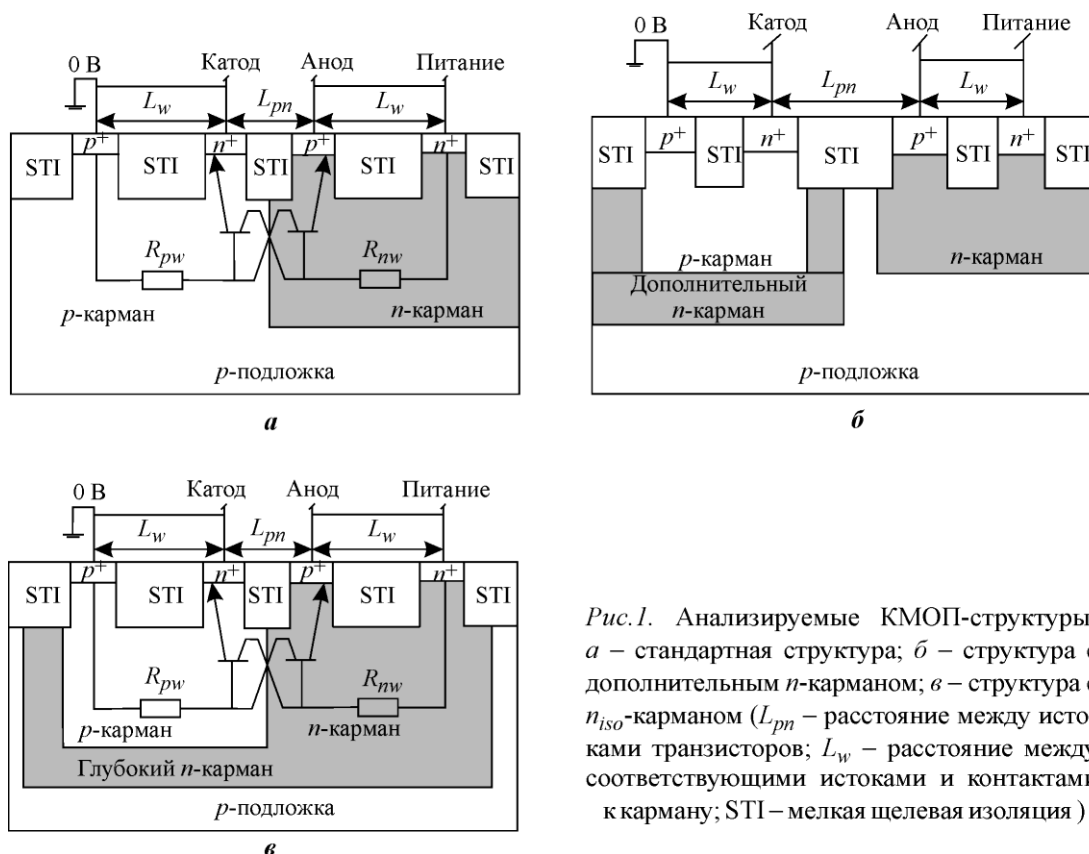


Рис.1. Анализируемые КМОП-структуры: *а* – стандартная структура; *б* – структура с дополнительным *n*-карманом; *в* – структура с n_{iso} -карманом (L_{pn} – расстояние между истоками транзисторов; L_w – расстояние между соответствующими истоками и контактами к карману; STI – мелкая щелевая изоляция)

чает возможность образования защелки по технологическим процессам, начиная со 180 нм. Однако это достигается за счет увеличения площади структуры. В структуре, приведенной на рис.1,б, для уменьшения ее площади дополнительный *n*-карман объединен со стандартным *n*-карманом, образуя глубокий изолирующий *n*-карман (n_{iso} -карман). В такой структуре паразитный $p^+-n-p-n^+$ -путь по-прежнему существует. Однако в литературе отсутствует ясность, снижает ли n_{iso} -карман чувствительность к тиристорному эффекту.

В работах [5, 6] показано, что влияние n_{iso} -кармана на возникновение защелки зависит от области (анод/катод), в которую инжектируются генерируемые носители. В работах [7, 8] указано, что структура с n_{iso} -карманом более устойчива к защелке из-за снижения сопротивления n_{iso} -кармана и, как следствие, более быстрого сбора электронов, что препятствует включению паразитных биполярных транзисторов. Отметим, что в работах [3, 8] отсутствует моделирование исследуемых структур при разных расстояниях L_{pn} и L_w . В работах [9, 10] представлены результаты моделирования структуры с n_{iso} -карманом. В [9] отмечено, что тиристорный эффект не наблюдается независимо от пораженной области, а в [10] рассмотрен только случай попадания частицы в анод структуры, при этом внедрение n_{iso} -кармана снижает чувствительность к защелке, но увеличивает вероятность многократных сбоев.

В связи с неоднозначностью опубликованных результатов в настоящей работе исследуются структуры с n_{iso} -карманом и без него при разных расстояниях между *n*- и *p*-канальными транзисторами, а также при разных расстояниях до контакта к карману. Рассматриваются случаи падения частицы в n^+ - и p^+ -истоки, так как они являются худшими с точки зрения возникновения тиристорного эффекта. Проводится сравнение эффектов радиационного защелкивания в структурах, приведенных на рис.1,а,в.

Не все критичные параметры для защелки улучшаются с внедрением n_{iso} -кармана, поскольку в структуре, аналогичной представленной на рис.1,б, увеличиваются сопротивление p -кармана и коэффициент усиления паразитного n - p - n -транзистора. Увеличение коэффициента усиления имеет решающее значение при попадании частицы в область истока n -канального транзистора.

Формирование структуры. Для исследования влияния n_{iso} -кармана на возникновение тиристорного эффекта в КМОП-элементах ИС, вызванного воздействием ТЗЧ, с помощью программного пакета Sentaurus ISE TCAD проведено приборно-технологическое моделирование двух структур – стандартной и с n_{iso} -карманом, сформированных по коммерческой технологии с проектной нормой 90 нм. Для ускорения расчета проводилось 2D-моделирование. Полученные токи домножались на коэффициент, учитывающий ширину структуры, равную 1 мкм. Допущения двумерного расчета при моделировании трека частицы корректны, поскольку в модуле HeavyIon учитывается коэффициент пересчета заряда трека относительно реального трехмерного случая.

Расстояния L_{pn} между анодом (p -исток) и катодом (n -исток) выбраны в диапазоне 0,12–0,48 мкм с шагом 0,12 мкм. Расстояние L_w между p -истоком и контактом к карману и равное ему расстояние между n -истоком и контактом к подложке варьировались и при этом не превышали 10 мкм. Рассматривались случаи попадания частицы в анод и катод структуры. На анод (p -исток) и контакт к n -карману подавалось напряжение питания 1,2 В, остальные контакты были заземлены.

В модуле HeavyIon программы Sdevice пакета Sentaurus TCAD дискретно задается зависимость линейной передачи энергии (ЛПЭ) частицы от длины ее свободного пробега в кремнии (таблица). Числовые значения получены в результате испытаний на циклотроне.

**Зависимость ЛПЭ тяжелых заряженных частиц
от длины их свободного пробега в кремнии**

Длина свободного пробега ТЗЧ, мкм	ЛПЭ, МэВ·см ² /мг			
	He	Kr	Ar	Ne
0	70	40	16	6,5
10	69	41	17	7,5
20	64	38	18	8,5
30	50	33	16	9

Моделирование и результаты. Рассмотрим матрицу стандартных шеститранзисторных ячеек памяти, в которой контакты к подложке и карману располагаются через несколько рядов ячеек памяти. На рис. 2 представлен фрагмент топологии такой матрицы.

Наличие рядов контактов приводит к увеличению эквивалентной площади, приведенной к одной ячейке. Очевидно, что с уменьшением периодичности рядов контактов к подложке и карману (одна полоса на 4 ячейки, 8 ячеек, 16 ячеек и т.д.) эквивалентная площадь ячейки будет падать. Требования минимизации площади ячейки памяти и обеспечения ее стойкости к тиристорному защелкиванию являются взаимно противоречивыми, и их одновременное решение состоит в нахождении компромисса. Для ячейки с минимальной площадью задача обеспечения стойкости к тиристорному защелкиванию состоит в определении такого максимально возможного значения шага



Рис.2. Фрагмент топологии матрицы ячеек памяти с периодичностью расположения рядов контактов к подложке и карману через каждые две ячейки

расположения контактов, при котором гарантированно не возникает эффекта тиристорного защелкивания. Таким образом, необходимо найти пороговое значение L_w , начиная с которого структура будет защелкиваться независимо от типа частиц.

Поскольку рассматривается случай плотной упаковки элементов ячейки памяти, целесообразно вначале провести моделирование структуры, в которой расстояние L_{pn} между p - и n -канальными транзисторами (см. рис. 1) минимально. Необходимо определить, какое влияние будет оказывать внедрение n_{iso} -кармана на тиристорный эффект в такой структуре. Рассматривается случай падения частицы в исток p -канального транзистора.

На рис. 3 приведено сравнение индуцированных токов в структурах, показанных на рис.1. Видно, что защелка при минимальном расстоянии $L_{pn} = 0,12$ мкм возникает при одном и том же расстоянии L_w до контакта к карману, равном 4,0 мкм. Данная зависимость свидетельствует о том, что в случае малых расстояний между транзисторами ток, индуцированный ТЗЧ, течет в приповерхностной области под мелкой щелевой изоляцией (STI). Поэтому увеличение ширины базы вертикального паразитного p - n - p -транзистора (и, как следствие, уменьшение коэффициента усиления) не приводит к ожидаемому эффекту повышения стойкости структуры к защелке. Разница в ширине импульса тока на рисунке наблюдается лишь в случае падения частицы с наибольшей энергией.

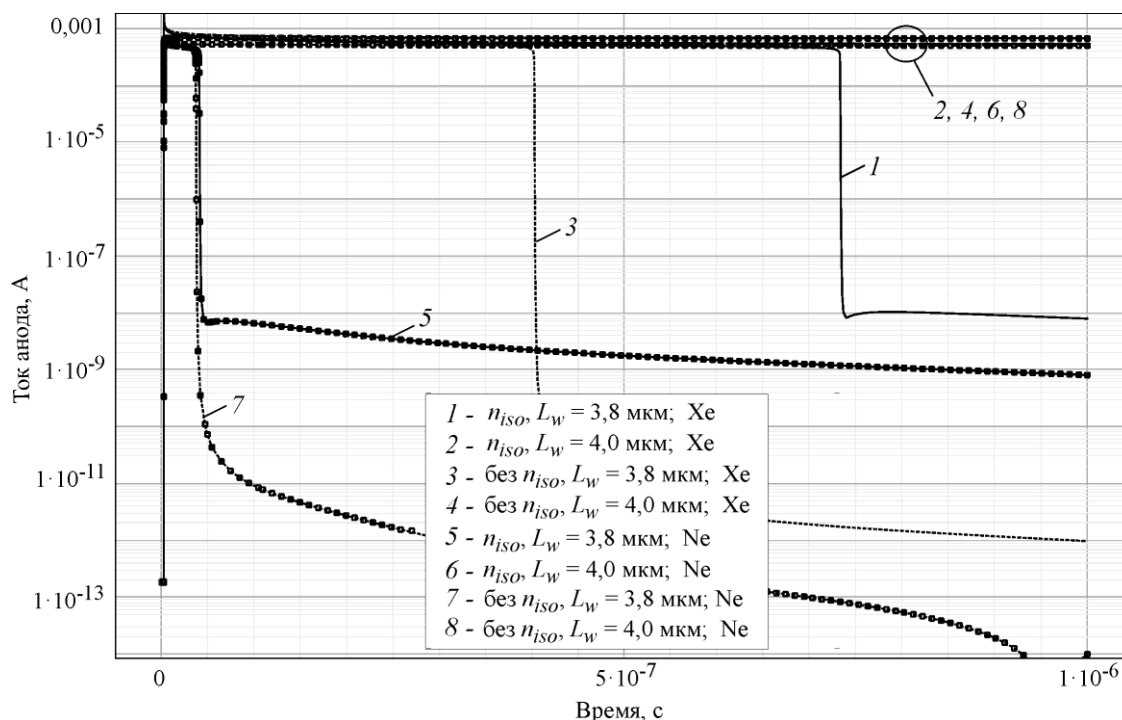


Рис.3. Влияние n_{iso} -кармана на ток, индуцированный ТЗЧ, в структурах с минимальным расстоянием между p - и n -канальными транзисторами

Для определения порогового значения L_w проведено моделирование структур (см. рис.1) с расстояниями L_{pn} , равными 0,12; 0,24; 0,36; 0,48 мкм, и различными расстояниями до контакта к карману L_w с целью исследования влияния внедренного n_{iso} -кармана. Рассматривается падение частицы в p -исток. Результаты моделирования представлены на рис.4 и 5,а.

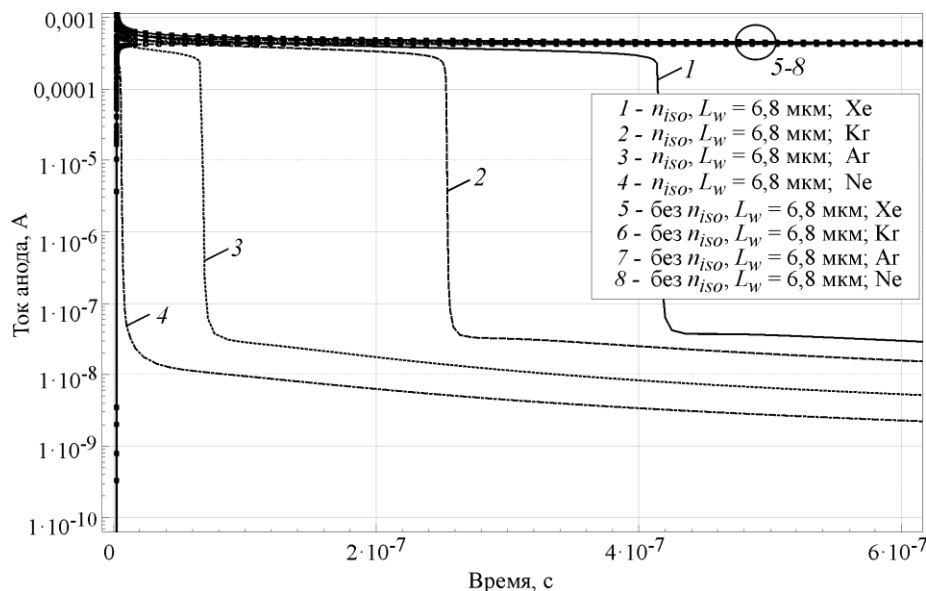


Рис.4. Ток, вызванный падением ТЗЧ, в структурах с внедренным n_{iso} -карманом и без него (расстояние между транзисторами 0,48 мкм)

При $L_w = 6,8$ мкм (минимальное значение) структура без глубокого кармана защелкивается независимо от типа ТЗЧ при $L_{pn} = 0,48$ мкм. Из рис.4 видно, что при этом значении L_w в структуре с n_{iso} -карманом тиристорный эффект не возникает ни при каких заряженных частицах. Ширина импульса тока при падении частицы с наибольшей энергией (Хе) составляет 250 нс. На рис.5,а показана зависимость минимального расстояния до контакта к карману, при котором в структуре гарантированно возникнет тиристорный эффект, от указанных значений L_{pn} в обоих типах структур. Видно, что при падении частицы в p -исток (анод) внедрение n_{iso} -кармана позволяет существенно увеличить пороговое расстояние до контакта к карману, при котором структура будет гарантированно защелкиваться независимо от типа ТЗЧ. Такой характер зависимости нарушается только при малых расстояниях между транзисторами L_{pn} , когда ток течет не через всю базу p - n - p -транзистора, а в приповерхностной области под мелкой щелевой изоляцией.

Таким образом, при падении частицы в исток p -канального транзистора внедрение глубокого кармана обоснованно, поскольку повышается устойчивость к тиристорному эффекту в условиях минимизации площади ячейки.

Рассмотрим случай падения ТЗЧ в исток n -канального транзистора, аналогично оценив влияние n_{iso} -кармана на образование защелки. Значения L_{pn} и L_w аналогичны случаю падения частицы в p -исток.

На рис.5,б показана зависимость минимального расстояния до контакта к карману, при котором в структуре гарантированно возникнет тиристорный эффект, от значений L_{pn} в обоих типах структур, когда частица падает в исток n -канального транзистора. Видно, что в этом случае внедрение глубокого кармана не только не повышает устойчивость к защелке, но даже немного ухудшает ее. Так, например, при $L_{pn} = 0,48$ мкм пороговое расстояние, при котором для всех типов частиц возникает защелка, для n_{iso} -структуры составляет 6,2 мкм, а для стандартной структуры без глубокого кармана — 6,8 мкм.

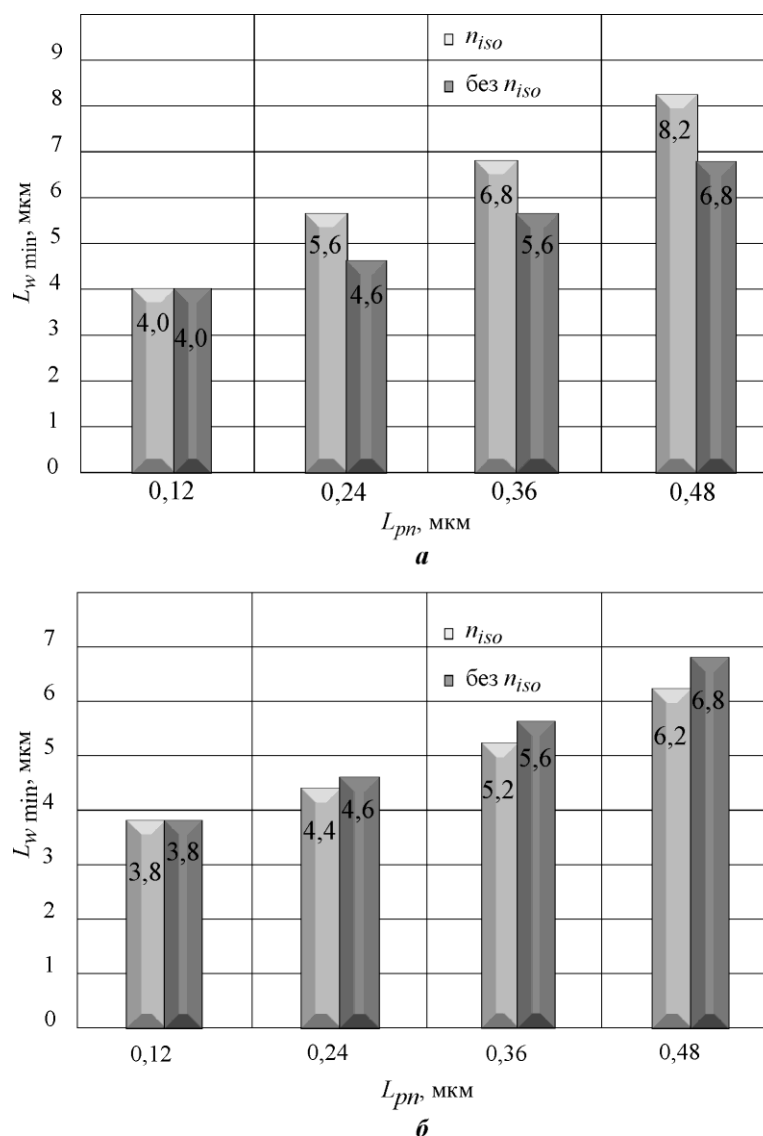


Рис.5. Влияние n_{iso} -кармана на пороговое расстояние L_w , при котором в структуре возникает защелка для всех типов частиц: *а* – ТЗЧ попадает в p -исток; *б* – ТЗЧ попадает в n -исток

В структуре с глубоким карманом (см. рис.1,б) коэффициент усиления $\beta_{pn_{iso}}$ p – n – p -транзистора меньше, чем коэффициент усиления β_{pst} в стандартной структуре (см. рис.1,а) из-за увеличенной ширины базы p – n – p -транзистора. Коэффициент усиления $\beta_{nn_{iso}}$ n – p – n -транзистора, наоборот, больше, чем коэффициент усиления β_{nst} в стандартной структуре из-за уменьшенной ширины базы n – p – n -транзистора.

В стандартных КМОП-структурах обычно коэффициент усиления биполярного n – p – n -транзистора выше, чем коэффициент усиления p – n – p -транзистора. В структуре с глубоким n -карманом эта асимметрия только усугубляется [6]: $\beta_{nn_{iso}} - \beta_{pn_{iso}} > \beta_{nst} - \beta_{pst}$. Таким образом, чувствительность к защелке n_{iso} -структуры зависит от того, какой транзистор открыт раньше.

Заключение. Оценка влияния глубокого n -кармана в КМОП-структуре на возникновение тиристорного эффекта показала следующее. Минимальное расстояние от транзистора до контакта к карману, при котором структура гарантированно защелкнется,

увеличивается при внедрении глубокого кармана в случае попадания ТЗЧ в p -исток и уменьшается при внедрении n_{iso} в случае падения ТЗЧ в n -исток. Структура с глубоким изолирующим карманом может быть более эффективна в подавлении защелки, когда частица падает в p -исток и открывается вначале p - n - p -транзистор, но в то же время более чувствительна к защелке в случае, когда ТЗЧ попадает в n -исток и раньше открывается n - p - n -транзистор. При уменьшении расстояния между p - и n -канальными транзисторами внедрение глубокого кармана может не оказывать положительного влияния на подавление тиристорного эффекта даже в случае попадания частицы в исток p -канального транзистора, поскольку ток в данном случае будет протекать в приповерхностной области под мелкой щелевой изоляцией и слабо зависеть от ширины базы p - n - p -транзистора. Попадание ТЗЧ в истоковые области транзистора – вероятностный процесс, эффективность применения технологии с глубоким карманом будет зависеть от того, в какую область структуры попадет частица.

Таким образом, структуру с n_{iso} -карманом не рекомендуется использовать в радиационно стойкой электронной компонентной базе с целью подавления тиристорной защелки в отличие от структуры, где изолирован только p -карман и между транзисторами возникает охранная область [6]. Однако площадь кристалла при этом существенно возрастает, что неприемлемо при разработке конструкции подобных матриц ячеек памяти.

Литература

1. **Чумаков А.И.** Действие космической радиации на ИС. – М.: Радио и связь, 2004. – 320 с.
2. **Танперо К.И., Улимов В.Н., Членов А.М.** Радиационные эффекты в кремниевых интегральных схемах космического применения. – М.: БИНОМ, Лаборатория знаний, 2014. – 304 с.
3. **Dodds N.A.** Single event latchup: hardening strategies, triggering mechanisms, and testing considerations: Ph. D., Graduate School of Vanderbilt University, Nashville, TN. – 2012. – 130 p.
4. **Muth W.** Matrix method for latch-up free demonstration in a triple-well bulk-silicon technology // IEEE Transactions on Nuclear Science. – 1992. – Vol. 39. – N. 3. – P. 396–400.
5. Investigation of external latchup robustness of dual and triple well designs in 65nm bulk cmos technology / **D. Kontos, K. Domanski, R. Gauthier et al.** // Proc. of the International Reliability Physics Symposium. – 2006. – P. 145–150.
6. Latchup in merged triple well structure / **S. Voldman, E. Gebreselasie, M. Zjerak et al.** // IEEE International Reliability Physics Symposium. – 2005. – P. 129–136.
7. Elimination of single event latchup in 90nm SRAM technologies / **H. Puchner, R. Kapre, S. Sharifzadeh et al.** // Proc. of the International Reliability Physics Symposium. – 2006. – P. 721–722.
8. Radiation and reliability characterization of a multiplexer family using a 0.35 μ m triple-well CMOS technology / **A. Wilson, D. Kerwin, T. Richardson et al.** // Radiation Effects Data Workshop. – 2011. – P. 1–7.
9. **Dinkins C.A.** Qualitative characterization of single-event transient and latchup trends in 180 nm CMOS technology // MS Thesis. – Graduate School of Vanderbilt University, Nashville, TN. – 2011. – 102 p.
10. **Gasiot G., Giot D., Roche P.** Multiple cell upsets as the key contribution to the total SER of 65 nm CMOS SRAMs and its dependence on well engineering // IEEE Transactions on Nuclear Science. – 2007. – Vol. 54. – N. 6. – P. 2468–2473.

Поступила 14.03.2017 г.; принята к публикации 21.03.2017 г.

Панышев Кирилл Андреевич – аспирант кафедры интегральной электроники и микросистем (ИЭМС) МИЭТ (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, д. 1), gallantjke@gmail.com

Парменов Юрий Алексеевич – кандидат технических наук, профессор кафедры ИЭМС МИЭТ (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, д. 1), parmenov@mail.ru

References

1. Chumakov A.I. *Dejstvie kosmicheskoy radiatsii na IS* [The effect of space radiation on integrated circuits]. Moscow, Radio i svyaz', 2004. 320 p. (In Russian).
2. Tapero K.I., Ulimov V.N., Chlenov A.M. *Radiatsionnye efekty v kremnievykh integral'nykh skhemakh kosmicheskogo primeneniya* [Radiation Effects in Silicon Integrated Circuits for Space Application]. Moscow, BINOM, Laboratoriya znaniy, 2014. 304 p. (In Russian).
3. Dodds N.A. *Single event latchup: hardening strategies, triggering mechanisms, and testing considerations*: Ph. D., Graduate School of Vanderbilt University, Nashville, TN, 2012, 130 p.
4. Muth W. Matrix method for latch-up free demonstration in a triple-well bulk-silicon technology. *IEEE Transactions on Nuclear Science*, 1992, vol. 39, no. 3, pp. 396–400.
5. Kontos D., Domanski K., Gauthier R., Chatty K., Muhammad M., Seguin C., Halbach R., Russ C., Alvarez D. Investigation of External Latchup Robustness of Dual and Triple Well Designs in 65nm Bulk CMOS Technology. *Proc. of the International Reliability Physics Symposium*, 2006, pp. 145–150.
6. Voldman S., Gebreselasie E., Zjerak M., Hershberger D., Collins D., Feichenfeld N., St. Onge S., Dunn J. Latchup in Merged Triple Well Structure. *IEEE International Reliability Physics Symposium*, 2005, pp. 129–136.
7. Puchner H., Kapre R., Sharifzadeh S., Majjiga J., Chao R., Radaelli D., Wong S. Elimination of Single Event Latchup in 90nm SRAM Technologies. *Proc. of the International Reliability Physics Symposium*, 2006, pp. 721–722.
8. Wilson A., Kerwin D., Richardson T., Ton Q., Merkel K., Koziuk G., Hafer C. Radiation and Reliability Characterization of a Multiplexer Family Using a 0.35 μ m Triple-Well CMOS Technology. *Radiation Effects Data Workshop*, 2011, pp. 1–7.
9. Dinkins C.A. Qualitative Characterization of Single-Event Transient and Latchup Trends in 180 nm CMOS Technology. *MS Thesis. Graduate School of Vanderbilt University*. Nashville, TN, 2011, 102 p.
10. Gasiot G., Giot D., Roche P. Multiple Cell Upsets as the Key Contribution to the Total SER of 65 nm CMOS SRAMs and Its Dependence on Well Engineering. *IEEE Transactions on Nuclear Science*, 2007, vol. 54, no.6, pp. 2468–2473.

Submitted 14.03.2017; accepted 21.03.2017.

Книжные новинки



Электроника интегральных схем. Лабораторные работы и упражнения:
учеб. пособие под ред. доктора техн. наук К. О. Петросянца. -
М.: СОЛОН-Пресс, 2017. - 556 с.



Рассмотрены принципы работы и электрические характеристики биполярных и МОП-транзисторов интегральных схем, базовых элементов цифровой и аналоговой схемотехники, БМК и ПЛИС, микроконтроллеров и микропроцессоров. Описаны методики выполнения лабораторных, расчетных на ЭВМ, курсовых, самостоятельных и других работ.

Пособие предназначено для бакалавров и магистров различных специальностей, изучающих электронику, микроэлектронику и схемотехнику. Отдельные разделы могут быть полезными для аспирантов и инженеров-практиков.