

ЭЛЕМЕНТЫ ИНТЕГРАЛЬНОЙ ЭЛЕКТРОНИКИ INTEGRATED ELECTRONICS ELEMENTS

УДК 681.3

DOI: 10.24151/1561-5405-2018-23-2-161-172

Обзор

Основные тенденции развития архитектур специализированных многоядерных процессоров

Г.С. Елизаров¹, В.В. Корнеев¹, И.Е. Тарасов¹, П.Н. Советов²

¹ФГУП «НИИ «Квант», г. Москва, Россия

²Московский государственный университет им. М.В. Ломоносова,
г. Москва, Россия

Ilya_e_tarasov@mail.ru

Энергопотребление в современных интегральных схемах существенно определяется суммарной длиной проводников, доставляющих команды и данные к функциональным устройствам. Эта особенность интегральных схем учитывается при разработке архитектур энергоэффективных процессорных кристаллов.

Рассмотрены многоядерные процессоры со специализированной архитектурой, предназначенные для построения вычислительных комплексов для решения задач в различных предметных областях. Выявлены тенденции в архитектурах многоядерных процессоров для поиска подходов к проектированию специализированных вычислительных комплексов на базе вновь разрабатываемых СБИС с массовым параллелизмом на уровне кристалла. Показано, что важную роль в повышении эффективности многоядерных процессоров играет специализация функциональных возможностей ядер, которая позволяет отказаться от поддержки операций, требующих применения вычислительных устройств с большой площадью. Установлено, что использование иерархии процессорных ядер на кристалле в виде локальных групп, связанных накристалльной сетью, отвечает требованиям технологических процессов с нормами 28 нм и менее по ограничению площади синхронной тактовой сети.

Специализация при построении высокоэффективных многоядерных процессоров позволяет сократить площадь вычислительного узла и увеличить таким образом количество ядер на кристалле. Локальная память ядер, блоки умножения и поддержки вычислений плавающей точки являются основными узлами, определяющими площадь кристалла. Поэтому проектирование архитектуры на ранних стадиях разработки следует проводить с учетом требований предметной области к этим устройствам и типам операций. Характеристики рассмотренных многоядерных процессоров подтверждают вывод о предпочтительности применения многоуровневой ие-

пархии вычислительных узлов с асинхронной работой узлов верхних уровней иерархии.

Ключевые слова: процессор; вычислительная система; параллельное вычисление.

Для цитирования: Елизаров Г.С., Корнеев В.В., Тарасов И.Е., Советов П.Н. Основные тенденции развития архитектур специализированных многоядерных процессоров. ОБЗОР // Изв. вузов. Электроника. – 2018. – Т. 23. – № 2. – С. 161–172. DOI: 10.24151/1561-5405-2018-23-2-161-172

Main Trends in Development of Special-Purpose Manycore Processors

G.S. Elizarov¹, V.V. Korneev¹, I.E. Tarasov¹, P.N. Sovietov²

¹*RDI Kvant, Moscow, Russia*

²*M.V.Lomonosov Moscow State University, Moscow, Russia*

Ilya_e_tarasov@mail.ru

The power consumption in the up-to-date integrated circuits is significantly determined by the length of conductors delivering the instructions and the data to functional devices. This peculiarity of the integrated circuits is taken into account when developing the architectures of power-efficient processor chips.

The manycore processors with the special-purpose architecture, designed for building the computer complexes to solve the problems in various subject areas have been considered. The trends in the architectures of manycore processors for searching for the approaches to designing the special-purpose computing complexes based on the new ASICs with massive-parallel architecture at the chip level have been revealed. It has been shown that an important role in improvement of the effectiveness of manycore processors belongs to the specialization of functional abilities of cores, which makes possible to refuse from the support of the operations, which require using computers with large area. The tendency of using the hierarchy of processor cores on a chip in the form of the local groups, connected with the on-chip network has been revealed, which corresponds to the requirements of the technological processors with 28 nm norms and less with limiting the area of synchronous step network.

The specialization while building the high-effectiveness of manycore processors permits to decrease the area of the computer unit and, thus, to increase the number of the cores on chip. The local memory of cores, multiplication units and support of the floating point calculations are the main units, determining the chip area. Therefore, the designing of the architecture at early stages of the development must be executed considering the requirements of the subject area for these devices and types of operation.

Keywords: processor; computing system; parallel computation.

For citation: Elizarov G.S., Korneev V.V., Tarasov I.E., Sovietov P.N. Main trends in development of special-purpose manycore processors. REVIEW // Proc. of Universities. Electronics. – 2018. – Vol. 23. – № 2. – P. 161–172. DOI: 10.24151/1561-5405-2018-23-2-161-172

Введение. В современных интегральных схемах энергопотребление существенно определяется суммарной длиной проводников, доставляющих команды и данные к функциональным устройствам. Суммарная длина проводников увеличивается по мере роста степени интеграции и учитывается при разработке архитектур энергоэффективных процессорных кристаллов. В современных обзорах и оригинальных публикациях [1–16] кроме аппаратной архитектуры одного вычислительного ядра рассматриваются также вопросы взаимодействия с внешними устройствами, повышения энергоэффективности и оптимизации архитектуры с учетом программного обеспечения предметной области. Перечислим основные свойства архитектур современных многоядерных процессоров:

- большая параллельность обработки данных, обусловленная использованием большого количества вычислительных модулей, состоящих из функциональных устройств, регистров и локальных блоков памяти;

- программируемая коммутационная структура, объединяющая совокупность одинаковых вычислительных элементов или образующая иерархию коммуникационных сетей, на верхнем уровне которой управляющий вычислительный модуль объединяется с совокупностью кластеров модулей следующего уровня иерархии, а также с каналами ввода-вывода и внешней памятью;

- локальная синхронность кластеров, состоящих из функциональных устройств и источников команд и операндов для них, и глобальная асинхронность совокупности кластеров на кристалле;

- иерархическая структура памяти, нижний уровень которой образуют небольшие блоки памяти, обслуживающие функциональные устройства, следующий уровень состоит из блоков памяти для хранения данных и команд, пересылаемых между блоками памяти нижнего уровня (по отношению к рассматриваемому) и блоком памяти верхнего уровня.

Эффективность конкретной архитектуры процессорного кристалла определяется тем, насколько удастся, с одной стороны, повысить максимально выполняемое количество операций в функциональных устройствах, с другой – увеличить долю загруженности функциональных устройств при выполнении программ предметной области. Последнее существенно зависит от выбранных иерархии памяти и коммуникационной структуры кристалла.

Архитектуры многоядерных процессоров и их характеристики. Рассматриваемые многоядерные процессоры предназначены для высокопроизводительных серверных вычислений с высокой степенью параллелизма уровня задач (подход MIMD). Особенностью таких процессоров является использование преимущественно однородного массива процессорных элементов (ПЭ), которые на уровне кристалла могут быть организованы в виде решетки или, что чаще, нескольких кластеров под управлением отдельного процессорного ядра, осуществляющего контроль вычислений и внешних интерфейсов. При этом существующие на рынке процессоры отличаются как составом и функциональными возможностями ПЭ, так и общей архитектурой уровня СБИС. Сравнительный анализ характеристик многоядерных процессоров поможет выявить основные тенденции в их развитии и сформировать перспективные направления развития как конструкции ПЭ, так и архитектуры СБИС на системном уровне.

При рассмотрении многоядерных процессоров можно выявить общие тенденции:

- архитектура типа MIMD, модели программирования на основе явного параллелизма;
- невысокая тактовая частота;
- тысячи однотипных ПЭ;

- сеть с топологией решетки и пакетной коммутацией, асинхронность на уровне вычислительной системы;
- распределенный кэш без поддержки когерентности (только для чтения) или программно управляемая локальная память (scratchpads);
- упрощенная архитектура ПЭ, замена внеочередного исполнения команд схемами со статическим планированием.

Характеристики процессоров [17–26] приведены в табл. 1–3. Производительность приближенно определена как произведение количества ядер на тактовую частоту и не учитывает параллельность операций внутри процессорных элементов. Анализируя данные табл. 1, можно выделить три группы процессоров с существенным (на порядок) отличием в производительности на единицу площади. Первая группа с высокой удельной производительностью (представлена единственным продуктом KiloCore) имеет ограниченные функциональные возможности отдельных ядер. Вторая группа представлена процессорами общего назначения, из которых данные по площади имеются для Xeon Phi. Ввиду отсутствия данных в литературе невозможно с уверенностью утверждать, что в данную группу попадают также процессоры SW26010 и Tile-Gx72. Однако косвенная информация (размер корпуса и потребляемая мощность) свидетельствует, что они имеют достаточно большую площадь, приближающую их к Xeon Phi. Третья группа с существенно большим, чем у Xeon Phi, показателем производительности на единицу площади представлена процессорами Eriphany-V и PEZY SC2.

Таблица 1

Общие характеристики процессоров

Table 1

Overall processor parameters

Процессор	Количество ПЭ	Тактовая частота, МГц	Норма технологического процесса, нм	Площадь, мм ²	Потребляемая мощность, Вт	Производительность, млн операций/мм ²
PEZY SC2	2048	1000	16	620	200	3300
Eriphany-V	1024	500	16	117	Нет данных	4376
KiloCore	1000	1782	32	64	39,6	27850
MPPA-256 Bostan	288	800	28	Нет данных	24	Нет данных
SW26010	260	1450	Нет данных	Нет данных	93	Нет данных
Tile-Gx72	72	1200	40	Нет данных	62	Нет данных
Xeon Phi Processor 7290	72	1700	14	700	245	175

Таблица 2

Характеристики процессоров на уровне системы

Table 2

Processor parameters at the system level of hierarchy

Процессор	Коммуникационная среда	Организация ПЭ	Организация памяти
PEZY SC2	Коммутаторы для связи с внешними интерфейсами памяти, сеть с топологией кольца	4 группы из 16 подгрупп, подгруппы из 4 подподгрупп, подподгруппы из 4 ПЭ. 2 управляющих процессора с архитектурой MIPS64	Многоуровневый кэш без когерентности, локальная память ПЭ (16 Кбайт данных)
Eriphany-V	Топология 2D решетки, 3 сети с пакетной коммутацией	Однородная	Локальная память ПЭ (64 Кбайт кода и данных)
KiloCore	Топология 2D решетки, сеть с пакетной коммутацией и сеть с коммутацией каналов	Однородная	Разделяемая память размером 12×64 Кбайт, локальная память ПЭ (128×40 бит кода, 512 байт данных)
MPPA-256 Bostan	Топология 2D тора, 2 сети с пакетной коммутацией	16 групп, группы из 16 ПЭ	Кэш без когерентности. 2 МБайт разделяемой памяти и контроллер прямого доступа к памяти (ПДП) на группу
SW26010	Топология 2D решетки, сеть с пакетной коммутацией	4 группы, группы из 64 ПЭ. По одному управляющему процессору на группу	Многоуровневый кэш без когерентности, локальная память ПЭ (64 Кбайт данных)
Tile-Gx72	Топология 2D решетки, 5 сетей с пакетной коммутацией	Однородная	Многоуровневый когерентный кэш
XeonPhiProcessor7290	Топология 2D решетки, сеть с пакетной коммутацией	36 групп, группы из 2 ПЭ	Многоуровневый когерентный кэш

Таблица 3

Характеристики процессоров на уровне процессорного элемента

Table 3

Processor parameters at the processing element level of hierarchy

Процессор	Архитектура ПЭ	Параллелизм, специализированные инструкции, сопроцессоры	Поддержка операций с плавающей запятой
PEZY SC2	RISC, 32 бит	SMT-многопоточность (8 потоков)	Да
Eriphany-V	RISC, 64 бит	2 одновременные операции, инструкции для поддержки глубокого обучения и криптографии	Да
KiloCore	RISC, 16 бит	Нет	Нет
MPPA-256 Bostan	VLIW, 32 бит	5 одновременных операций, криптопроцессор	Да
SW26010	RISC, 64 бит	Внеочередное исполнение команд, SIMD-инструкции	Да
Tile-Gx72	VLIW, 64 бит	3 одновременных операции, SIMD-инструкции	Да
XeonPhi Processor 7290	x86, 64 бит	Внеочередное исполнение команд, SIMD-инструкции, SMT-многопоточность (4 потока)	Да

Общие тенденции в развитии архитектуры многоядерных процессоров состоят в следующем [25, 26, 27, 29–32]. На современном технологическом уровне можно выделить ряд функциональных узлов процессорного элемента, которые обуславливают его большую площадь. Это умножители независимых операндов, арифметические устройства для работы с числами с плавающей точкой и локальная память большого объема. Прочие компоненты, такие как арифметико-логическое устройство (АЛУ) для целочисленных операций, занимают небольшую часть площади процессорного элемента. Рассмотренные в табл. 1 процессоры Eriphany-V и PEZY SC2 имеют ограниченную функциональность вычислительных узлов, не включающую внеочередное выполнение команд и глубокую конвейеризацию, поэтому демонстрируют более высокую производительность вычислений на единицу площади.

Показательными задачами, требующими реализации операций умножения и работы с числами с плавающей точкой, являются трехмерная графика, цифровая обработка сигналов, включая фильтрацию, преобразование Фурье и вейвлет-анализ, численное моделирование физических процессов. При наличии других разновидностей задач возможно провести специализацию процессорного элемента с существенным уменьшением его площади. Примером предметной области, допускающей такой подход к проектированию, являются варианты задачи дискретной математики.

Известная проблема при построении многоядерных процессоров – ограниченная пропускная способность интерфейсов памяти [29, 30]. С ростом линейного размера полупроводниковой пластины ее площадь растет по квадратичному закону, количество внешних выводов – по линейному. Поэтому при увеличении количества ядер возникает проблема обеспечения соответствующего потока данных и команд.

Проблема высокого удельного энергопотребления начинает играть заметную роль в проектировании СБИС. Основное препятствие, отмеченное во многих литературных источниках, заключается в том, что при уменьшении технологических норм повышается степень интеграции компонентов, что вместе с ростом тактовой частоты обуславливает рост энергопотребления полупроводникового кристалла. Этот рост формирует в первую очередь проблему эффективного отведения тепла от полупроводниковой пластины для предотвращения выхода ее из строя. Ограничением корпусов типа Flip-Chip BGA на практике считается значением $0,5 \text{ Вт/мм}^2$. Ограничение удельного потребления мощности при этом связано не с ограниченной эффективностью внешних систем охлаждения, а с невозможностью отведения интенсивного теплового потока от кристалла до корпуса СБИС, на который и устанавливается радиатор. Можно также отметить, что применение технологии корпусирования Flip-Chip заметно увеличивает цену СБИС.

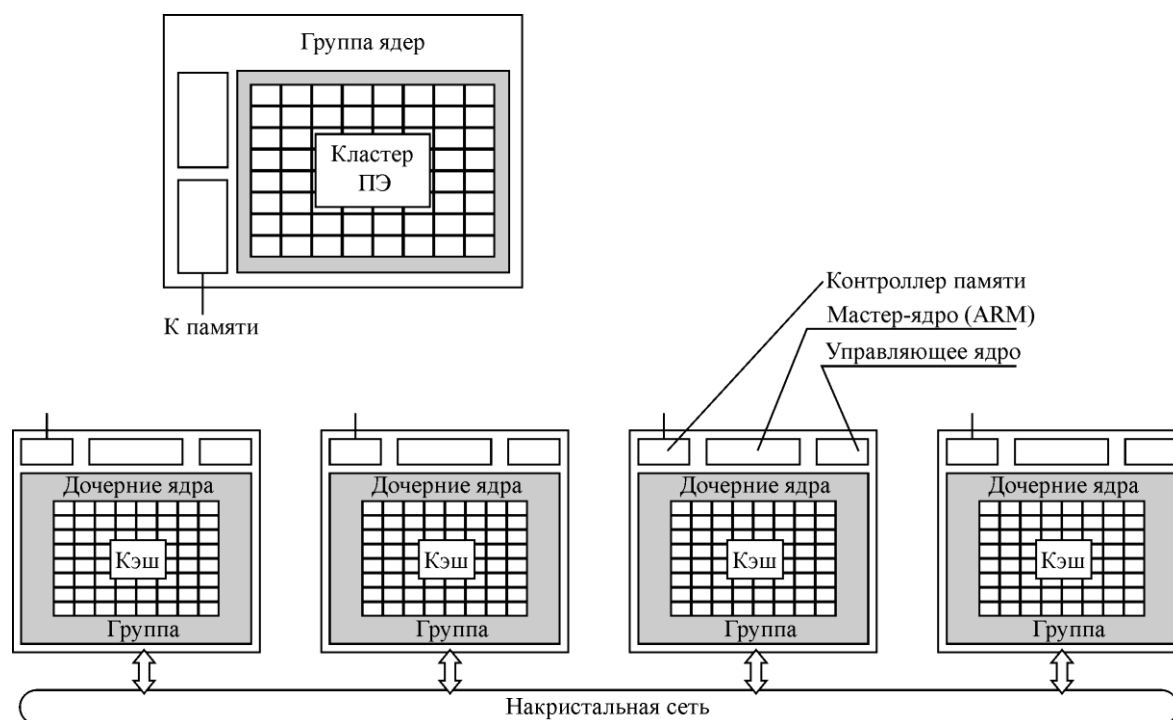
Особенности архитектуры межъядерных соединений многоядерных процессоров.

В рассмотренных процессорах в целом используются вариации архитектуры межъядерных связей, комбинирующих связи типа «решетка» и асинхронные связи, которые применяются в первую очередь на верхнем уровне иерархии накристалльной сети. Например, процессор SW26010 имеет 260 ядер на кристалле, объединенных в кластеры по 64 ядра [22], процессор KiloCore характеризуется архитектурой с синхронными связями, однако размер кристалла составляет 64 мм^2 при норме технологического процесса 32 нм. Интерес представляет процессор Eriphany-V, выполненный с нормами 16 нм (площадь 117 мм^2). В нем используется пакетная передача данных между ядрами, на кристалле имеются 1152 независимые тактовые сети.

Можно сделать вывод, что для современных технологических процессов уровня 32–28 нм и глубже используется преимущественно комбинированная архитектура межъядерных связей. Локальные связи типа «решетка», предусматривающие синхронную работу ядер, ограничены фрагментом кристалла. На практике ориентировочной предельной площадью является 100 мм^2 .

Ограничения по площади синхронной части кристалла, характерные для технологических процессов с нормами 28 нм и менее, оказывают существенное влияние на архитектуру многоядерных процессоров. При проектировании топологии межъядерных связей необходимо учитывать технологические ограничения на эффективно реализуемую тактовую сеть, поэтому размеры синхронных кластеров следует уменьшать. Это не является значимой проблемой при решении задач, которые могут быть распараллелены. Для них можно ориентироваться на разновидности архитектуры связей типа «дерево».

Рассмотрим структурную схему многоядерного процессора SW26010 [22], показанную на рисунке. В процессоре используется иерархическая организация вычислительных ресурсов, где каждая группа ядер (процессорных элементов) имеет управляющий процессор и мастер-процессор, построенный на базе ядра ARM. Несколько групп процессоров объединяются на кристалле с помощью накристалльной сети. Такой подход позволяет избежать проблем, связанных с трассировкой высокочастотных тактовых сетей по кристаллу большой площади.



Структурная схема многоядерного процессора SW26010
Structural scheme of SW26010 many-core processor

Заключение. Построение высокоэффективных многоядерных процессоров проводится путем их специализации, что позволяет сократить площадь вычислительного узла и увеличить количество ядер на кристалле. Основными узлами, определяющими площадь, являются локальная память ядер, блоки умножения и поддержки вычислений плавающей точки. Поэтому проектирование архитектуры на ранних стадиях разработки следует проводить с учетом требований предметной области к этим устройствам и типам операций.

Важную роль играют размеры полупроводникового кристалла СБИС, выполняемых по технологическим нормам 28 нм и менее. Из-за объективных трудностей трассировки длинных линий и балансировки тактового дерева следует ограничивать площадь фрагментов СБИС, использующих синхронные тактовые сети. Это делает предпочтительным применение многоуровневой иерархии вычислительных узлов с асинхронной работой узлов верхних уровней иерархии. Такой вывод подтверждается характеристиками рассмотренных многоядерных процессоров.

Литература

1. **Safaa S. Omran, Laith F. Jumma.** Design of multithreading SHA-1 & SHA-2 MIPS processor using FPGA // 8th International Conference on Information Technology (ICIT), 2017. – P. 632–637.
2. **Beaucamps P.-E., Kalray F.** Demo: MPPA® manycore processor towards future ADAS system solutions // Conference on Design and Architectures for Signal and Image Processing (DASIP), 2016. – P. 243–244.
3. **Fang Gao, Zhangqin Huang, Zheng Wang, Shulong Wang.** An object detection acceleration framework based on low-power heterogeneous manycore architecture // IEEE 3rd World Forum on Internet of Things (WF-IoT). – 2016. – P. 597–602.
4. **Faber L., Boryczko K.** Efficient parallel execution of genetic algorithms on Epiphany manycore processor // Federated Conference on Computer Science and Information Systems (FedCSIS). – 2016. – P. 865–872.
5. **Andrews D., Platzner M.** Programming models for reconfigurable manycore systems // 11th International Symposium on Reconfigurable Communication-centric Systems-on-Chip (ReCoSoC). – 2016. – P. 1–8.

6. A 101.4 GOPS/W Reconfigurable and Scalable Control-Centric Embedded Processor for Domain-Specific Applications / **Yuxiang Huan, Ning Ma, Jia Mao et al.** // IEEE Transactions on Circuits and Systems-I: Regular papers. – December 2016. – Vol. 63. – No. 12. – P. 2245–2256.
7. Compiler Optimizations for Manycore Processors / **Linhai Song, Min Feng, Nishkam Ravi et al.** // 47th Annual IEEE/ACM International Symposium on Microarchitecture (MICRO). – 2014. – P. 659–671.
8. **Nan Ye, Ziyu Hao, Xianghui Xie.** The Speedup Model for Manycore Processor // International Conference on Information Science and Cloud Computing Companion (ISCC-C). – 2013. – P. 469–474.
9. **Kirchhoff M., Kaptsova N., Streitpferdt D., Fengler W.** Optimizing compiler for a specialized real-time floating point softcore processor // 8th Annual Industrial Automation and Electromechanical Engineering Conference (IEMECON). – 2017. – P. 181–188.
10. A heterogeneous multicore crypto-processor with flexible long-word-length computation / **Jun Han, Renfeng Dou, Lingyun Zeng et al.** // IEEE Transactions on Circuits and Systems I: Regular Papers. – May 2015. – Vol. 62, Iss. 5. – P. 1372–1381.
11. **Chia-Hsiang Yang, Chun-Wei Chou, Chia-Shen Hsu, Chiao-En Chen.** A systolic array based gtd processor with a parallel algorithm // IEEE Transactions on Circuits and Systems I: Regular Papers. – April 2015. – Vol. 62. – Iss. 4. – P. 1099–1108.
12. **Tony Nowatzki, Vinay Gangadhar, Karthikeyan Sankaralingam.** A heterogeneous von neumann/explicit dataflow processor // IEEE Micro. – May-June 2016. – Vol. 36. – Iss. 3. – P. 20–30.
13. **Aashiha Priyadarshni L.** Heterogeneous Multi core processors for improving the efficiency of Market basket analysis algorithm in data mining // International Journal of Computer Trends and Technology (IJCTT). – Sep. 2014. – Vol. 15(1). – P. 16–19.
14. **Vahid Lari, Alexandru Tanase, Frank Hannig, Jürgen Teich.** Massively parallel processor architectures for resource-aware computing // 1st Workshop on Resource Awareness and Adaptivity in Multi-Core Computing (Racing 2014). – 2014. – URL: <https://arxiv.org/abs/1405.2907> (дата обращения 20.07.2017).
15. Exploiting heterogeneity for energy efficiency in chip multiprocessors / **V. Saripalli, G. Sun, A. Mishra et al.** // IEEE Journal on Emerging and Selected Topics in Circuits and Systems. – Jun. 2011. – Vol. 1. – No. 2. – P. 109–119.
16. A framework for open tiled manycore system-on-chip / **S. Wallentowitz, A. Lankes, A. Zaib et al.** // In Field Programmable Logic and Applications (FPL), 2012 22nd International Conference on. – 2012. – P. 535–538.
17. **Mitsuishi T., Kaneda T., Torii S., Amano H.** Implementing breadth-first search on a compact super-computer suiren // Computing and Networking (CANDAR), 2016 Fourth International Symposium on: IEEE. – 2016. – C. 395–401.
18. **Olofsson A.** Epiphany-V: a 1024 processor 64-bit RISC system-on-chip //arXiv preprint arXiv:1610.01832. – 2016. – URL: <https://arxiv.org/abs/1610.01832> (дата обращения: 20.07.2017).
19. KiloCore: A 32 nm 1000-processor array / **B. Bohnenstiehl et al.** // Proc. HotChips Symp. High-Perform. Chips. – 2016. – P. 63–69.
20. **de Dinechin B.D.** Kalray MPPA®: Massively parallel processor array: Revisiting DSP acceleration with the Kalray MPPA Manycore processor // Hot Chips 27 Symposium (HCS), 2015 IEEE: IEEE. – 2015. – P. 1–27.
21. An Energy-efficient processor architecture for embedded systems / **James Balfour, William J. Dally, David Black-Schaffer et al.** // IEEE Computer Architecture Letters. – January-June 2008. – Vol. 7. – No. 1. – P. 29–32.
22. **Dongarra J.J.** Report on the Sunway TaihuLight System 24, 2016. – University of Tennessee Department of Electrical Engineering and Computer Science Tech Report UT-EECS-16-742. – URL: <http://www.netlib.org/utk/people/JackDongarra/PAPERS/sunway-report-2016.pdf> (дата обращения 20.07.2017).
23. TILE-Gx72 Product Brief: TILE-Gx72, PB041-Rel. 4.0 (14 February 2015) // Ezchip. – URL: http://www.tilera.com/files/drim_TILE-Gx8072_PB041-04_WEB_7666.pdf (дата обращения 20.07.2017).
24. **Sodani A.** Knights landing (KNL): 2nd Generation Intel® Xeon Phi processor // Hot Chips 27 Symposium (HCS), 2015 IEEE: IEEE. – 2015. – P. 1–24.
25. Dark silicon and the end of multicore scaling / **H. Esmaeilzadeh, E. Blem, R.St. Amant et al.** // ACM SIGARCH Computer Architecture News. – 2011. – Vol. 39. – No. 3. – P. 365–376.
26. Survey on Real-Time Networks-on-Chip / **S. Hesham, J. Rettkowski, D. Gochringer et al.** // IEEE Transactions on Parallel and Distributed Systems. – 2017. – Vol. 28. – No. 5. – P. 1500–1517.
27. **Chung E.S., Milder P.A., Hoe J.C., Mai K.** Single-chip heterogeneous computing: Does the future include custom logic, fpgas, and gpgpus? // Proc. of the 2010 43rd Annual IEE: ACM International Symposium on Microarchitecture. IEEE Computer Society. – 2010. – P. 225–236.

28. Understanding sources of inefficiency in general-purpose chips / **R. Hameed et al.** //ACM SIGARCH Computer Architecture News. – 2010. – Vol. 38. – No. 3. – P. 37–47.
29. **Bathen L.A. D., Dutt N.D.** Software controlled memories for scalable many-core architectures // Embedded and Real-Time Computing Systems and Applications (RTCSA), 2012 IEEE 18th International Conference on. – 2012. – P. 1–10.
30. Паттерсон Д., Хеннесси Дж. Архитектура компьютера и проектирование компьютерных систем. – 4-е изд. – СПб.: Питер, 2012. – 784 с.
31. **Гергель В.П.** Высокопроизводительные вычисления для многопроцессорных многоядерных систем: учебник. – М.: Изд-во Московского университета, 2010. – 544 с.
32. **Каляев И.А., Левин И.И., Семерников Е.А., Шмойлов В.И.** Реконфигурируемые мультиконвейерные вычислительные структуры / под общ. ред. И.А. Каляева. – Ростов н/Д: Изд-во ЮНЦ РАН, 2008. – 320 с.

Поступил 30.07.2017 г.; принят к публикации 16.01.2018 г.

Елизаров Георгий Сергеевич – доктор технических наук, директор ФГУП «НИИ «Квант» (Россия, 125348, г. Москва, 4-й Лихачевский пер., д.15), info@rdi-kvant.ru

Корнеев Виктор Владимирович – доктор технических наук, главный научный сотрудник ФГУП «НИИ «Квант» (Россия, 125348, Москва, 4-й Лихачевский пер., д.15), info@rdi-kvant.ru

Тарасов Илья Евгеньевич – доктор технических наук, доцент, консультант ФГУП «НИИ «Квант» (Россия, 125348, г. Москва, 4-й Лихачевский пер., д.15), ilya_e_tarasov@mail.ru

Советов Петр Николаевич – старший научный сотрудник лаборатории интеллектуальной электроники физического факультета Московского государственного университета им. М.В. Ломоносова (Россия, 119234, г. Москва, ул. Ленинские Горы, 1, стр. 2), peter.sovietov@gmail.com

References

1. Safaa S. Omran, Laith F. Jumma. Design of multithreading SHA-1 & SHA-2 MIPS processor using FPGA . *8th International Conference on Information Technology (ICIT)*, 2017, pp. 632–637.
2. Beaucamps P.-E., Kalray F.. Demo: MPPA® manycore processor towards future ADAS system solutions. *Conference on Design and Architectures for Signal and Image Processing (DASIP)*, 2016, pp. 243–244.
3. Fang Gao, Zhangqin Huang, Zheng Wang, Shulong Wang. An object detection acceleration framework based on low-power heterogeneous manycore architecture. *IEEE 3rd World Forum on Internet of Things (WF-IoT)*, 2016, pp. 597–602.
4. Faber L., Boryczko K. Efficient parallel execution of genetic algorithms on Epiphany manycore processor. *Federated Conference on Computer Science and Information Systems (FedCSIS)*, 2016, pp. 865–872.
5. Andrews D., Platzner M. Programming models for reconfigurable manycore systems. *11th International Symposium on Reconfigurable Communication-centric Systems-on-Chip (ReCoSoC)*, 2016, pp. 1–8.
6. Yuxiang Huan, Ning Ma, Jia Mao, Stefan Blixt, Zhonghai Lu, Zhuo Zou, Li-Rong Zheng. A 101.4 GOPS/W reconfigurable and scalable control-centric embedded processor for domain-specific applications. *IEEE Transactions on Circuits and Systems-I: Regular papers*, 2016, vol. 63, no. 12, pp. 2245–2256.
7. Linhai Song, Min Feng, Nishkam Ravi, Yi Yang, Srimat Chakradhar. Compiler optimizations for manycore processors. *47th Annual IEEE/ACM International Symposium on Microarchitecture (MICRO)*, 2014, pp. 659–671.
8. Nan Ye, Ziyu Hao, Xianghui Xie. The speedup model for manycore processor . *International Conference on Information Science and Cloud Computing Companion (ISCC-C)*, 2013, pp. 469–474.
9. Kirchhoff M., Kaptsova N., Streitpferdt D., Fengler W.. Optimizing compiler for a specialized real-time floating point softcore processor. *8th Annual Industrial Automation and Electromechanical Engineering Conference (IEMECON)*, 2017, pp. 181–188.

10. Jun Han, Renfeng Dou, Lingyun Zeng, Shuai Wang, Zhiyi Yu, Xiaoyang Zeng. A heterogeneous multi-core crypto-processor with flexible long-word-length computation. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2015, vol. 62, iss. 5, pp.1372–1381.
11. Chia-Hsiang Yang, Chun-Wei Chou, Chia-Shen Hsu, Chiao-En Chen. A Systolic array based GTD processor with a parallel algorithm. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2015, vol. 62, iss. 4, pp. 1099–1108.
12. Tony Nowatzki, Vinay Gangadhar, Karthikeyan Sankaralingam. A heterogeneous von neumann/explicit dataflow processor. *IEEE Micro*, 2016, vol. 36, iss. 3, pp. 20–30.
13. Aashiha Priyadarshni. L. Heterogeneous Multi core processors for improving the efficiency of Market basket analysis algorithm in data mining. *International Journal of Computer Trends and Technology* 2014, vol.15(1), pp.16–19.
14. Vahid Lari, Alexandru Tanase, Frank Hannig, Jürgen Teich. Massively parallel processor architectures for resource-aware computing. *1st Workshop on Resource Awareness and Adaptivity in Multi-Core Computing (Racing 2014)*, 2014. Available at: <https://arxiv.org/abs/1405.2907> (accessed: 20.07.2017).
15. Saripalli V., Sun G., Mishra A., Xie Y., Datta S., Narayanan V.. Exploiting heterogeneity for energy efficiency in chip multiprocessors. *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, 2011, vol. 1, no. 2, pp. 109–119.
16. Wallentowitz S., Lankes A., Zaib A., Wild T., Herkersdorf A. A framework for open tiled manycore system-on-chip. *In Field Programmable Logic and Applications (FPL), 2012 22nd International Conference on*, 2012, pp. 535–538.
17. Mitsuishi T., Kaneda T., Torii S., Amano H. Implementing breadth-first search on a compact super-computer suiren. *Computing and Networking (CANDAR), 2016 Fourth International Symposium on*. IEEE, 2016, pp. 395–401.
18. Olofsson A. *Epiphany-V: a 1024 processor 64-bit RISC system-on-chip*. arXiv preprint arXiv:1610.01832. 2016. Available at: <https://arxiv.org/abs/1610.01832> (accessed: 20.07.2017).
19. Bohnenstiehl B. et al. KiloCore: A 32 nm 1000-processor array. *Proc. HotChips Symp. High-Perform. Chips*, 2016, pp. 63–69.
20. de Dinechin B. D. Kalray MPPA®: Massively parallel processor array: Revisiting DSP acceleration with the Kalray MPPA Manycore processor. *Hot Chips 27 Symposium (HCS), 2015 IEEE*. IEEE, 2015, pp. 1–27.
21. James Balfour, William J. Dally, David Black-Schaffer, Vishal Parikh, JongSoo Park. An Energy-Efficient Processor Architecture for Embedded Systems. *IEEE Computer Architecture Letters*, January-June 2008, vol. 7, no. 1, pp.29–32.
22. Dongarra, Jack June. *Report on the Sunway TaihuLight System 24, 2016 University of Tennessee Department of Electrical Engineering and Computer Science Tech Report UT-EECS-16-742*. Available at: <http://www.netlib.org/utk/people/JackDongarra/PAPERS/sunway-report-2016.pdf> (accessed: 20.07.2017).
23. TILE-Gx72 Product Brief: TILE-Gx72, PB041-Rel. 4.0 (14 February 2015). *Ezchip*, 2015. Available at: http://www.tilera.com/files/drim_TILE-Gx8072_PB041-04_WEB_7666.pdf (accessed: 20.07.2017).
24. Sodani A. Knights landing (KNL): 2nd Generation Intel® Xeon Phi processor. *Hot Chips 27 Symposium (HCS), 2015 IEEE*. IEEE, 2015, pp. 1–24.
25. Esmaeilzadeh H., Blem E., St. Amant R., Sankaralingam K., Burger D. Dark silicon and the end of multicore scaling. *ACM SIGARCH Computer Architecture News*, 2011, vol. 39, no. 3, pp. 365–376.
26. Hesham S., Rettkowski J., Goehring D., Abd El Ghany M.A. Survey on Real-Time Networks-on-Chip. *IEEE Transactions on Parallel and Distributed Systems*, 2017, vol. 28, no. 5, pp. 1500–1517.
27. Chung E.S., Milder P.A., Hoe J.C., Mai K. Single-chip heterogeneous computing: Does the future include custom logic, fpgas, and gpgpus? *Proceedings of the 2010 43rd Annual IEEE «ACM International Symposium on Microarchitecture»*. IEEE Computer Society, 2010, pp. 225–236.
28. Hameed R. et al. Understanding sources of inefficiency in general-purpose chips. *ACM SIGARCH Computer Architecture News*, 2010, vol. 38, no. 3, pp. 37–47.
29. Bathen L.A.D., Dutt N.D. Software controlled memories for scalable many-core architectures. *2012 IEEE 18th International Conference on «Embedded and Real-Time Computing Systems and Applications (RTCSA)»*. IEEE, 2012, pp. 1–10.
30. John L. Hennessy, David A. Patterson. *Computer Architecture, Fifth Edition: A Quantitative Approach 5th*. Morgan Kaufmann Publishers Inc. San Francisco, CA, USA, 2011. ISBN:012383872X 9780123838728. (Russ. ed: Patterson D., Hennessi Dzh. Архитектура комп'ютера і проєктирование комп'ютерних систем. Класика computer science. 4-е изд., St. Petersburg, Piter Publ., 2012. 784 p.).

31. Gergel' V.P. *Vysokoproizvoditel'nye vychisleniya dlya mnogoprocessornyh mnogoyadernyh sistem: uchebnik* [High-performance computing for many-core processor systems]. Moscow, Izdatel'stvo Moskovskogo universiteta, 2010. 544 p. (in Russian).

32. Kalyaev I.A., Levin I.I., Semernikov E.A., Shmojlov V.I. *Rekonfiguriruemye mul'tikonvejernye vychislitel'nye struktury. Pod obshch. red. I.A. Kalyaeva* [Reconfigurable multipipeline computing structures. Under Kalyaev I.A. edition]. Rostov-on-Don, Izdatel'stvo YUNC RAN, 2008. 320 p. (in Russian).

Submitted 30.07.2017; accepted 16.01.2018.

Elizarov Georgy S. – Dr. Sci. (Tech.), director of RDI «Kvant» (Russia, 125348, Moscow, 4th Likhachevsky per., 15), info@rdi-kvant.ru

Korneev Victor V. – Dr. Sci. (Tech.), leading researcher of RDI «Kvant» (Russia, 125348, Moscow, 4th Likhachevsky per., 15), info@rdi-kvant.ru

Tarasov Ilya E. – Dr. Sci. (Tech.), Assoc. Prof., consultant of RDI «Kvant» (Russia, 125348, Moscow, 4th Likhachevsky per., 15), ilya_e_tarasov@mail.ru

Sovietov Petr N. – senior researcher of Intellectual Electronica Laboratory, Physical Faculty, M.V. Lomonosov Moscow State University (Russia, 119234, Moscow, Leninskie Gory st. 1, bld. 2), peter.sovietov@gmail.com