

СХЕМОТЕХНИКА И ПРОЕКТИРОВАНИЕ CIRCUIT ENGINEERING AND DESIGN

УДК 004.414.23

DOI: 10.24151/1561-5405-2017-22-2-147-155

Метод построения индикаторов длительности переходных процессов на основе формирователя коротких импульсов в асинхронных сумматорах

А.А. Старых, А.В. Ковалев

*Институт нанотехнологий, электроники и приборостроения
Инженерно-технологической академии Южного федерального
университета, г. Таганрог, Россия*

anastasya.staryh@mail.ru

Интерес к самосинхронной схемотехнике связан с использованием ультрабольших интегральных схем. Актуальны схемы, позволяющие повысить степень интеграции и энергоэффективность при сопоставимой производительности.

Предложена реализация асинхронной схемы сумматора с парафазным кодом со спейсером и индикатором длительности переходного процесса на КМОП-транзисторах. Представлен метод схемотехнической организации индикатора длительности переходного процесса на основе формирования коротких импульсов, соответствующих наличию переходного процесса.

При сравнительном анализе характеристик индикаторов предложенный метод обеспечивает значительное сокращение числа элементов и снижение потребляемой мощности. Работоспособность представленных схем подтверждена моделированием в САПР OrCAD с использованием программы схемотехнического моделирования PSpice.

Ключевые слова: асинхронная схема; самосинхронная схема; схемотехника; сумматор; микроэлектронные приборы.

Для цитирования: Старых А.А., Ковалев А.В. Метод построения индикаторов длительности переходных процессов на основе формирователя коротких импульсов в асинхронных сумматорах // Изв. вузов. Электроника. – 2017. – Т.22. – №2. – С. 147–155. DOI: 10.24151/1561-5405-2017-22-2-147-155

Method for Development of Indicators of Transients Based on Short Pulses in Asynchronous Adders

A.A. Starykh, A.V. Kovalev

*Southern Federal University, Institute of Nanotechnology, Electronics
and Electronic Equipment Engineering Department of Electronic Appa-
ratus Design, Taganrog, Russia*

anastasya.staryh@mail.ru

The interest to self-timed circuit engineering is related to super-large integrated circuits.

The degree of integration of transistors on a chip increases making millions of gates and at the same time their sizes decrease. Therefore, the circuits, permitting to increase the degree and power efficiency with comparable performance, are urgent. The implementation of the circuit of asynchronous adder with the two-rail code and the indicator duration of transient on CMOS transistors has been proposed. The method of the circuit configuration of indicator duration, based on the formation of short pulses corresponding to presence of the transient, has been presented.

The comparative analysis of the indicators performances has demonstrated a significant reduction of the number of components and reduced power consumption. The efficiency of the introduced circuits has been confirmed by simulation in CAD OrCAD using the program of circuit simulation PSpice.

Keywords: asynchronous circuit; self-timed circuit; circuit engineering; adder; microelectronic device.

For citation: Starykh A.A., Kovalev A.V. Method for Development of Indicators of Transients Based on Short Pulses in Asynchronous Adders // Proc. of universities. Electronics. – 2017. – Vol.22. – №2. – P. 147–155. DOI: 10.214151/1561-5405-2017-22-2-147-155

Введение. Самосинхронные схемы (СС-схемы) относятся к классу асинхронных схем. Их разработки велись с 1950-х гг., но были прекращены, так как проектирование синхронных схем менее трудоемко. Возвращение к самосинхронной схемотехнике связано с использованием ультрабольших интегральных схем, в которых трудно обеспечить распространение общего тактового сигнала. В СС-схемах каждый комбинационный блок синхронизирует свою работу с соседними блоками за счет отслеживания момента окончания вычислений.

Актуальность синтеза СС-схем и исследований в данной области объясняется их преимуществами. Такие схемы характеризуются наилучшей энергоэффективностью [1], низким уровнем перекрестных наводок и электромагнитного излучения, большей стойкостью к технологическому разбросу параметров элементов, температуры и напряжения питания. СС-схемы имеют повышенную устойчивость, поскольку колебания внешних условий и параметров технологического процесса приводят только к изменению быстродействия и не вызывают сбоев (при условии сохранения переключающей способности элементов).

Проектирование СС-схем сложнее, чем других схем. Если при синхронном проектировании разработчик имеет дело с отдельными сигналами и работа схемы синхронизируется за счет тактового сигнала, то в СС-схемах этот подход не применим. После того как в 1980-х гг. В.И. Варшавский показал, что любая синхронная схема может быть преобразована в самосинхронную, стали вестись работы по созданию и использованию САПР для синтеза СС-схем. За рубежом делались попытки использования САПР для синтеза таких схем [2], но распространения такие САПР не получили. Все эти программы не содержат средств, позволяющих получить энергоэффективную СС-схему с оптимизированной интеграцией транзисторов на кристалле. Кроме того, некоторые элементы типа «исключающее ИЛИ» и сумматоры требуют заказного проектирования, поскольку сложны и не могут быть реализованы в автоматическом режиме. Поэтому разработчику приходится в ручном режиме осуществлять поиск наилучшего варианта схемы.

Таким образом, необходимы новые алгоритмы и методы, позволяющие синтезировать энергоэффективные СС-схемы «исключающее ИЛИ» и сумматоров. Такие методы синтеза должны использовать наиболее выгодные схемотехнические решения построения асинхронных схем и учитывать специфику взаимодействия их составных элементов.

Метод индикации переходных процессов в СС-схемах. Для построения СС-схем необходимо знать момент окончания переходных процессов. Например, в синхронных схемах все события подчиняются единому тактовому сигналу и окончание переходных процессов учитывается априорно и определяет период повторения тактовых сигналов. В СС-схемах нужно прямо измерять моменты завершения переходных процессов. Для определения этих моментов на выходе схемы используются индикаторы, формирующие индикаторные сигналы и являющиеся важным сегментом СС-схем [3].

Для индикации в СС-схемах применяется расширенное кодовое пространство сигналов – парафазный код со спейсером (ПФС-код). В множестве переходных наборов выделяется один или несколько специальных наборов сигналов (спейсеров), когда весь набор подаваемых на вход сигналов равен логическим «0» или «1». Все переходы сигналов должны обязательно совершаться через множество спейсеров, т.е. должен соблюдаться определенный протокол: от начального рабочего набора через промежуточные к спейсеру и от спейсера к конечному рабочему набору через промежуточные. Таким образом, соблюдается двухфазный протокол [3]. В рабочей фазе реализуются те функциональные преобразования сигналов, для которых схема предназначена. В вспомогательной спейсерной фазе (в настоящей работе – обнуление всех входных сигналов) происходит подготовка к принятию новых данных и следующим рабочим преобразованиями. Каждая фаза начинается только после того, как закончится предыдущая. Принципы индикации длительности переходных процессов в СС-схемах разработаны американским профессором Дэвидом Маллером [4], российским профессором В.И. Варшавским с сотрудниками [5] и развиты затем Л.П. Плехановым [3].

Для индикации переходных процессов в схемах с ПФС-кодом требуется специальная схемотехника, при которой инверсные выходные сигналы формируются с помощью отдельных схем. При подаче на входы этих схем нулевого спейсера прямой и инверсный выходные сигналы обнуляются и становятся нулевым спейсером для последующего каскада. Так происходит обнуление всех выходных сигналов.

Схема индикатора для асинхронных схем должна формировать некоторый двоичный индикаторный сигнал, сообщающий об окончании переходного процесса в ответ на изменение входов схемы. Важное следствие двухфазной организации работы СС-схемы заключается в том, что любой ее сигнал в каждой фазе меняется не более одного раза. Это следствие обеспечивает отсутствие состязаний [3].

Рассмотрим схемотехнические реализации индикаторов переходного процесса в асинхронной схеме сумматора.

Организация индикатора длительности переходного процесса в сумматоре с ПФС-кодом. Для индикации длительности переходного процесса в последовательном сумматоре используются парафазные выходы переноса, формируемые в каждом разряде сумматора, так как сигнал переноса изменяется в процессе сложения только один раз (в отличие от выхода суммы).

Сигналы выходного переноса C_{out} и \bar{C}_{out} для ПФС-кода определяются соотношениями:

$$C_{out} = AB + C_{in}S, \quad (1)$$

$$\bar{C}_{out} = (\bar{A} + \bar{B})(\bar{C}_{in} + \bar{S}), \quad (2)$$

$$S = \bar{A}B + A\bar{B}, \quad (3)$$

$$\bar{S} = AB + \bar{A}\bar{B}, \quad (4)$$

здесь A , \bar{A} и B , \bar{B} – парафазные входные слагаемые; C_{in} – входной перенос.

Выходная сумма S_{out} равна:

$$S_{out} = S \oplus C_{in}. \quad (5)$$

На основе формул (1) – (5) синтезированы блоки сумматора на КМОП-транзисторах по методике, приведенной в [6]. Эти блоки используются для построения восьмиразрядного сумматора и дальнейшего моделирования.

Индикатор переходного процесса для одной ячейки полного сумматора реализуется с помощью схемы логическое «ИЛИ» (рис.1,а) [3], на входы которой подаются прямой и инверсный сигналы переноса, сформированные в ПФС-коде.

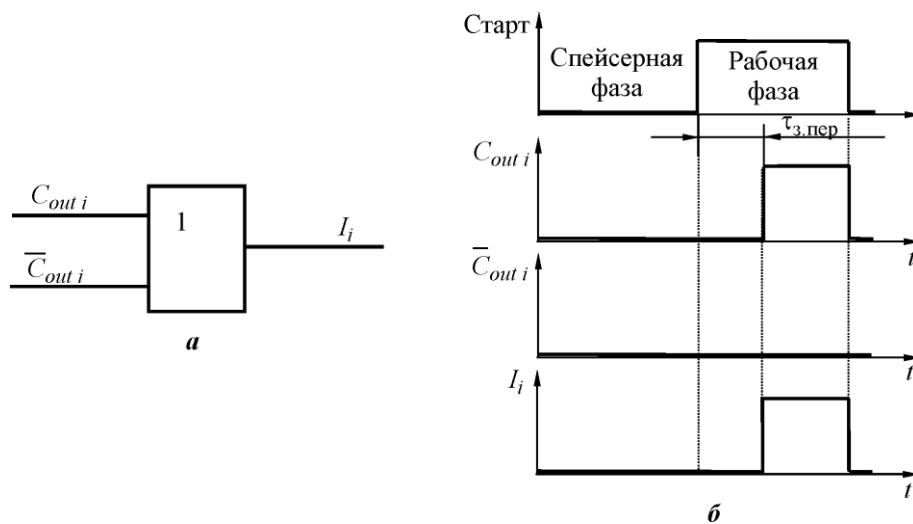


Рис.1. Схема индикатора переходного процесса в полном сумматоре при использовании ПФС-кода (а) и график его работы (б)

В спейсерной фазе сигналы C_{out} и \bar{C}_{out} обнуляются (рис.1,б). В рабочей фазе один из входных сигналов по окончании переходного процесса устанавливается в логическую «1». Индикаторный сигнал I_i формируется после логического сложения прямого $C_{out i}$ и инверсного $\bar{C}_{out i}$ сигналов:

$$I_i = C_{out\ i} \vee \overline{C_{out\ i}}.$$

Время переходного процесса полного сумматора $\tau_{з,пер}$ равно промежутку времени между появлением логической «1» на выходе элемента «ИЛИ» и началом рабочей фазы в i -й ячейке. Если схема состоит из последовательных ячеек, то в ней длительность переходного процесса рассчитывается по формуле

$$I = \overline{I_0\ I_1\ K\ I_n} \cdot Start, \quad (6)$$

где n – количество ячеек; $Start$ – сигнал инициирования процесса в СС-схеме [7].

Такой метод индикации позволяет строить строгосамосинхронные схемы, в которых работоспособность схемы не зависит от внутренних задержек.

Для синхронных схем изменение условий эксплуатации обычно не оказывает влияния на работоспособность, поскольку все изменения маскируются тактовым импульсом, который выбирается с запасом. Для асинхронных схем любое отклонение условий работы сказывается на быстродействии, поэтому они должны проверяться не функциональной верификацией, а моделированием, учитывающим такие параметры, как напряжение питания и температура во время теста. Программный продукт OrCAD позволяет осуществить проверку работы асинхронной схемы с учетом этих параметров.

Для исследования работы индикатора переходного процесса в СС-схеме сумматора проведено схемотехническое моделирование в SPICE-формате. Использована модель МОП-транзистора BSIM 3 при технологии 0,18 мкм. Ширина затвора p -канальных МОП-транзисторов равна 2,0 мкм, n -канальных – 1,2 мкм [8]. Напряжение питания 5 В, длительность рабочих сигналов на входе выбрана равной 5 нс, нулевых спейсеров – 2 нс. Результаты моделирования представлены на рис.2. Полученный в результате моделирования индикаторный сигнал I соответствует формуле (6).

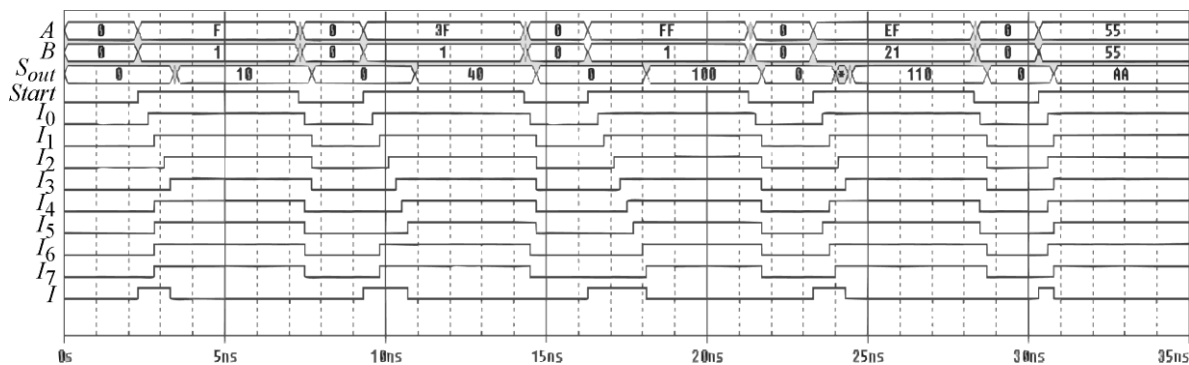


Рис.2. Результат моделирования переходных процессов в восьмиразрядном сумматоре при использовании ПФС-кода (A и B – суммируемые сигналы в шестнадцатичном коде; S_{out} – сумма значений этих сигналов; $I_0...I_7$ – длительность переходного процесса в каждом разряде сумматора; I – длительность переходного процесса сумматора)

Организация индикатора длительности переходного процесса на основе формирователя коротких импульсов, соответствующих фронту переключения сигнала переноса. Для осуществления предлагаемого метода индикации переходного процесса необходимо учитывать тот факт, что изменение уровня выходного переноса означает наличие переходного процесса. На рис.3,а показано формирование индикаторного сигнала I_i при изменении уровня выходного переноса в i -ом разряде $C_{out\ i}$.

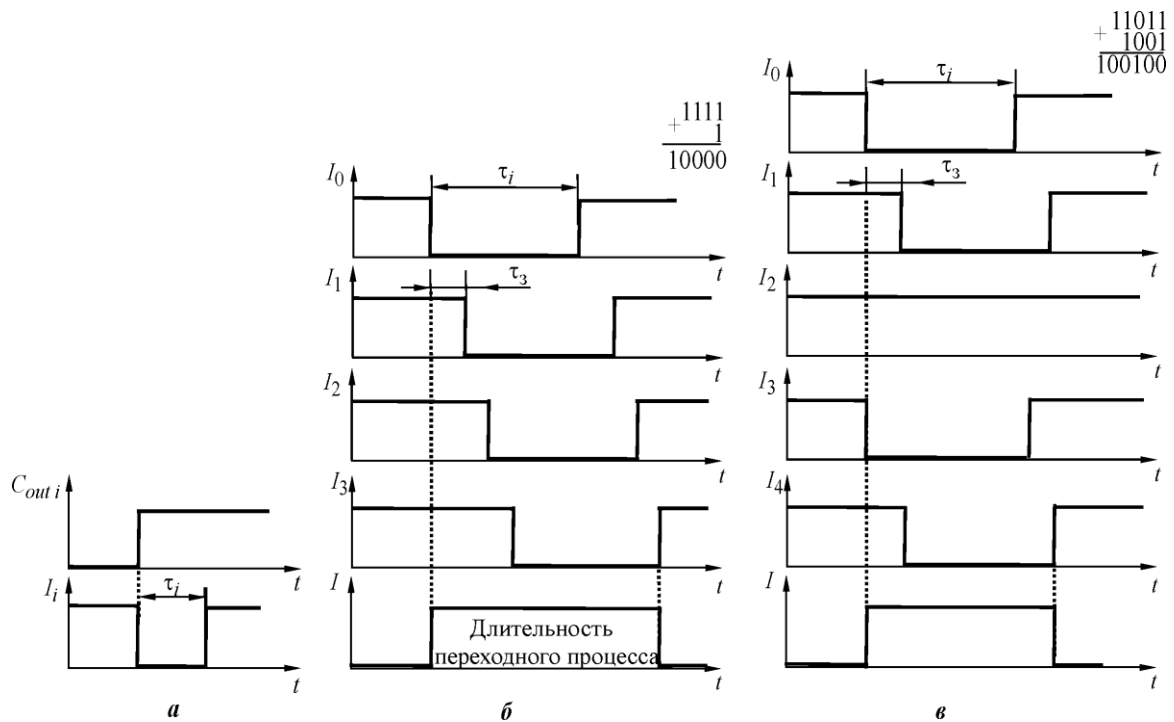


Рис.3. Графики формирования индикаторных сигналов в схеме с формирователем коротких импульсов: а – при изменении уровня выходного переноса $C_{out i}$; б – при последовательном формировании сигнала переноса; в – при прерывании последовательности сигнала переноса

Переключение выходного переноса $C_{out i}$ из логического «0» в логическую «1» формирует короткий импульс, который соответствует индикаторному сигналу I_i . Длительность индикаторного сигнала должна соответствовать условию

$$\tau_i \geq 1,5 \tau_3, \quad (7)$$

где τ_3 – время задержки сигнала в ячейке формирования переноса.

При логическом перемножении всех индикаторных сигналов и выполнении условия (7) сигналы будут перекрываться. Инвертирование результирующего сигнала позволяет получить один импульс положительной полярности, соответствующий длительности переходного процесса (рис.3,б). Индикаторный сигнал рассчитывается по формуле $I = I_0 \cdot I_1 \cdot I_2 \cdot I_3 \cdot I_4$. Такой метод позволяет синтезировать квазисамосинхронные схемы.

Влияние последовательности поступления сигналов переноса на формирование индикаторного сигнала показано на рис.3,б,в. Задержка сигнала C_{out} определяется в основном внутренней задержкой в схеме «Перенос». Если сигнал переноса формируется последовательно в каждом разряде сумматора, то происходит пропорциональное увеличение длительности переходного процесса (см. рис.3,б). Если последовательности сигналов переноса прерываются, то последующая цепочка индикаторных сигналов начинается с начального момента времени (см. рис.3,в) и длительность переходного процесса уменьшается.

Рассмотрим построение индикатора длительности переходного процесса, формирующего короткие импульсы по фронту переключения сигнала переноса C_{out} . Сумматор работает со спейсерным сигналом, но, ввиду того что индикаторный сигнал форми-

руется только по фронту прямого переноса C_{out} , в спейсерной фазе необходимо обнулять только прямые сигналы C_{out} и S . Поэтому инверсные сигналы $\overline{C_{out}}$ и \overline{S} могут быть получены путем инвертирования прямых сигналов для сохранения двухпроводности.

Для формирования индикаторного сигнала в каждом разряде сумматора используется схема с формирователем коротких импульсов (ФКИ), приведенная на рис.4. Временные диаграммы такой схемы соответствуют диаграммам на рис.3,а.

Работа индикатора переходного процесса со схемой ФКИ проиллюстрирована на примере восьмиразрядного сумматора. На рис.5 приведены графики зависимости индикаторных сигналов I_0-I_8 и длительности переходного процесса I при сложении различных чисел A и B .

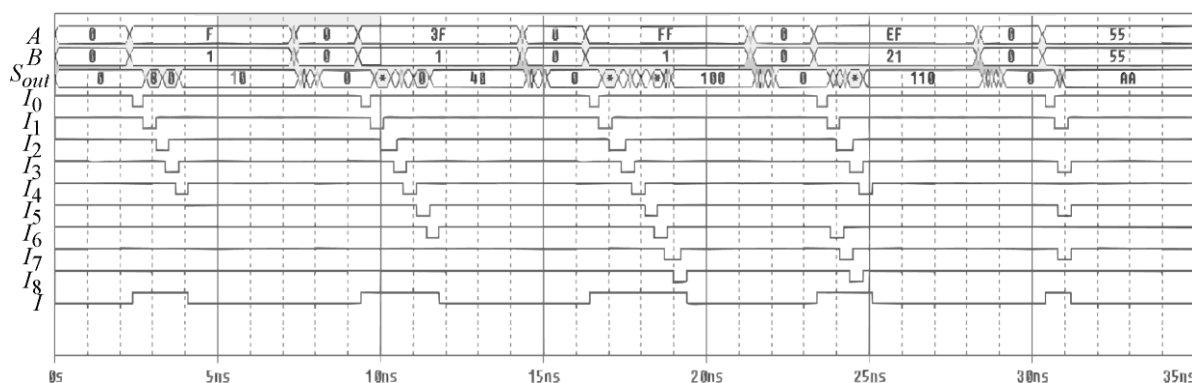


Рис.5. Результат моделирования переходных процессов в восьмиразрядном асинхронном сумматоре со спейсером по прямому выходу переноса

На входы A и B подаются некоторые значения слагаемых, отраженных в шестнадцатичном коде. С выхода сумматора S_{out} снимаются значения суммы. Сигнал I_0 формируется индикатором из сигнала «Старт» в асинхронной схеме [7]. Время переходного процесса сумматора в сильной степени зависит от выбора складываемых чисел. Поэтому выбран и наихудший случай, когда получается максимальное время задержки между выходным переносом и сигналом в младшем разряде. Для этого складывались числа (в шестнадцатичном коде) $FF + 1 = 100$. Перенос при сложении таких чисел формируется последовательно в каждом полном сумматоре, поэтому время распространения сигнала максимально.

Таким образом, индикатору со схемой ФКИ достаточно распознать только переход сигнала C_{out} из логического «0» (после спейсера) в логическую «1» (наличие процесса), чтобы идентифицировать переходной процесс. Если оба слагаемых на входе сумматора равны нулю, то длительность переходного процесса сформируется в индикаторе от сигнала «Старт» и будет минимальной из всех возможных.

Как видно из рис.2 и 5, переходной процесс, определенный индикаторами по сигналу C_{out} , заканчивается позже, чем определяется значение выходной суммы. Поэтому данные методы являются корректными и могут быть использованы для построения асинхронных схем.

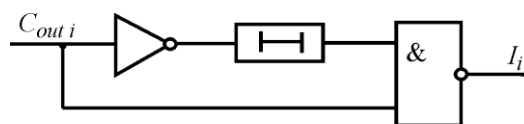


Рис.4. Схема с формирователем коротких импульсов

Для сравнения схем с ПФС-кодом и с ФКИ определена потребляемая мощность в сумматорах и индикаторах (при моделировании), а также проведен расчет количества транзисторов. Результаты приведены в таблице.

Результаты моделирования восьмиразрядных асинхронных сумматоров с индикатором переходного процесса

Схема с ПФС-кодом в протоколе		Схема с ФКИ		Метод схемотехнической организации
Количество транзисторов N , шт.	Мощность рассеивания P , мВт	Количество транзисторов N , шт.	Мощность рассеивания P , мВт	
82	0,34	88	0,4	Индикатор длительности переходного процесса
372	0,74	226	0,6	Асинхронный сумматор
454	1,1	314	1	Всего

Заключение. Сравнительный анализ предложенного метода построения индикатора длительности переходного процесса на основе ФКИ с методом индикации схем с ПФС-кодом показывает следующее. Схема синтезированного асинхронного сумматора и индикатора длительности переходного процесса с ФКИ позволяет сократить аппаратные ресурсы (число транзисторов) на 39 % по сравнению со схемой с ПФС-кодом, а также снизить потребляемую мощность на 9 %.

Работа выполнена при финансовой поддержке Минобрнауки России в рамках ФЦП «Россия» (проект № 14.587.21.0025; уникальный идентификатор RFMEFI58716X0025) с использованием оборудования ЦКП и НОЦ «Нанотехнологии», а также студенческого конструкторского бюро «Элементы и приборы инерциальных навигационных систем и робототехники» Института нанотехнологий, электроники и приборостроения Южного федерального университета (г. Таганрог).

Литература

1. Ковалев А.В., Бушин С.А. Модели энергопотребления асинхронных функциональных блоков КМОП СБИС // Изв. ЮФУ. Технические науки. – 2009. – № 12. – С. 198–203.
2. Kondratyev A., Lwin K. Design of asynchronous circuits using synchronous CAD Tools // IEEE Design & Test. – 2002. – Vol. 19 (4). – P. 107–117.
3. Плеханов Л.П. Основы самосинхронных электронных схем. – М.: БИНОМ. Лаборатория знаний, 2013. – 208 с.
4. Muller D.E., Bartky W.S. A Theory of asynchronous circuits // Proc. of the International Symposium of the Theory of Switching. P. 1. – Harvard University Press, 1959. – P. 204–243.
5. Аperiodические автоматы / Под. ред. В.И. Варшавского. – М.: Наука, 1976. – 424 с.
6. Старых А.А. Метод синтеза функциональных блоков комбинационных схем с использованием минтермов и макстермов // Электронная техника. Сер. 2. Полупроводниковые приборы. – 2015. – № 2–3 (236–237). – С. 63–69.
7. Самосинхронные схемы. Принципы построения и элементная база / А. Руткевич, А. Бумагин, А. Гондарь и др. // Компоненты и технологии. – 2009. – № 99. – С. 103–106.
8. Старых А.А., Ковалев А.В. Оптимизация построения асинхронного сумматора // Электронная техника. Сер. 2. Полупроводниковые приборы. – 2014. – №3 (234). – С. 51–55.

Поступила 05.08.2016 г.; принята к публикации 24.01.2017 г.

Старых Анастасия Алексеевна – аспирант кафедры конструирования электронных средств Института нанотехнологий, электроники и приборостроения Инженерно-технологической академии Южного федерального университета (Россия, 347922, г. Таганрог, ул. Шевченко, д. 2), anastasya.staryh@mail.ru

Ковалев Андрей Владимирович – доктор технических наук, профессор кафедры конструирования электронных средств Института нанотехнологий, электроники и приборостроения Инженерно-технологической академии Южного федерального университета (Россия, 347922, г. Таганрог, ул. Шевченко, д. 2), kovalev_andrey@yahoo.com

References

1. Kovalev A.V., Bushin S.A. Modeli ehnergopotrebleniya asinkhronnykh funktsional'nykh blokov KМОР SBIS [The energy models of asynchronous functional blocks in CMOS VLSI]. *Izv. YUFU. Tekhnicheskie nauki – Izvestiya SFedU. Engineering Sciences*, 2009, no.12, pp. 198–203. (In Russian).
2. Kondratyev A., Lwin K. Design of asynchronous circuits using synchronous CAD Tools. *IEEE Design & Test*, 2002, vol. 19 (4), pp. 107–117.
3. Plekhanov L.P. *Osnovy samosinkhronnykh ehlektronnykh skhem* [Basics of Self-Timed Electronic Circuits]. Moscow, BINOM. Laboratoriya znaniy, 2013, 208 p. (In Russian).
4. Muller D.E., Bartky W.S. A Theory of Asynchronous Circuits. *Proc. of the International Symposium of the Theory of Switching. P. 1*. Harvard University Press, 1959, pp. 204–243.
5. *Aperiodicheskie avtomaty* [Aperiodic Automata]. Pod. red. V.I. Varshavskogo. Moscow, Nauka, 1976, 424 p. (In Russian).
6. Starykh A.A. Metod sinteza funktsional'nykh blokov kombinatsionnykh skhem s ispol'zovaniem mintermov i makstermov [The method for the synthesis of functional blocks of combinational circuits with the use minterms and maxterms]. *Elektronnaya tekhnika. Ser. 2. Poluprovodnikovye pribory. – Electronic engineering. Series 2. Semiconductor devices*, 2015, no.2-3(236-237), pp. 63–69. (In Russian).
7. Rutkevich A., Bumagin A., Gondar' A., Steshenko V., SHishkin G., Tajleb M., Kulyas M. Samosinkhronnye skhemy. Printsipy postroeniya i ehlementnaya bazy [Self-timed circuits. The principles and element base]. *Komponenty i tekhnologii. – Components & Technologies*, 2009, no.99, pp. 103–106. (In Russian).
8. Starykh A.A., Kovalev A.V. Optimizatsiya postroeniya asinkhronnogo summatora [The development optimization of asynchronous adder]. *Elektronnaya tekhnika. Ser. 2. Poluprovodnikovye pribory – Electronic engineering. Series 2. Semiconductor devices*, 2014, no.3 (234), pp. 51–55. (In Russian).

Submitted 05.08.2016; accepted 24.01.2017

Информация для читателей журнала

«Известия высших учебных заведений. Электроника»

Вы можете оформить подписку на 2017 г. в редакции с любого номера. Стоимость одного номера – 1000 руб. (с учетом всех налогов и почтовых расходов).

Адрес редакции: 124498, г. Москва, г. Зеленоград, пл. Шокина, д. 1, МИЭТ, комн. 7231.

Тел.: 8-499-734-62-05. E-mail: magazine@miee.ru

<http://www.miet.ru>