

СХЕМОТЕХНИКА И ПРОЕКТИРОВАНИЕ CIRCUIT ENGINEERING AND DESIGN

УДК 621.3.049.771.12

DOI: 10.24151/1561-5405-2018-23-1-40-51

Методы повышения точности моделирования задержек и пиковых токов комбинационных КМОП-схем на логическом уровне проектирования

Г.А. Иванова¹, Д.И. Рыжова^{1,2}

¹Институт проблем проектирования в микроэлектронике
Российской академии наук, г. Москва, Россия

²Национальный исследовательский университет «МИЭТ»,
г. Москва, Россия

pirutina_g@ippm.ru

С уменьшением технологических размеров транзисторов становится существенным влияние вариаций схемных и технологических параметров на значения задержек элементов комбинационных КМОП-схем. Из-за разброса значений этих параметров появляется неопределенность задержек, что приводит к необходимости определения интервалов возможных значений задержки. Другим фактором, влияющим на процесс проектирования КМОП-схем при переходе к нанометровым технологиям, становится пиковый ток, возникающий в шинах питания при переключении входов вентилей. Значение пикового тока используется для оценки падения напряжения в шинах питания, которая, в свою очередь, необходима для расчета ширины шин питания КМОП-схем и отключающих транзисторов в методе снижения статической мощности. Методы полного схемотехнического моделирования не дают полноты анализа для схем с большим числом входов, а методы на логическом уровне проектирования КМОП-схем не обеспечивают требуемой точности оценки значений задержек и пикового тока в схеме.

Рассмотрена задача повышения степени точности и достоверности анализа быстродействия и пиковых токов комбинационных КМОП-схем с учетом одновременного переключения входов, а также результатов анализа логических корреляций сигналов. Предлагаемый метод основан на использовании кубической аппроксимации коррекционной разницы задержек с учетом одновременного переключения входов. Показано, что разработанные методы анализа быстродействия и пиковых токов комбинационных КМОП-схем обеспечивают повышение точности верхних оценок анализируемых параметров до 3 % по сравнению с точным моделированием и позволяют снизить пессимистичность верхней оценки в 2-3 раза по сравнению с оценкой наихудшего случая.

Разработанные методы повышения точности моделирования задержек и пиковых токов комбинационных КМОП-схем могут быть использованы как дополнение к уже существующим средствам САПР СБИС для анализа помехоустойчивости, анализа пиковых токов, характеристики сложно-функциональных блоков, а также в целях повышения точности классического статического анализа. Для повышения точности интервальных оценок минимальных задержек и максимального пикового тока разработаны методы моделирования с учетом одновременного переключения входов логического элемента. По отношению к схемотехническому моделированию погрешность данных методов не превышает 3 %. По сравнению с результатами, полученными без учета одновременного переключения, уменьшение минимальной задержки достигает 50 %, а пессимистичность оценки пикового тока комбинационных схем уменьшается в среднем на 50–55 %.

Ключевые слова: SP-граф; логико-временной анализ; статический временной анализ; анализ пикового тока; логические корреляции; комбинационная схема.

Для цитирования: Иванова Г.А., Рыжова Д.И. Методы повышения точности моделирования задержек и пиковых токов комбинационных КМОП-схем на логическом уровне проектирования // Изв. вузов. Электроника. – 2018. – Т. 23. – № 1. – С. 40–51. DOI: 10.24151/1561-5405-2018-23-1-40-51

Methods of Improving Accuracy of Delays and Peak Currents Simulation of Combinational CMOS Circuits at Logical Level

G.A. Ivanova¹, D.I. Ryzhova^{1,2}

¹*Institute for Design Problems in Microelectronics RAS, Moscow, Russia*

²*National Research University of Electronic Technology,
Moscow, Russia*

pirutina_g@ippm.ru

With the reduction of the technological sizes of the transistors the influence of the circuit and process variations on the value of the element delays in the combinational circuits becomes significant. Due to variations of these parameters the uncertainty of the delays appears, which leads to the necessity of determination of the delay intervals. Another factor, affecting the design process of the CMOS circuits while turning to the nanometer technologies, the peak current, arising in the power rails when switching the inputs of gates, becomes. The peak current value is used for estimation of the voltage drop value in the power rails, which in its turn is necessary for calculating the width of the power rails and the width of the sleep-transistors in the power gating method.

The problem of increasing the accuracy and reliability of the analysis of the performance of the peak current of the combinational circuits with consideration of simultaneous switching the inputs and logical correlations of signals, has been considered. It has been shown that the proposed approach to analysis of delays and peak current for IP blocks provides an increase in the accuracy of the upper bounds of the analyzed parameters up to 3% in comparison with the Spice simulation.

The developed approach to the analysis of the peak current in CMOS circuits permits to reduce the pessimism of the upper bound by 2-3 times compared to the worst-case method.

The practical importance of this work is to improve the accuracy of delays and peak currents simulation for CMOS combinational circuits at the timing and logical analysis. The developed methods can be used as an addition to the existing VLSI CAD tools for analyzing noise immunity and peak currents, characterizing IP blocks, and also for improving the accuracy of classical static analysis. To improve the accuracy of the interval estimates of the minimum delays and the maximum peak current, we develop simulation methods with simultaneous inputs switching. With respect to Spice simulation, the error of these methods does not exceed 3%. Compared to the results obtained without considering the simultaneous inputs switching, the reduction of the minimum delay reaches 50%, and the pessimistic estimation of the peak current in the combinational circuits decreases on the average by 50–55%.

Keywords: series-parallel directed acyclic graph (SP-DAG); timing and logical analysis; static timing analysis (STA); peak current analysis; logical correlations.

For citation: Ivanova G.A., Ryzhova D.I. Methods of improving accuracy of delays and peak currents simulation of combinational CMOS circuits at logical level // Proc. of Universities. Electronics. – 2018. – Vol. 23. – № 1. – P. 40–51. DOI: 10.24151/1561-5405-2018-23-1-40-51

Введение. С уменьшением технологических норм уменьшается задержка переключения логических элементов и усиливается влияние факторов, действие которых ранее было несущественно. Поэтому задача повышения точности оценок задержек остается актуальной. В ряде задач, таких как оценка максимального тока питания, определение интервалов переключения при анализе помехоустойчивости, характеристика и генерация макромоделей сложнофункциональных блоков, требуется нахождение не только максимального и минимального значений, но всей совокупности интервалов возможных переключений.

Существующие методы анализа пиковых токов условно можно разделить на три группы:

- усредненная оценка пикового тока рассчитывается из значений характеристики мощности в Liberty-файле [1];
- оптимистическая оценка пикового тока определяется программами моделирования тестовых последовательностей [2]. Использование результатов таких программ может привести к недооценке падения напряжения в шинах питания и, соответственно, спровоцировать выход схемы из строя;
- оценка наихудшего случая по пиковому току основывается на сложении токовых кривых от всех вентилях комбинационной схемы. На сегодняшний день известны методы верхних оценок максимального тока потребления, которые снижают уровень пессимистичности [3]. При этом в большинстве подходов оценка пикового тока остается излишне завышенной из-за высокой сложности задачи определения подмножества вентилях, которые могут переключаться одновременно.

Наряду с проблемой анализа задержек и пикового тока в схеме важным является характеристика задержек и токов потребления библиотечных элементов. Упрощение существующих моделей, используемых при характеристике библиотечных элементов, состоит в использовании так называемого pin-to-pin-подхода, при котором задержки по

каждой паре вход-выход характеризуются независимо от реального поведения остальных входов вентиля [4]. Точный анализ одновременного переключения входов требует перехода от двумерных таблиц типа NLDM (non-linear delay model) к четырех- и пяти-мерным зависимостям для учета фронтов всех переключаемых входов, а также смещений между входами. Снизить размерность задачи можно с помощью новых методов характеристики и интерполяции значений задержек и токов.

Для повышения эффективности анализа быстродействия и пиковых токов необходима дополнительная информация о логических корреляциях сигналов в схеме [5]. В настоящей работе для нахождения указанных логических ограничений предлагается использовать метод резолуций [6, 7]. Данный метод неприменим к последовательностным схемам из-за сложности анализа петель в графе логических ограничений.

Разработка методов анализа быстродействия с учетом одновременного переключения входов. В работе [8] анализируется одновременное переключение двух входов вентиля и предлагается упрощение на основе модели V-shape. Кусочно-линейная зависимость V-shape с хорошей точностью описывает зависимость задержки D от смещения переключений двух входов δ_{XY} (рис. 1). Использование такой модели приводит к существенному повышению точности расчета задержки комбинационной схемы на логическом уровне по сравнению с pin-to-pin-подходом.

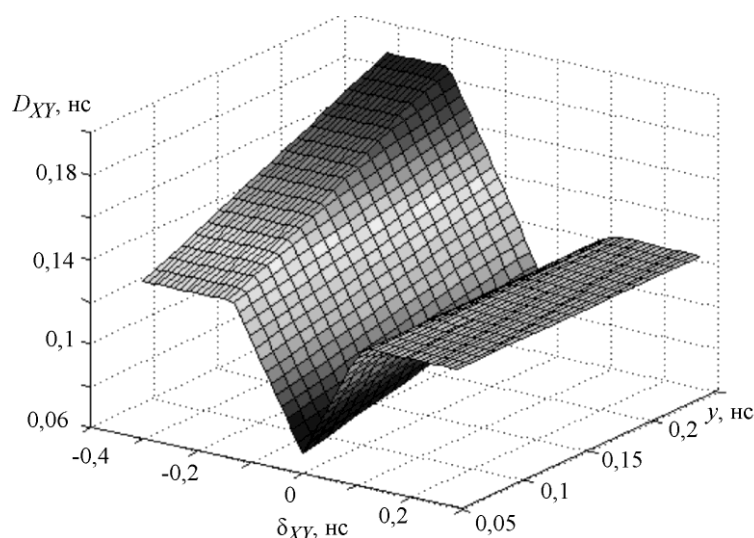


Рис. 1. Зависимости задержки от сдвига между фронтами входных сигналов и длительности фронта при одновременном переключении входов элемента И-НЕ

Fig. 1. Dependence of the delay from the shift between the input slews and the slew y with simultaneous inputs switching of the NAND

Формула для аппроксимации задержки, предложенная в работе [8], имеет вид

$$D_{\min} = c_1 x^{1/3} y^{1/3} + c_2 x^{1/3} + c_3 y^{1/3} + c_4, \quad (1)$$

где $D_{\min}$ – значение задержки с учетом одновременного переключения входов; c_i – коэффициенты аппроксимации; x – длительность фронта сигнала на выходе X ; y – длительность фронта сигнала на выходе Y .

Для анализа точности модели V-shape результаты аппроксимации задержки по формуле (1) сравнивались с результатами точного схемотехнического моделирования D_{Spice} по следующей формуле:

$$\Delta = \frac{D_{\min} - D_{Spice}}{D_{Spice}}.$$

Погрешность предложенной в работе [8] аппроксимации задержки существенно увеличивается с уменьшением технологических норм от 90 нм к 65 и 45 нм. Для преодоления этой проблемы в маршруте статического временного анализа исследованы альтернативные варианты аппроксимации минимальной задержки и минимального фронта. Анализ поведения зависимости задержки от фронтов позволяет сделать вывод о применимости квадратичной или кубической аппроксимации задержки общего вида. Точность оценки минимальной задержки можно повысить с помощью коррекционной разницы (рис. 2). Коррекционная разница определяется как разница между значением минимальной задержки без учета одновременного переключения и значением минимальной задержки с учетом одновременного переключения:

$$\Delta_D = \min(D_X, D_Y) - D_{\min},$$

где D_X – задержка, измеренная при переключении входного сигнала X ; D_Y – задержка переключения входного сигнала Y .

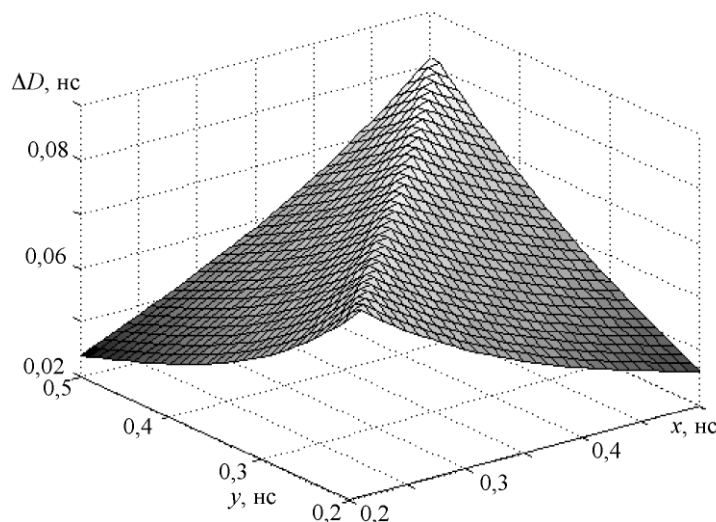


Рис. 2. Разница между задержкой элемента без учета и с учетом одновременного переключения входов элемента 2И-НЕ
Fig.2. The difference between the element delay with and without simultaneous inputs switching (for NAND)

Характер поведения коррекционной разницы задержки Δ_D позволяет сделать вывод о целесообразности применения ее кубической аппроксимации с последующим расчетом минимальной задержки:

$$D_{\min} = \min(D_X, D_Y) - \Delta_D.$$

Формульное соотношение для определения погрешности аппроксимации задержки одновременного переключения ($\delta_{XY} = 0$) кубическим выражением имеет вид

$$D_{\min} = c_1 x^3 + c_2 y^3 + c_3 x^2 y + c_4 x y^2 + c_5 x^2 + c_6 y^2 + c_7 x y + c_8 x + c_9 y + c_{10},$$

Тогда

$$A \cdot c_i = D_{\min},$$

$$\begin{pmatrix} a_{11} & a_{12} & \Lambda & a_{110} \\ a_{21} & a_{22} & & a_{210} \\ M & & O & \\ a_{n1} & a_{n2} & & a_{n10} \end{pmatrix} \times \begin{pmatrix} c_1 \\ c_2 \\ M \\ c_{10} \end{pmatrix} = \begin{pmatrix} D_1 \\ D_2 \\ M \\ D_n \end{pmatrix},$$

где $a_{i1} = x_i^3$; $a_{i2} = y_i^3$; $a_{i3} = x_i^2 y_i$; $a_{i4} = x_i y_i^2$ и т. д.

Для нахождения коэффициентов аппроксимации n должно быть больше 10. Коэффициенты c определяются по формуле

$$c_i = D_{\min}^T / A^T.$$

Для анализа точности кубической модели результаты аппроксимации сравниваются с результатами точного схемотехнического моделирования D_{Spice} :

$$\Delta = \frac{c_1 x^3 + c_2 y^3 + c_3 x^2 y + c_4 x y^2 + c_5 x^2 + c_6 y^2 + c_7 x y + c_8 x + c_9 y + c_{10} - D_{Spice}}{D_{Spice}}. \quad (2)$$

Коэффициенты c находятся методом наименьших квадратов и подставляются в формулу (2) для нахождения погрешности кубической аппроксимации Δ .

На основе аппроксимации коррекционной разницы кубическим выражением получен результат, показанный на рис.3. Видно, что максимальная погрешность не превышает 1 %. Данный метод позволяет достаточно точно описать поведение задержки при одновременном переключении входов элемента.

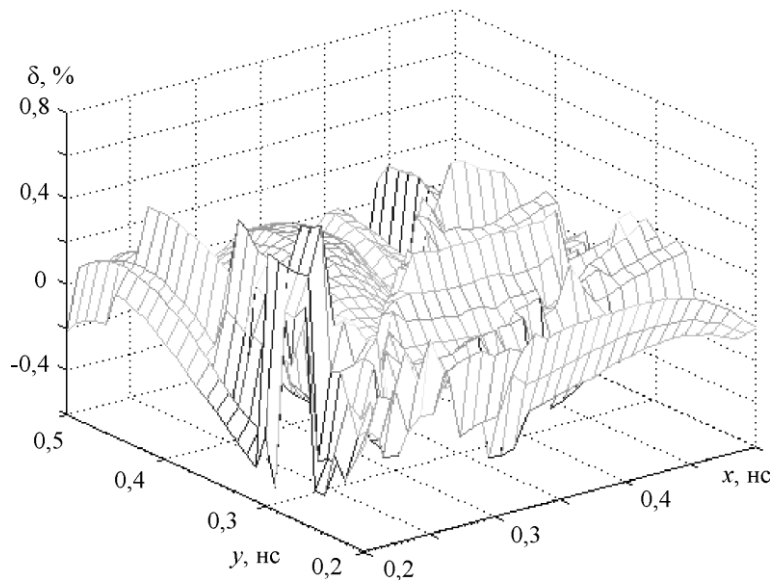


Рис.3. Относительная погрешность аппроксимации кубическим выражением коррекционной разницы

Fig.3. The relative error of approximation by the cubic expression of the correlation difference with respect to the delay

Для более точной оценки длительности минимального фронта применяется кубическая аппроксимация коррекционной разницы Δ_S , которая использовалась для расчета минимальной задержки. Для длительности выходного фронта формула коррекционной разницы имеет следующий вид:

$$S_{\min} = \min(S_1, S_2) - \Delta_S.$$

При нахождении минимальной задержки и минимальной длительности выходного фронта сложного элемента необходимо учитывать множество значений входных фронтов на различных входах, что существенно повышает размерность задачи. Алгоритм поиска минимальной задержки на основе анализа последовательно-параллельной структуры элемента снижает размерность задачи. Минимум находится алгоритмом обхода SP-графа снизу вверх отдельно для pull-up- и pull-down-цепочки.

В табл.1 и 2 приведены результаты численных экспериментов (прочерк означает, что минимальная задержка находится без учета одновременного переключения входов).

Таблица 1

Разница, %, между значениями задержки без учета и с учетом одновременного переключения

Table 1

The difference, %, between delay values with and without simultaneous switching of inputs

Цепочка	Элемент					
	nand2	nor2	aoi21	oai21	nand3	nor3
pull-up	40	–	37	42	50	–
pull-down	–	34	20	25	–	50

Таблица 2

Относительная погрешность, %, кубической аппроксимации корреляционной разницы

Table 2

The relative error, %, of the cubic approximation of the correlation difference

Цепочка	Элемент					
	nand2	nor2	aoi21	oai21	nand3	nor3
pull-up	0,8	–	1	2	2,4	–
pull-down	–	1,5	2,5	1,5	–	2,9

Из табл.1 видно, что если не учитывать одновременное переключение при оценке минимальной задержки элемента, то можно получить результат с погрешностью до 50%. Из табл.2 видно, что для перечисленных элементов погрешность кубической аппроксимации коррекционной разницы не превышает 3 % по отношению к схемотехническому моделированию. Это на порядок точнее, чем результаты, полученные без учета одновременного переключения.

Разработка методов оценки пикового тока с учетом одновременного переключения входов. Известны упрощенные модели тока, представляющие кривые тока от времени в форме прямоугольника, треугольника, трапеции [9]. Такие модели пикового тока являются менее точными, так как из рассмотрения исключается форма сигнала тока. Существуют также методы, ориентированные на электрическое моделирование входных тестовых последовательностей для получения гладкой кривой, отражающей реальное поведение тока потребления. Однако они не обеспечивают полноты анализа для схем с большим числом входов.

Для повышения точности моделей в качестве прототипа выбраны модели CCS (composite current source) и ECSM (effective current source model). Они сохраняют в виде таблиц значения функций I_{out} и V_{out} от времени, но не хранят информацию о зависимостях тока в шине питания от времени. В основе предложенного метода лежит новая модель, позволяющая сохранять значения тока потребления в контрольных точках, которые выбираются по уровням входных и выходных напряжений:

$$\begin{aligned} I_{out} &= \{(t_i, I_i) : V_{out}(t_i) = OL \cdot V_{dd}\}, \\ I_1 &= \{(t_i, I_i) : V_1(t_i) = IL \cdot V_{dd}\}, \\ I_2 &= \{(t_i, I_i) : V_2(t_i) = IL \cdot V_{dd}\}, \end{aligned}$$

где t_i – моменты времени для измерения тока I_i по уровням входных напряжений V_1 , V_2 и по уровням выходного напряжения V_{out} ; IL , OL – уровни входного и выходного напряжения соответственно: $IL = \{0,0 \ 0,1 \ 0,2 \ 0,5 \ 0,8 \ 0,9 \ 1,0\}$; $OL = \{0,01 \ 0,1 \ 0,2 \ 0,5 \ 0,8 \ 0,9 \ 0,99 \ 0,999\}$.

Под контрольными точками подразумеваются моменты времени, в которые уровни входных и выходных напряжений соответствуют критическим значениям для измерения задержек и фронтов.

Для получения параметров новой модели требуется характеристика тока потребления библиотечных элементов. Чтобы быстро и без потери точности оценить пиковый ток в больших схемах, разработан алгоритм характеристики тока в контрольных точках на основе двоичного деления по параметру смещения входных фронтов. В основе алгоритма лежит рекурсивная процедура характеристики $Char(a, b, \varepsilon)$ на заданном интервале (a, b) с точностью ε . Рекурсия с дихотомическим делением повторяется до тех пор, пока разница между результатом линейной интерполяции и результатом точного моделирования не станет меньше значения заданной точности ε .

Для учета фронтов всех переключаемых входов, а также смещений между входами нужно перейти от двумерных таблиц характеристики типа NLDM к четырех- и пятимерным зависимостям для точного анализа пикового тока. Для решения этой проблемы разработан алгоритм трилинейной интерполяции токов потребления в контрольных точках.

На первом шаге алгоритма трилинейной интерполяции токов потребления загружается таблица характеристики со значениями тока в контрольных точках. На втором шаге в программу вводятся значения входных фронтов и смещения между ними, для которых нужно определить максимальное значение тока потребления. В зависимости от того, в какой интервал попали указанные значения фронтов, возможны следующие варианты интерполяции:

- если оба введенных фронта совпали в пределах заданной точности с фронтами из таблицы характеристики, то проводится линейная интерполяция по значению смещения между входными фронтами;
- если только один из фронтов совпал с фронтом из таблицы характеристики, то проводится билинейная интерполяция по значениям смещения и входного фронта, значения которого не определены в таблице характеристики;
- если оба введенных фронта не совпали с фронтами из таблицы характеристики, проводится линейная интерполяция по значению смещения между входными фронтами и далее – билинейная интерполяция по значениям фронтов входных сигналов.

На заключительном этапе алгоритма трилинейной интерполяции токов потребления в итоговый файл выводятся значения тока в указанных контрольных точках для заданных значений фронтов и смещения между ними.

Сравнение результатов интерполяции кривых тока в контрольных точках $I_{\max \text{interp}}$ для элемента pand2 со схемотехническим моделированием $I_{\max \text{Spice}}$ приведено в табл.3. Здесь $S0 = 0,08$ нс, $S1 = 0,16$ нс, $S2 = 0,32$ нс, $S3 = 0,64$ нс – значения длительности фронта одного из входных сигналов; $Z0 = 0$ нс, $Z1 = 0,5$ нс, $Z2 = 1$ нс, $Z3 = 1,5$ нс – значения смещения между фронтами входных сигналов элемента.

Таблица 3

Сравнение результатов интерполяции кривых тока, мкА, в контрольных точках со схемотехническим моделированием

Table 3

Comparison of current interpolation results at the control points with Spice simulation

Смещение	Параметр	S0	S1	S2	S3
Z0	$I_{\max \text{Spice}}$	0,21946	0,18394	0,13825	0,09417
	$I_{\max \text{interp}}$	0,21443	0,17948	0,13594	0,09172
	$\Delta, \%$	-2,3	-2,4	-1,7	-2,6
Z1	$I_{\max \text{Spice}}$	0,20743	0,18017	0,13257	0,08632
	$I_{\max \text{interp}}$	0,20123	0,17853	0,13016	0,08498
	$\Delta, \%$	-3	-1	-1,8	-1,5
Z2	$I_{\max \text{Spice}}$	0,19542	0,17043	0,12927	0,08525
	$I_{\max \text{interp}}$	0,19153	0,16742	0,12742	0,08310
	$\Delta, \%$	-2	-1,8	-1,4	-2,5
Z3	$I_{\max \text{Spice}}$	0,18184	0,16849	0,12094	0,07842
	$I_{\max \text{interp}}$	0,17797	0,16653	0,11735	0,07648
	$\Delta, \%$	-2,1	-1,2	-3	-2,5

Сравнение результатов метода характеристики с последующей интерполяцией со схемотехническим моделированием показало, что точность оценки пикового тока составляет порядка 3 %, при этом скорость моделирования возрастает в десятки раз.

Анализ логических корреляций на основе правила резолюций. Ранее предложен метод поиска и распространения логических корреляций для анализа помехоустойчивости цифровых схем, обусловленной перекрестными емкостными связями [6, 7]. Модифицируем аналогичный подход для решения задачи нахождения ограничений по одновременному переключению вентилях на основе правила резолюций.

Задача определения подмножества элементов, обеспечивающих максимальный ток потребления в комбинационной схеме, сводится к оценке суммы весов элементов, переключающихся одновременно в одном направлении. Для решения этой задачи строится гиперграф ограничений на основе правила резолюций. Вершины гиперграфа соответствуют выходам вентилях схемы. Ребро между парой вершин в графе добавляется в том случае, если выходы вентилях не могут переключаться в одном направлении и имеют логическое ограничение на состояние 0-0 или 1-1. Аналогично ребро из трех вершин в гиперграфе означает ограничение на состояние 0-0-0 или 1-1-1 и т.д.

Рассмотрим гиперграф $G = (V, E, w)$, в котором V – набор вершин, $E \subset \{V \times V \cup V \times V \times V \cup \dots\}$ – подмножество пар, троек и т.д., определяющих запрет на одновременное переключение двух или более вентилях, w – весовая функция вершин, определяющая значение тока конкретного вентиля, такая, что

$$w(u) \geq 0, \forall u \in V, \quad w(K) = \sum_{u \in K} w(u), \quad K \subseteq V.$$

В результате задача оценки максимального тока потребления сводится к решению задачи нахождения максимального взвешенного независимого набора вершин (МВННВ) на гиперграфе [10]. Для поиска логических ограничений используется программа NL-LCA, разработанная в ИППМ РАН. На основе выходных файлов программы NL-LCA с описанием логических корреляций можно построить граф парных ограничений или гиперграф логических ограничений (рис.4).

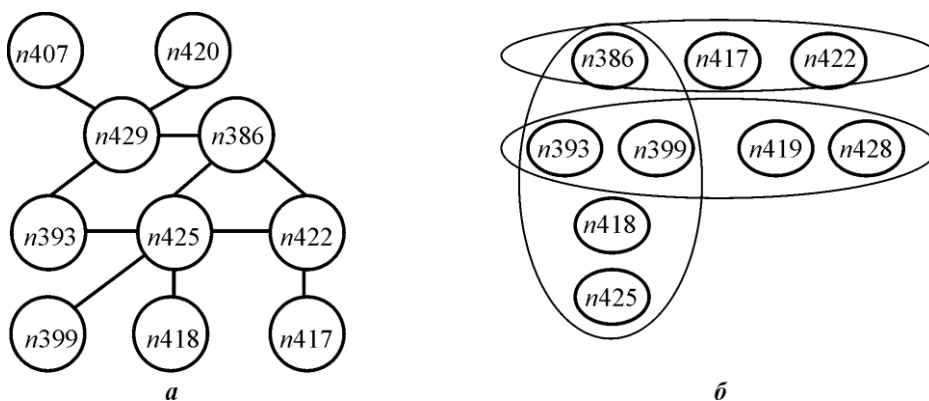


Рис.4. Подграф парных (а) и логических (б) ограничений для схемы с432 из набора ISCAS-85
Fig.4. The subgraph of paired (a) and logical (b) constraints for the ISCAS-85 benchmark circuit (c432)

Полученные логические ограничения далее используются в качестве входных данных для программы оценки пикового тока в схеме в терминах задачи нахождения МВННВ на гиперграфе с помощью метода ветвей и границ. Результаты программной реализации алгоритма ветвей и границ для поиска максимального тока потребления в схеме приведены в табл.4 и 5. Значения максимального суммарного пикового тока при наихудшем случае (НС) I_{peak} сравниваются с результатами верхней оценки тока потребления КМОП-схем с помощью разработанного метода.

Таблица 4

Оценка количества парных (2-LI) и более сложных (2,3,4,5-LI) ограничений в схеме

Table 4

Estimation of the number of 2-LI and 2,3,4,5-LI constraints in the circuit

Схема	Количество						
	венти- лей n	2-LI огра- ничений	3,4,5-LI ог- раничений	МВННВ (2-LI) M_1	МВННВ (2,3,4,5-LI) M_2	$\Delta(n, M_1)$, %	$\Delta(M_1, M_2)$, %
C432	160	450	53	81	74	-49,4	-8,6
C499	170	1896	40	104	71	-38,8	-31,7
C880	376	953	107	187	187	-50,3	0
C1355	546	8283	256	157	157	-71,2	0
C1908	873	11093	344	343	337	-60,7	-1,7
C2670	1161	13250	252	458	458	-60,6	0

Таблица 5

Оценка пикового тока в схеме на основе анализа гиперграфа ограничений

Table 5

**Estimation of the peak current in the circuit based on the analysis
of the hypergraph of constraints**

Схема	Количество		Δ , %	I_{peak} (наихудший случай), мкА	I_{peak} (МВННВ), мкА	ΔI_{peak} , %
	вентилей	вентилей МВННВ				
C432	160	74	–53,75	198,1056	97,0717	–51
C499	202	71	–64,85	280,4352	98,1523	–65
C880	383	187	–51,17	488,8320	259,0810	–46,9
C1355	546	157	–71,25	702,3744	224,7598	–68
C1908	880	337	–61,7	872,1792	366,3153	–57,9
C2670	1193	458	–61,61	1008,608	372,3584	–63,6

Закключение. Разработанный метод характеризации с учетом одновременного переключения входов логического элемента повышает точность интервальных оценок минимальных задержек. Предложенная модель библиотечного элемента для анализа тока потребления, в отличие от существующих моделей на логическом уровне проектирования, учитывает информацию об одновременных переключениях входов вентилей. Метод встроенной характеризации токов потребления вентилей в контрольных точках обеспечивает эффективный расчет пикового тока на этапе логического проектирования за счет использования разработанной модели с учетом смещения между фронтами входных сигналов.

Сравнение результатов разработанного подхода с результатами схемотехнического моделирования показало, что точность оценки пикового тока составляет 3 %. Решение задачи нахождения ограничений по одновременному переключению вентилей на основе метода резолюций применительно к верхней оценке пикового тока КМОП-схем позволяет снизить пессимистичность в 2–3 раза по сравнению с оценкой наихудшего случая.

Работа выполнена при финансовой поддержке РФФИ (проект № 16-37-00216 мол_а).

Литература

1. **Lockhart D.** Power estimation using synopsys primetime // ECE5745 Tutorial 5 (Version 606ee8a). – 2016. – URL: <http://www.csl.cornell.edu/courses/ece5745/handouts/ece5745-tut5-pt.pdf> (дата обращения: 01.06.2017).
2. **Ganeshpure K., Sanyal A.** A pattern generation technique for maximizing switching supply currents // Proc. Computer-Aided Design of Integrated Circuits and Systems. IEEE Transactions on. – 2012. – P. 986–998.
3. **Bhardwaj S., Ghanta P., Vrudhula S.** A framework for statistical timing analysis using non-linear delay and slew models // Proc. International Conference on Computer Aided Design. – 2006. – P. 225–230.
4. **Gavrilov S.V., Gudkova O.N., Stempkovskiy A.L.** The analysis of the performance of nanometer IP-blocks based on interval simulation // Russian Microelectronics. – 2013. – Vol. 42. – No. 7. – P. 396–402.
5. **Stempkovsky A., Glebov A., Gavrilov S.** Calculation of stress probability for NBTI-aware timing analysis // Proc. 10th International Symposium on Quality Electronic Design, ISQED 2009. – 2009. – P. 714–718.
6. **Гаврилов С.В., Глебов А.Л., Стемпковский А.Л.** Анализ фатальных помех в цифровых схемах на основе метода резолюций // Изв. вузов. Электроника. – 2004. – № 6. – С. 64–71.
7. **Гаврилов С.В., Глебов А.Л., Стемпковский А.Л.** Анализ помехоустойчивости цифровых схем на основе логических импликаций // Изв. вузов. Электроника. – 2002. – № 5. – С. 60–67.
8. **Chen L.-C., Gupta S.K., Breuer M.A.** A new gate delay model for simultaneous switching and its applications // Proc. Design Automation Conference. – 2001. – P. 289–294.

9. **Bodapati S.** High-level current macro-model for logic blocks // *Proc. Computer-Aided Design of Integrated Circuits and Systems. IEEE Transactions on.* – 2006. – Vol. 25. – Iss. 5. – P. 837–855.
10. **Brendel W., Amer M.** Multiobject tracking as maximum weight independent set // *Proc. IEEE Conference on Computer Vision and Pattern Recognition.* – 2011. – P. 1273–1280.

Поступила 04.05.2017 г.; принята к публикации 09.11.2017 г.

Иванова Галина Александровна – кандидат технических наук, младший научный сотрудник Института проблем проектирования в микроэлектронике Российской академии наук (Россия, 124365, г. Москва, г. Зеленоград, Советская ул., д. 3), pirutina_g@ippm.ru

Рыжова Дарья Игоревна – младший научный сотрудник Института проблем проектирования в микроэлектронике Российской академии наук (Россия, 124365, г. Москва, г. Зеленоград, Советская ул., д. 3), аспирант кафедры проектирования и конструирования интегральных микросхем Национального исследовательского университета «МИЭТ» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, д. 3), ryzhova_d@ippm.ru

References

1. Lockhart D. *Power Estimation using Synopsys PrimeTime*. ECE5745 Tutorial 5 (Version 606ee8a), 2016. Available at: <http://www.csl.cornell.edu/courses/ece5745/handouts/ece5745-tut5-pt.pdf>. (accessed: 01.06. 2017).
2. Ganeshpure K., Sanyal A. A pattern generation technique for maximizing switching supply currents. *Proc. Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, 2012, pp. 986–998.
3. Bhardwaj S., Ghanta P., Vruthula S. A framework for statistical timing analysis using non-linear delay and slew models. *Proc. International Conference On Computer Aided Design*, 2006, pp. 225–230.
4. Gavrilov S.V., Gudkova O.N., Stempkovskiy A.L. The analysis of the performance of nanometer IP-blocks based on interval simulation. *Russian Microelectronics*, 2013, vol. 42, no. 7, pp. 396–402.
5. Stempkovsky A., Glebov A., Gavrilov S. Calculation of stress probability for NBTI-aware timing analysis. *Proc. 10th International Symposium on Quality Electronic Design, ISQED 2009*, 2009, pp. 714–718.
6. Gavrilov S.V., Glebov A.L., Stempkovskij A.L. Analiz fatal'nyh pomekh v cifrovyyh skhemah na osnove metoda rezolyucij [Analysis of fatal interference in digital circuits based on the method of resolutions]. *Izvestiya vuzov. Elektronika – Proceedings of Universities. Electronics*, 2004, no. 6, pp. 64–71. (In Russian).
7. Gavrilov S.V., Glebov A.L., Stempkovskij A.L. Analiz pomekhoustojchivosti cifrovyyh skhem na osnove logicheskikh implikacij [Analysis of noise immunity of digital circuits based on logical implications]. *Izvestiya vuzov. Elektronika – Proceedings of Universities. Electronics*, 2002, no. 5, pp. 60–67. (In Russian).
8. Chen L.-C., Gupta S.K., Breuer M.A. A new gate delay model for simultaneous switching and its applications. *Proc. Design Automation Conference*, 2001, pp. 289–294.
9. Bodapati S. High-level current macro-model for logic blocks. *Proc. Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*. 2006, vol. 25, iss. 5, pp. 837–855.
10. Brendel W., Amer M. Multiobject tracking as maximum weight independent set. *Proc. IEEE Conference on Computer Vision and Pattern Recognition*, 2011, pp. 1273–1280.

Submitted 04.05.2017; accepted 09.11.2017.

Ivanova Galina A. – Cand. Sci. (Eng.), research assistant, Institute for Design Problems in Microelectronics of Russian Academy of Science (Russia, 124365, Moscow, Zelenograd, Sovetskaya str., 3), pirutina_g@ippm.ru

Ryzhova Daria I. – research assistant, Institute for Design Problems in Microelectronics of Russian Academy of Science (Russia, 124365, Moscow, Zelenograd, Sovetskaya str., 3), PhD student of the Integrated Circuits Design Department, National Research University of Electronic Technology (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), ryzhova_d@ippm.ru